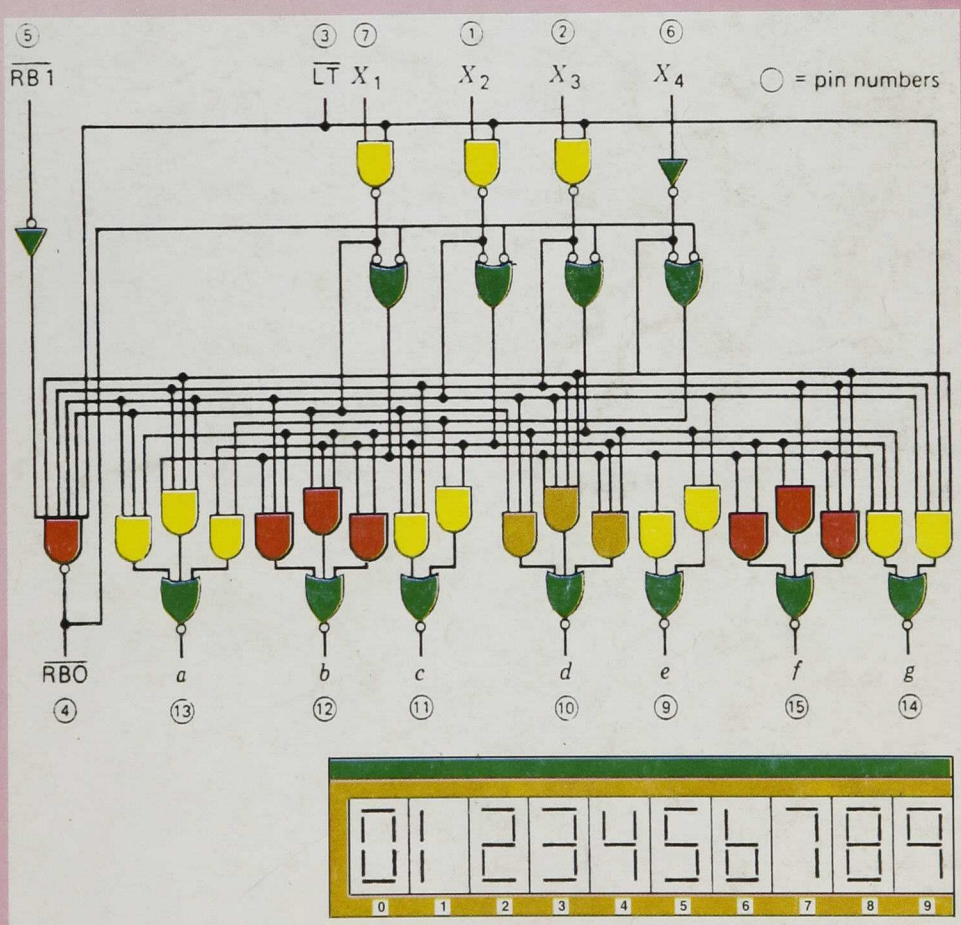


BỘ MÔN ĐIỆN TỬ - ĐẠI HỌC THANH HOA BẮC KINH

CƠ SỞ KỸ THUẬT ĐIỆN TỬ SỐ



BỘ MÔN ĐIỆN TỬ - ĐẠI HỌC THANH HOA BẮC KINH

VŨ ĐỨC THỌ *dịch*

ĐỖ XUÂN THỤ *giới thiệu và hiệu đính*

CƠ SỞ KỸ THUẬT ĐIỆN TỬ SỐ

GIÁO TRÌNH TINH GIẢN

(Tái bản lần thứ bảy)

NHÀ XUẤT BẢN GIÁO DỤC

Nhà xuất bản Giáo dục tại Hà Nội giữ quyền công bố tác phẩm.

Mọi tổ chức, cá nhân muốn sử dụng tác phẩm dưới mọi hình thức phải được sự đồng ý của chủ sở hữu quyền tác giả.

LỜI GIỚI THIỆU

Cùng với sự tiến bộ của khoa học và công nghệ, các thiết bị điện tử đang và sẽ tiếp tục được ứng dụng ngày càng rộng rãi và mang lại hiệu quả cao trong hầu hết các lĩnh vực kinh tế kỹ thuật cũng như đời sống xã hội.

Việc gia công xử lý tín hiệu trong các thiết bị điện tử hiện đại đều dựa trên cơ sở nguyên lý số vì các thiết bị làm việc dựa trên cơ sở nguyên lý số có những ưu điểm hơn hẳn các thiết bị điện tử làm việc trên cơ sở nguyên lý tương tự, đặc biệt là trong kỹ thuật tính toán. Bởi vậy sự hiểu biết sâu sắc về điện tử số là không thể thiếu được đối với kỹ sư điện tử hiện nay. Nhu cầu hiểu biết về kỹ thuật số không phải chỉ riêng đối với các kỹ sư điện tử mà còn đối với nhiều cán bộ kỹ thuật các ngành khác có sử dụng các thiết bị điện tử. Để đáp ứng nhu cầu lớn lao này, anh Vũ Đức Thọ cán bộ giảng dạy Khoa Điện tử - Viễn thông Trường Đại học Bách Khoa Hà Nội đã chọn dịch cuốn "Cơ sở kỹ thuật điện tử số - Giáo trình tinh giản" của Bộ môn Điện tử Trường đại học Thanh Hoa Bắc Kinh. "Cơ sở kỹ thuật điện tử số - Giáo trình tinh giản" là một tập giáo trình được soạn thảo để dạy cho sinh viên trong Trường Đại học với thời gian 120 tiết (không kể thời gian thực nghiệm). Giáo trình này giới thiệu một cách hệ thống các phần tử cơ bản cần dùng trong các mạch điện tử số, kết hợp với một số mạch điển hình, giải thích các khái niệm cơ bản về cổng điện tử số, các phương pháp phân tích cũng như các phương pháp thiết kế logic cơ bản. Toàn bộ giáo trình bao gồm những kiến thức cơ bản về cấu kiện bán dẫn, mạch cổng logic, cơ sở đại số logic, mạch logic tổ hợp, các mạch trigơ, các mạch logic dãy, sự sản sinh các tín hiệu xung cũng như sự sửa dạng xung, các khái niệm cơ bản về chuyển đổi số - tương tự và tương tự - số. Tất cả gồm 8 chương. Sau mỗi chương đều có phần tóm tắt nội dung để độc giả dễ dàng ghi nhớ, các câu hỏi gợi ý và các bài tập để độc giả kiểm tra mức độ nắm kiến thức sau khi học mỗi chương. Cách cấu trúc giáo trình rất logic đi từ đơn giản đến phức tạp, từ dễ đến khó, phần trước tạo tiền đề kiến thức cho phần sau. Cách trình bày vấn đề rõ ràng khúc triết. Nội dung từng chương rất chặt chẽ, bỏ qua được những dẫn dắt toán học dài dòng, nhưng vẫn đảm bảo tính cơ bản, cốt lõi của vấn đề, các khái niệm mới được nhấn mạnh đúng mức. Trên cơ sở các kiến thức cơ bản kinh điển giáo trình đã cố gắng tiếp cận các vấn đề hiện đại, đồng thời liên hệ với thực tế kỹ thuật. Ví dụ trong giáo trình hầu như đã bỏ qua các mạch điện xây dựng trên cơ sở cấu kiện rời rạc mà chủ yếu nói về các mạch điện xây dựng trên cơ sở mạch tổ hợp vi điện tử (IC). Trong khi chủ yếu giới thiệu các hệ thống xây dựng trên cơ sở các IC cỡ nhỏ và cỡ trung bình đã thích đáng đề cập đến các hệ thống xây dựng trên cơ sở các IC cỡ lớn và siêu lớn.

Chúng tôi nghĩ, đọc giáo trình này, độc giả mau chóng nắm được những vấn đề cốt lõi của kỹ thuật điện tử số, tăng cường năng lực giải quyết các vấn đề kỹ thuật trong thực tế cũng như bồi dưỡng năng lực tự học.

Bởi vậy cuốn sách giáo trình này trước hết thích hợp cho độc giả muốn tự học. Các học sinh cao đẳng kỹ thuật ngành Điện tử - Viễn thông, làm tài liệu bổ trợ cho sinh viên các trường đại học, và nói chung cho tất cả những ai quan tâm đến kỹ thuật điện tử số.

Cũng cần nói thêm rằng thuật ngữ tiếng Việt chúng tôi dùng trong bản dịch này là căn cứ vào các thuật ngữ được dùng trong quá trình giảng dạy tại Trường Đại học Bách khoa Hà Nội, rất có thể có những thuật ngữ chưa thỏa đáng, mong độc giả gần xa góp ý kiến. Các ý kiến xin gửi về Khoa Điện tử - Viễn thông, Trường Đại học Bách khoa Hà Nội hoặc Nhà xuất bản Giáo dục.

Xin trân trọng cảm ơn.

ĐỖ XUÂN THỤ

Chủ nhiệm

**KHOA ĐIỆN TỬ - VIỄN THÔNG
TRƯỜNG ĐẠI HỌC BÁCH KHOA HÀ NỘI**

Chương 1

NHỮNG KIẾN THỨC CƠ BẢN VỀ CẤU KIỆN BÁN DẪN

1.1. CÁC KIẾN THỨC CƠ BẢN VỀ VẬT LIỆU BÁN DẪN

1.1.1. Vật liệu dẫn điện, cách điện và bán dẫn

Trong đời sống hàng ngày cũng như trong thực tiễn sản xuất, mọi người đều biết rằng, bạc đồng nhôm sắt... là vật liệu dẫn điện tốt ; còn nhựa, sứ, da, thủy tinh... là vật liệu cách điện tốt (dù cho có cao áp đặt vào vẫn không có dòng điện chạy qua chúng).

Đặc tính dẫn điện của vật liệu bán dẫn nằm giữa dẫn điện và cách điện.

Vì sao vật liệu lại có tính dẫn điện khác nhau như vậy ? nguyên nhân căn bản là ở cách liên kết giữa các nguyên tử với nhau và kết cấu bản thân nguyên tử trong vật liệu. Chúng ta đều biết rằng, nguyên tử được tạo thành từ hạt nhân mang điện dương và các điện tử mang điện âm, các điện tử chia thành nhiều tầng vây quanh hạt nhân và không ngừng chuyển động.

Vật liệu dẫn điện : So sánh tương đối với vật dẫn khác, trong kim loại, các điện tử lớp ngoài của nguyên tử bị hạt nhân hút yếu ; có rất nhiều điện tử không bị ràng buộc với hạt nhân trở thành điện tử tự do. Những điện tử tự do này trở thành các hạt dẫn mang điện. Dưới tác dụng của điện trường ngoài, chúng di chuyển có hướng và hình thành dòng điện. Do đó kim loại dẫn điện tốt nhất.

Vật liệu cách điện : Trong vật liệu cách điện, lực ràng buộc với hạt nhân của các điện tử rất lớn ; chúng khó có thể tách khỏi hạt nhân, nên số điện tử tự do cực kỳ ít ; do đó tính năng dẫn điện rất kém.

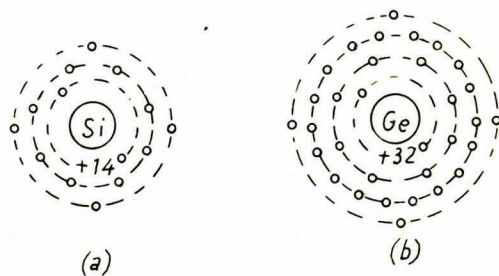
Vật liệu bán dẫn : Cấu trúc nguyên tử của vật liệu bán dẫn tương đối đặc biệt. Các điện tử lớp ngoài không dễ dàng tách khỏi liên kết với hạt nhân như vật liệu dẫn điện, mà cũng không ràng buộc quá chặt với hạt nhân như vật liệu cách điện. Do đó, đặc tính dẫn điện của nó nằm giữa vật liệu dẫn điện và vật liệu cách điện.

1.1.2. Hiện tượng dẫn điện trong vật liệu bán dẫn sạch

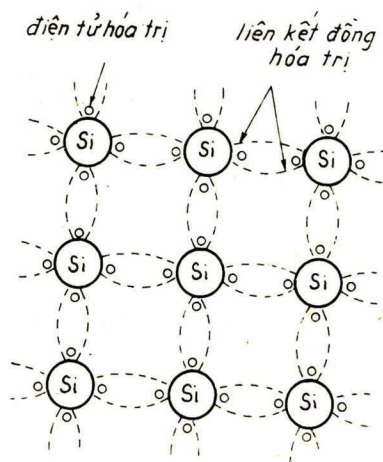
Vật liệu bán dẫn thuần khiết được gọi là bán dẫn sạch mà đặc trưng về tính bán dẫn phụ thuộc nguyên tố hóa học. Hạt dẫn điện của bán dẫn sạch là điện tử hoặc là lỗ trống.

Lỗ trống. Để làm rõ lỗ trống là gì, đầu tiên ta hãy quan sát cấu trúc nguyên tử của hai nguyên tố bán dẫn là Ge và Si biểu thị trên hình 1.1.1. Chúng có đặc điểm chung là tầng ngoài cùng đều có 4 điện tử. Các điện tử này được gọi là điện tử hóa trị. Nguyên tử có hóa trị bằng số điện tử hóa trị của chúng. Vậy Ge và Si là các nguyên tố hóa trị 4.

Khi vật liệu bán dẫn Ge, Si được chế tạo thành tinh thể thì từ trạng thái sắp xếp lộn xộn thông thường, chúng trở thành trạng thái hoàn toàn trật tự của cấu trúc tinh thể của các nguyên tử. Khi đó, khoảng cách giữa các nguyên tử đều bằng nhau, vào khoảng $2,35 \cdot 10^{-4} \mu\text{m}$. Bốn điện tử ở lớp ngoài cùng của mỗi nguyên tử không những chịu sự ràng buộc với hạt nhân bản thân nguyên tử đó, mà còn liên kết với 4 nguyên tử gần kề xung quanh. Hai nguyên tử đứng cạnh nhau có một đôi điện tử góp chung. Mỗi một điện tử trong đôi vừa chuyển động quanh hạt nhân nguyên tử của nó, vừa có mặt trên quỹ đạo của nguyên tử đối tác góp chung. Sự liên kết này được gọi là liên kết đồng hóa trị. Xem hình 1.1.2

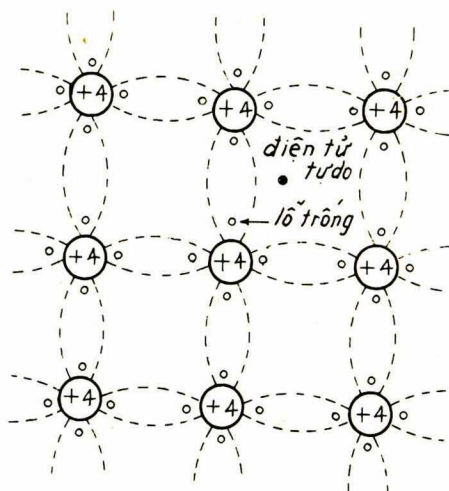


Hình 1-1-1. Sơ đồ cấu trúc phẳng của nguyên tử Si (a) và nguyên tử Ge(b).



Hình 1-1-2.

Sơ đồ biểu thị mối liên kết đồng hóa trị của tinh thể Si.



Hình 1-1-3.

Sơ đồ cấu trúc tinh thể bán dẫn sạch.

Ở nhiệt độ nhất định, do chuyển động nhiệt, một số điện tử góp chung thoát khỏi sự ràng buộc với hạt nhân trở thành điện tử tự do, đó là hạt dẫn điện tử.

Điều đáng chú ý ở đây là, sau khi một điện tử góp chung trong đôi đã trở thành điện tử tự do thì để lại một lỗ trống, như hình 1.1.3 biểu thị. Đã có một lỗ trống như thế, thì điện tử góp chung trong đôi kế cận rất dễ dàng rơi vào lỗ trống đó, tạo thành sự di chuyển của các điện tử góp chung. Sự di chuyển này, dù xét về hiệu quả hay xét trên hiện tượng, đều giống sự di chuyển của hạt mang điện tích

dương. Để phân biệt với sự di chuyển của điện tử tự do, ta gọi đây là sự di chuyển của lỗ trống. Hạt mang điện tích dương ấy là lỗ trống.

Vậy lỗ trống cũng là loại hạt mang điện. Khi đặt điện áp lên vật liệu bán dẫn, thì có hai thành phần trong dòng điện chạy qua nó : thành phần dòng điện do điện tử tự do di chuyển có hướng và thành phần dòng lỗ trống do điện tử góp chung dịch lấp lỗ trống. Sự khác nhau của hai thành phần này là điện tử mang điện âm, còn lỗ trống mang điện dương. Vậy trong vật liệu bán dẫn, không những có hạt dẫn là điện tử, mà còn có hạt dẫn là lỗ trống. Đó là đặc điểm quan trọng của sự dẫn điện bán dẫn.

Vật chất vận động không ngừng, chuyển động nhiệt làm cho trong vật liệu bán dẫn không ngừng sản sinh ra điện tử tự do và đồng thời xuất hiện các lỗ trống có số lượng tương ứng. Vì điện tử là lỗ trống được sinh ra thành cặp, nên ta gọi chúng là cặp điện tử - lỗ trống. Mặt khác, trong quá trình vận động, điện tử và lỗ trống gặp nhau, trung hòa điện tích. Quá trình ngược lại đó được gọi là tái hợp. Sự phát xạ và tái hợp của cặp điện tử - lỗ trống thường cân bằng trong điều kiện nhiệt độ nhất định. Khi ấy, tuy quá trình phát xạ và tái hợp không ngừng diễn ra, nhưng số cặp điện tử - lỗ trống vẫn giữ nguyên một giá trị nào đó.

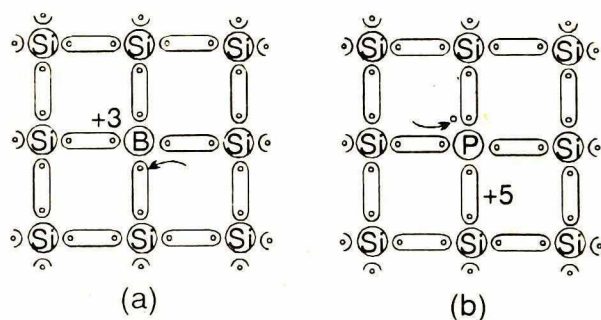
1.1.3. Hiện tượng dẫn điện trong bán dẫn pha tạp

Sự phân tích trên đây là đối với bán dẫn sạch đơn tinh thể. Trong loại vật liệu đó, tuy rằng có thêm hạt mang lỗ trống, nhưng số lượng toàn thể hạt mang vẫn rất ít, khả năng dẫn điện vẫn kém, cho nên ứng dụng ít, nhờ phương pháp khuếch tán tạp chất có ích vào bán dẫn sạch đơn tinh thể nên điều chỉnh chính xác được đặc tính điện của vật liệu bán dẫn.

Ví dụ, khuếch tán một lượng nhỏ B vào đơn tinh thể Si thì số lượng hạt mang lỗ trống trong vật liệu bán dẫn tăng mạnh, làm cho khả năng dẫn điện tăng mạnh, nhờ vậy vật liệu bán dẫn có ứng dụng vô cùng quan trọng.

Chất bán dẫn P. Hình 1.1.4 (a) trình bày sơ đồ cấu trúc liên kết đồng hóa trị do nguyên tử Si và B tạo ra sau khi khuếch tán B vào đơn tinh thể Si.

Hình 1-1-4.
Khuếch tán tạp chất vào đơn tinh thể Si :
a) Khuếch tán B tạo thành bán dẫn P ;
b) Khuếch tán P tạo thành bán dẫn N.



(Mũi tên chỉ vào lỗ trống)

(Mũi tên chỉ vào điện tử)

Vì số lượng nguyên tử B rất nhỏ so với Si nên cấu trúc tinh thể bán dẫn căn bản không đổi. Ta biết rằng, B là nguyên tố hóa trị 3, có ba điện tử lớp ngoài. Nên khi nó cùng với nguyên tử Si tạo thành liên kết đồng hóa trị thì hình thành

ổ trống. Khuếch tán tạp chất B rồi thì mỗi nguyên tử B đều cung cấp một lỗ trống, làm cho số lượng hạt mang lỗ trống trong đơn tinh thể Si tăng lên rất nhiều. Vật liệu bán dẫn loại này hầu như không có điện tử tự do, dẫn điện được chủ yếu dựa vào lỗ trống, nên được gọi là vật liệu bán dẫn lỗ trống, gọi tắt chất bán dẫn P. Trong chất bán dẫn P, nồng độ lỗ trống lớn hơn nhiều nồng độ điện tử, nên lỗ trống được gọi là hạt mang đa số, điện tử là hạt mang thiểu số.

Chất bán dẫn N. Nếu khuếch tán nguyên tố hóa trị 5 như P, Zn... vào đơn tinh thể Si thì xảy ra tình hình khác hẳn. Sau khi nguyên tử Si và P tạo thành liên kết đồng hóa trị, chỉ có 4 trong 5 điện tử lớp ngoài của P tham gia liên kết, còn lại một điện tử ràng buộc yếu với hạt nhân dễ dàng trở thành điện tử tự do. Vậy trong loại bán dẫn này, số lượng hạt mang điện tử rất nhiều, chúng là hạt mang đa số; số lượng hạt mang lỗ trống rất ít, chúng là hạt mang thiểu số. Chất bán dẫn này dẫn điện được chủ yếu dựa vào điện tử, nên gọi là vật liệu bán dẫn điện tử, gọi tắt là chất bán dẫn N. Xem hình 1.1.4b.

1.2. DIỐT BÁN DẪN

1.2.1. Đặc tính của chuyển tiếp PN

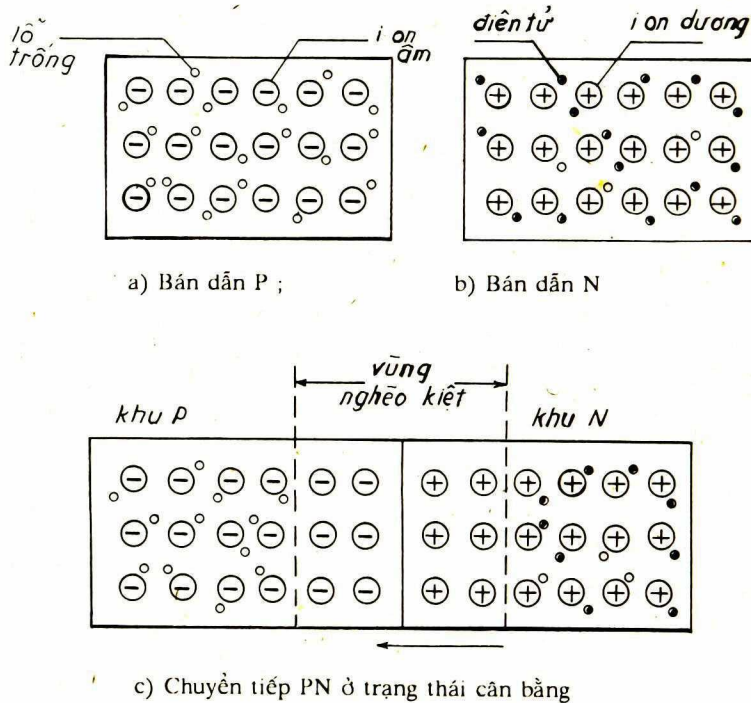
1) Chuyển động của hạt dẫn trong chuyển tiếp PN

Khi chất bán dẫn P ghép với chất bán dẫn N thành một khối thì tất yếu xảy ra sự khuếch tán hạt dẫn do nồng độ không đều của chúng: lỗ trống trong khu vực P khuếch tán sang khu vực N, điện tử trong khu vực N khuếch tán sang khu vực P. Xem hình 1.2.1.a, b.

Nhờ quá trình khuếch tán mà lỗ trống khu vực P giảm nhỏ tạo thành vùng ion âm, còn điện tử khu vực N giảm nhỏ tạo thành vùng ion dương.

Vậy nên sinh ra điện trường trong hai bên vùng tiếp giáp. Điện trường này có hướng ngược với hướng khuếch tán của dòng hạt dẫn, như mũi tên từ khu vực N sang khu vực P trên hình 1.2.1c

hở rõ. Điện trường trong cản trở sự khuếch tán của lỗ trống sang khu vực N và của điện tử sang khu vực P. Trạng thái cân bằng động xảy ra khi điện tích không gian vùng tiếp giáp không tăng nữa. Khi cân bằng động, vùng tiếp giáp hình thành ự thiếu vắng hạt dẫn, như hình 1.2.1c biểu thị, vùng đó được gọi là vùng điện



Hình 1-2-1. Chuyển động của hạt dẫn trong chuyển tiếp PN
(Mũi tên dưới cùng chỉ điện trường trong)

tích không gian, hay còn được gọi là vùng nghèo kiệt, đó chính là chuyển tiếp PN, độ rộng của nó chừng vài mươi μm , có thể cho rằng chỉ bao gồm các ion không thể di chuyển được.

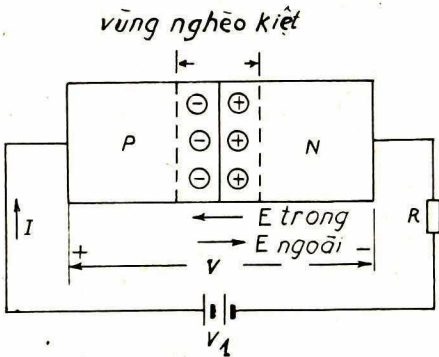
Khi cân bằng động, qua chuyển tiếp PN không chỉ có sự khuếch tán của hạt dẫn đa số (lỗ trống trong khu vực P và điện tử trong khu vực N), mà còn có sự trôi dạt của hạt dẫn thiểu số (điện tử trong khu vực P và lỗ trống trong khu vực N). Sự trôi dạt là sự di chuyển của hạt dẫn được định hướng của điện trường trong. Điện trường trong chỉ cản trở sự khuếch tán của hạt dẫn đa số, mà lại trợ giúp sự trôi dạt của hạt dẫn thiểu số sang phía khu vực đối phương. Vậy ở trạng thái cân bằng động, ngoài dòng điện khuếch tán của lỗ trống từ khu vực P sang khu vực N, thì còn có dòng điện trôi dạt của lỗ trống theo hướng ngược lại, tất nhiên bằng nhau về số trị. Tương tự, dòng điện khuếch tán và dòng điện trôi dạt của điện tử cũng triệt tiêu nhau. Vậy nên không có dòng điện chạy qua chuyển tiếp PN trong điều kiện không có tác động của điện trường ngoài hay của các yếu tố kích hoạt khác (chẳng hạn sự kích quang)

2) Chuyển tiếp PN có điện áp thuận đặt vào

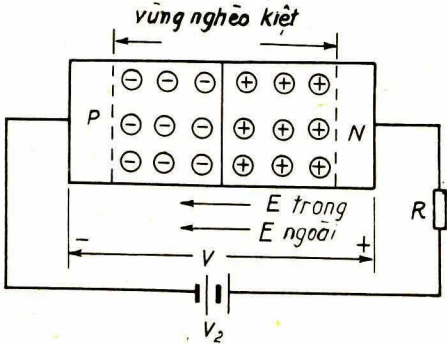
Hình 1.2.2 biểu thị điện trường ngoài hướng thuận đặt vào chuyển tiếp PN : cực dương của nguồn nối vào P, cực âm của nguồn nối vào N. Khi đó, điện trường ngoài ngược hướng với điện trường trong, làm suy yếu điện trường trong, nên điện tích không gian và bề rộng vùng nghèo kiệt đều giảm nhỏ ; điện tử trong khu vực N và lỗ trống trong khu vực P đều dễ dàng hơn vượt qua chuyển tiếp PN, hình thành dòng điện khuếch tán lớn. Về dòng điện trôi dạt do số rất ít hạt dẫn thiểu số tạo ra, thì ảnh hưởng của nó đối với dòng điện tổng là không đáng kể. Vậy chuyển tiếp PN có điện áp thuận đặt vào biến thành trạng thái dẫn điện, và điện trở của nó khi đó rất bé.

3) Chuyển tiếp PN có điện áp nghịch đặt vào

Hình 1.2.3 biểu thị điện trường ngoài hướng nghịch đặt vào chuyển tiếp PN : Cực dương của nguồn nối vào N, Cực âm của nguồn nối vào P. Khi đó, điện trường ngoài cùng hướng với điện trường trong, làm cho điện tích không gian và bề rộng vùng nghèo kiệt đều tăng lên, gây khó khăn cho sự khuếch tán, dòng điện khuếch tán giảm nhỏ đi nhiều. Dòng điện trôi dạt cân bản không đổi, là phần chủ yếu của dòng điện tổng đi qua chuyển tiếp PN. Dòng điện này (khi có điện áp nghịch đặt vào) gọi là dòng điện nghịch. Khi nhiệt độ không đổi thì nồng độ hạt dẫn thiểu số



Hình 1-2-2. Điện trường ngoài hướng thuận.



Hình 1-2-3. Điện trường ngoài hướng nghịch.

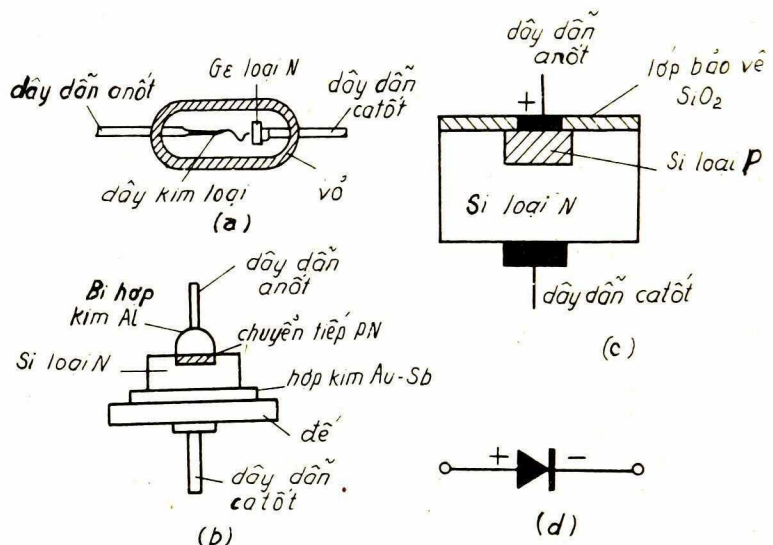
không đổi, nên dòng điện nghịch không phụ thuộc điện áp nghịch đặt vào (trong giới hạn nhất định), vì thế dòng điện nghịch còn được gọi là dòng điện bão hòa nghịch. Vì số lượng hạt dẫn thiểu số rất nhỏ, dòng điện nghịch rất nhỏ, nhỏ xấp xỉ 0. Vậy chuyển tiếp PN có điện áp nghịch đặt vào biến thành trạng thái ngắt.

1.2.2. Cấu trúc diốt và đặc tuyến Von - ampe

Hình 1-2-4.

Cấu trúc và kí hiệu diốt bán dẫn

- loại tiếp xúc điểm ;
- loại tiếp xúc mặt ;
- loại bề mặt ;
- kí hiệu.



1) Cấu trúc diốt

Diốt bán dẫn là chuyển tiếp PN có thêm dây dẫn ra ngoài và vỏ bọc bảo vệ. Xem hình 1.2.4

Đặc điểm của diốt loại tiếp xúc điểm là diện tích chuyển tiếp PN rất nhỏ, vì thế điện dung của chuyển tiếp PN rất nhỏ, thích hợp với tần số cao (vài trăm MHz). Đặc điểm của diốt loại tiếp xúc mặt là diện tích chuyển tiếp PN lớn, cho phép dòng điện hướng thuận đặt lớn, thường dùng làm bóng chỉnh lưu (nắn dòng); nhưng điện dung của chuyển tiếp PN lớn, chỉ có thể làm việc với tần số tương đối thấp. Diốt mặt Si có diện tích chuyển tiếp PN khá lớn, có dòng qua khá lớn, phù hợp yêu cầu chỉnh lưu công suất lớn. Diốt tiếp điểm Si có diện tích chuyển tiếp tương đối nhỏ, điện dung của chuyển tiếp PN khá nhỏ, nên thường làm bóng chuyển mạch (nối - ngắt mạch) trong mạch số, mạch xung.

2) Đặc tuyến von - ampe của diốt

Quan hệ giữa dòng điện đi qua diốt chuyển tiếp PN và điện áp trên 2 cực anốt catốt của nó được biểu thị bằng công thức sau :

$$I = I_s (e^{\frac{V}{V_T}} - 1) = I_s (e^{\frac{qV}{KT}} - 1) \quad (1-2-1)$$

I : dòng qua diốt, I_s : dòng điện bão hòa nghịch

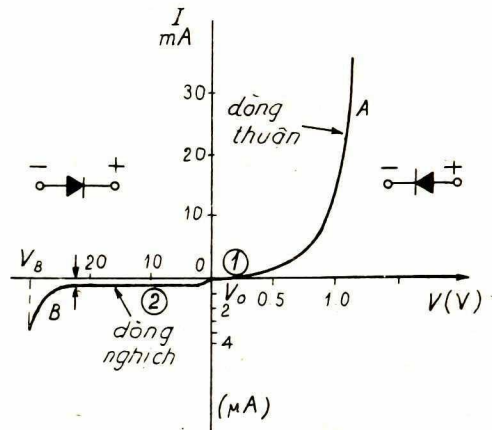
V : điện áp ngoài đặt trên 2 cực của diốt

$V_T = \frac{KT}{q}$: đương lượng điện áp của nhiệt độ, với $K = 1,381 \cdot 10^{23} \text{ J/K}$

$q = 1,6 \cdot 10^{-19}$ C. Vậy $V_T = \frac{T}{11600}$, ở nhiệt độ trong phòng 300K thì $V_T \approx 26$ mV

(1.2.1) là đặc tính von- ampe của diốt bán dẫn lý tưởng (còn gọi là phương trình diốt bán dẫn). Khi điện áp thuận đặt vào V lớn gấp vài lần V_T , $e^{\frac{V}{V_T}} > 1$ thì đặc tuyến von-ampe của diốt là một hàm số mũ, biểu thị thành đoạn OA trên hình 1.2.5. Khi điện

áp nghịch đặt vào khá lớn, $e^{\frac{V}{V_T}} \approx 0$, $I \approx -I_s$. Ở nhiệt độ xác định thì I_s không đổi (không đổi phụ thuộc V), biểu thị thành đoạn OB trên hình 1.2.5.



Hình 1-2-5. Đặc tuyến V- A của Diốt.

a) Phần dòng thuận : đoạn ① trên hình 1.2.5. Khi điện áp thuận tương đối nhỏ, điện trường ngoài vẫn không áp đảo điện trường trong, mà điện trường trong ngăn trở dòng điện khuếch tán, nên dòng điện thuận vẫn rất nhỏ, diốt thể hiện một điện trở lớn. Khi điện áp thuận vượt quá giá trị V_0 xác định (V_0 được gọi là điện áp mở, phụ thuộc vào nhiệt độ và vật liệu bán dẫn) thì điện trường trong bị khắc phục, điện trở của diốt rất nhỏ, dòng điện thuận tăng nhanh theo điện áp. V_0 của diốt Si thường là 0,5V, vùng chết của diốt Ge không rõ như vậy, nên có thể cho rằng V_0 của diốt Ge xấp xỉ 0,1 V.

b) Phần dòng nghịch : đoạn ② trên hình 1.2.5. Khi đặt điện áp nghịch lên diốt, dòng điện nghịch rất bé. Ở nhiệt độ như nhau, dòng nghịch của diốt Si nhỏ hơn nhiều so với diốt Ge (cấp μA đối với diốt Ge, cấp nA đối với diốt Si). Dòng điện nghịch của diốt có 2 đặc điểm là : tăng nhanh theo nhiệt độ, trong một giới hạn nhất định của điện áp thì không phụ thuộc vào điện áp.

c) Phần đánh thủng : khi đặt điện áp nghịch lớn đến một giá trị xác định lên diốt, thì mối liên kết đồng hóa trị bị phá hoại, bứt ra nhiều điện tử, lượng hạt dẫn thiểu số tăng vọt. Điện trường mạnh làm cho điện tử va đập vào nguyên tử, sinh ra các cặp điện tử - lỗ trống mới, tăng vọt số lượng hạt dẫn. Hai yếu tố này dẫn đến hiện tượng đánh thủng điện (Xem hình 1.2.5). Tương ứng, V_B được gọi là điện áp nghịch đánh thủng. Nếu điện áp nghịch đặt vào diốt xấp xỉ hoặc lớn hơn V_B , lại không có biện pháp hạn chế dòng điện một cách thích hợp thì dòng điện lớn, điện áp cao sẽ làm diốt bán dẫn quá nóng đến nỗi hỏng vĩnh viễn, đó là đánh thủng nhiệt.

Vì điện trở của dây dẫn nối và của bản thân vật liệu bán dẫn, ngoài ra còn có nhiều nhân tố khác ảnh hưởng, như dòng điện dò chẳng hạn, nên đặc tuyến V - A của diốt thực sự đo được có khác ít nhiều so với đặc tuyến V - A lý tưởng (1.2.1).

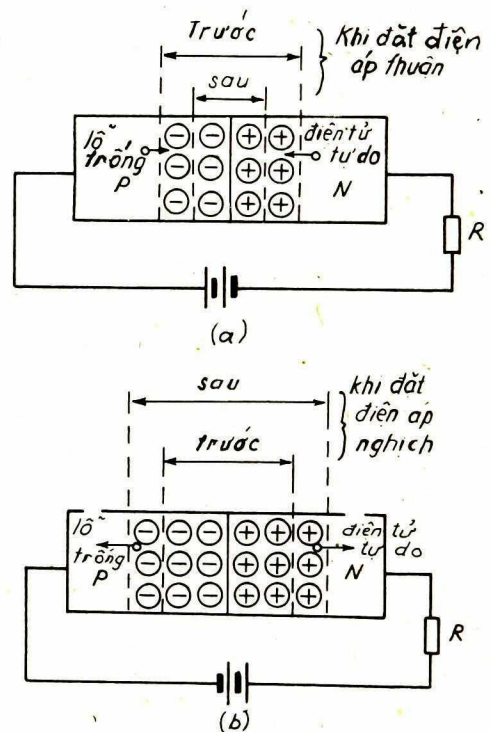
1.2.3. Hiệu ứng điện dung của diốt bán dẫn

1) Điện dung của chuyển tiếp

Diốt bán dẫn ngoài đặc tính dẫn điện một chiều, còn có hiệu ứng điện dung, rước hết là điện dung của chuyển tiếp. Điện dung này được tạo ra trong vùng nghèo kiệt. Như đã nói ở phần trước, trong vùng nghèo kiệt chỉ có các ion không dịch chuyển, tương đương với điện tích tồn trữ ; sự thiếu vắng hạt mang dẫn điện làm cho điện trở suất khá lớn, như là của điện môi ; Độ dẫn điện cao hơn của vùng P và vùng N tương đương kim loại ; khi có điện áp xoay chiều đặt vào thì điện tích vùng nghèo kiệt biến đổi theo . Hiện tượng này y hệt như điện dung, vì thế gọi là điện dung của chuyển tiếp, ký hiệu là C_B .

Tác dụng của C_B như sau :

Nếu có điện áp thuận đặt vào chuyển tiếp PN thì hạt dẫn đa số chuyển động tới tiếp giáp, số lượng điện tích trong vùng nghèo kiệt giảm nhỏ, vùng nghèo kiệt trở nên hẹp hơn, tương đương sự phóng điện, xem hình 1.2.6a. Còn nếu có điện áp nghịch đặt vào chuyển tiếp PN thì hạt dẫn đa số rời xa tiếp giáp, số lượng điện tích trong vùng nghèo kiệt tăng lớn, vùng nghèo kiệt trở nên rộng hơn, tương đương sự nạp điện, xem hình 1.2.6b. Hiện tượng phóng nạp điện đó y hệt điện dung, chỉ có điều khác là điện dung của chuyển tiếp C_B phụ thuộc điện áp đặt vào, chứ không phải là hằng số. Khi đặt vào điện áp nghịch, C_B tuy bé nhưng dấu song song với điện trở rất lớn của chuyển tiếp, nên tác dụng lại rõ rệt. Còn khi đặt vào điện áp thuận, C_B tuy lớn nhưng dấu song song với điện trở rất nhỏ của chuyển tiếp, nên tác dụng không rõ. Vậy nên, với định thiên điện áp nghịch, ta phải chú ý đến sự tồn tại của C_B . Nhất là khi làm việc ở tần số cao, càng nên xem xét ảnh hưởng của C_B . Thông thường giá trị điện dung của chuyển tiếp C_B từ vài pF đến một hai trăm pF.



Hình 1-2-6. Hiệu ứng điện dung :

a) Phóng điện ; b) Nạp điện.

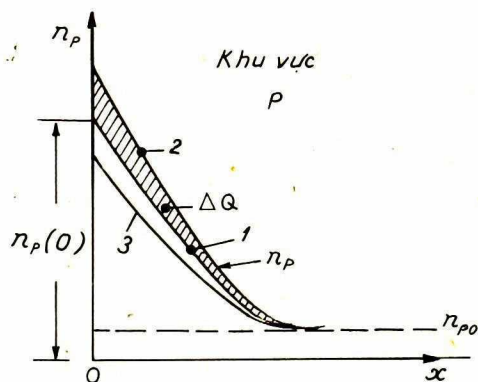
2) Điện dung khuếch tán

Sự hình thành điện dung khuếch tán không giống điện dung chuyển tiếp. Điện dung khuếch tán là kết quả sự tích lũy của điện tử trong khu vực N và lỗ trống trong khu vực P sau quá trình khuếch tán.

Hình 1.2.7. trình bày (trường hợp đặt vào chuyển tiếp điện áp thuận) sự biến đổi nồng độ hạt dẫn thiểu số trong khu vực P (điện tử) . $n_p(0)$ là nồng độ điện tử tại tiếp giáp bên khu vực P. n_{p0} là nồng độ điện tử trong khu vực P khi cân

bằng. Khi điện áp thuận tăng, tương ứng với xu thế dòng điện tăng lên là gradien nồng độ hạt mang phải tăng lên (vì dòng điện khuếch tán tỷ lệ thuận với gradien nồng độ)

Vì vậy, sự phân bố nồng độ từ đường cong 1 biến đổi thành đường cong 2, tạo ra sự tích lũy nhiều hơn hạt dẫn, làm tăng thêm một lượng điện tích ΔQ . Ngược lại, khi điện áp thuận giảm, sự phân bố nồng độ từ đường cong 1 biến đổi thành đường cong 3. Nghĩa là, nếu điện áp thuận tăng hay giảm thì tương ứng có sự bổ sung hay thoái giảm của hạt dẫn. Sự tích lũy điện tử trong khu vực P hoặc của lỗ trống trong khu vực N biến đổi theo điện áp ngoài đặt vào tương đương với một điện dung gọi là điện dung khuếch tán C_D . Giá trị của C_D tỷ lệ thuận với dòng điện. Với điện áp thuận đặt vào, C_D tương đối lớn. Với điện áp nghịch đặt vào, C_D nhỏ đến mức có thể bỏ qua.



Hình 1-2-7.

Sự biến đổi nồng độ hạt dẫn thiểu số trong khu vực P theo điện áp thuận đặt vào.

1.2.4. Đặc tính đóng mở (chuyển mạch) của diốt bán dẫn

Diốt bán dẫn trong mạch số thường làm việc ở trạng thái đóng mở. Vì vậy chúng ta hết sức chú ý điều kiện đóng mở và đặc điểm công tác ở trạng thái đóng mở.

Với khóa đóng mở lí tưởng, khi đóng mạch thì điện áp trên hai đầu của nó luôn bằng 0 bất kể dòng điện chạy qua nó là bao nhiêu, khi ngắt mạch dòng điện chạy qua phải bằng 0 bất kể điện áp trên hai đầu của nó là bao nhiêu, hơn nữa thời gian chuyển đổi trạng thái phải là tức thì. Tất nhiên khóa đóng mở lí tưởng như vậy không tồn tại trong thực tế.

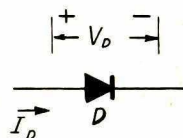
Diốt bán dẫn dùng làm cấu kiện đóng mở thì gần lý tưởng đến mức nào? Chúng ta hãy xem xét diốt Si.

1) Điều kiện đóng và đặc điểm đóng

Từ đặc tuyến $V - A$ của diốt bán dẫn, ta biết rằng khi điện áp thuận đặt vào $V_D > V_0$ (V_0 là điện áp mở) thì diốt bắt đầu dẫn điện, sau đó dòng điện I_D tăng nhanh theo V_D . Ở $V_D = 0,7V$, đặc tuyến đã khá dốc, I_D biến đổi khá nhiều trong phạm vi V_D xấp xỉ $0,7V$. Vì vậy, trong việc tính toán và phân tích mạch số thường lấy $V_D \geq 0,7V$ làm điều kiện dẫn điện của diốt Si. Và khi diốt đã dẫn điện, điện áp rơi trên nó được ước lượng là $0,7V$.

2) Điều kiện ngắt và đặc điểm ngắt

Từ đặc tuyến $V - A$ của diốt bán dẫn, ta biết rằng khi $V_D < V_0$ thì I_D rất nhỏ. Vì vậy, trong việc tính toán và phân tích mạch số thường lấy $V_D < V_0 = 0,5V$ làm điều kiện ngắt mạch của diốt. Và ở trạng thái ngắt mạch, ước lượng rằng $I_D \approx 0$.



Hình 1-2-8.

Phương hướng dòng điện và điện áp của diốt.

3) Thời gian hồi phục nghịch

Trong hình 1.2.9 khi điện áp vào V_i biến đổi từ $+V_1$ đến $-V_2$, nếu diốt là khóa đóng mở lí tưởng, thì dạng sóng dòng điện qua tải R_L có dạng hình b :

dòng thuận bằng $\frac{V_1}{R_L}$, dòng nghịch ≈ 0 Hình c biểu

hi dạng sóng dòng điện thực tế : dòng thuận bằng $\frac{V_1}{R_L}$, có đột biến với dòng điện nghịch $-\frac{V_2}{R_L}$, chỉ sau

thời gian hồi phục nghịch t_{re} thì diốt mới tiến đến trạng thái ngắt mạch, dòng điện ≈ 0 . Vì vậy, nếu tần số điện áp vào V_i là rất cao, đến nỗi bề rộng nửa chu kỳ âm của V_i bé hơn thời gian t_{re} , thì diốt còn dẫu tác dụng dẫn điện một chiều nữa.

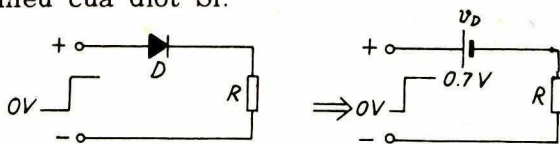
Chúng ta phải xem xét vấn đề : khi điện áp vào đã biến từ V_1 thành $-V_2$ rồi mà diốt vẫn thông.

Chúng ta đã biết rằng, với điện áp nghịch trên diốt, dòng điện trôi dạt là chủ yếu, ở trạng thái ổn định, số lượng hạt dẫn thiểu số tạo thành dòng điện trôi dạt rất nhỏ, diốt hở mạch. Nhưng khi diốt dẫn điện với điện áp thuận đặt vào, hạt dẫn đa số không ngừng khuếch tán sang khu vực bên kia-chuyển tiếp, (lỗ trống ở khu vực P khuếch tán sang thành hạt dẫn thiểu số của khu vực N, điện tử ở khu vực N khuếch tán sang thành hạt dẫn thiểu số của khu vực P) làm cho sự tích trữ khá nhiều hạt mang thiểu số hai bên chuyển tiếp PN. Do đó, bỗng đặt vào điện áp ngược, thì các hạt dẫn thiểu số hình thành dòng điện trôi dạt tương

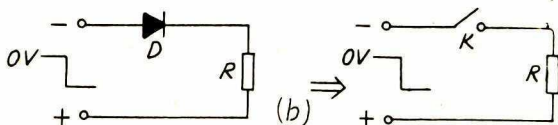
đối lớn. Đó là dòng điện $I \approx -\frac{V_2}{R_L}$ ở thời điểm có đột biến âm, diốt vẫn thông. Chỉ sau khoảng thời gian hồi phục nghịch t_{re} đủ tiêu tán hết số hạt mang thiểu số đã tích trữ thì dòng điện nghịch qua diốt mới tiến đến $I_R \approx 0$.

4) Mạch điện tương đương

Các hình 1-2-10, 1-2-11 trình bày mạch điện tương đương đối với dòng điện một chiều của diốt Si.

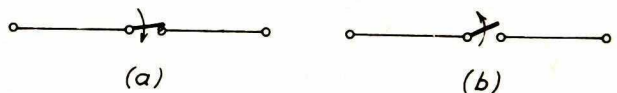


(a)

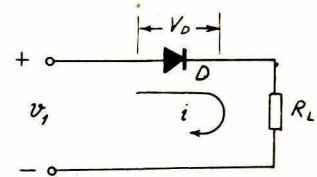


(b)

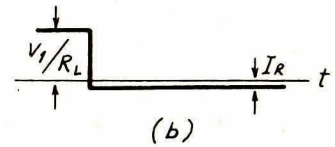
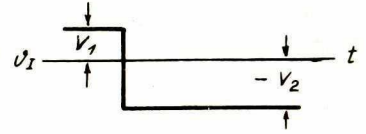
Hình 1-2-10. Mạch điện tương đương gần đúng của diốt Si : a) thuận ; b) nghịch.



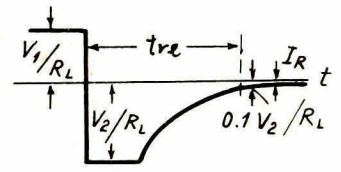
Hình 1-2-11. Mạch điện tương đương đơn giản : a) thuận ; b) nghịch.



(a)



(b)



(c)

Hình 1-2-9. Quá trình quá độ của diốt

- a) mạch điện
- b) Đồ thị sóng lý tưởng
- c) Đồ thị sóng thực

1.2.5. Các tham số cơ bản của diốt bán dẫn

1) *Dòng điện chỉnh lưu trung bình cực đại I_F* . Đó là dòng điện trung bình hướng thuận cực đại được cho phép chạy qua diốt trong thời gian sử dụng dài, trị số này được xác định bởi diện tích chuyển tiếp PN và điều kiện tỏa nhiệt. Trong sử dụng diốt, cần chú ý điều kiện tỏa nhiệt và bảo đảm dòng điện trung bình $< I_F$, để diốt khỏi hỏng.

2) *Điện áp nghịch cực đại V_R* . Nếu điện áp nghịch đặt vào diốt đạt đến điện áp đánh thủng V_B thì dòng điện nghịch tăng nhanh, tính dẫn điện một hướng của diốt bị phá hoại, thậm chí dẫn đến đánh thủng nhiệt làm hỏng diốt. Để diốt làm việc an toàn, thường điện áp nghịch cực đại cho phép trên diốt bằng một nửa điện áp đánh thủng.

3) *Dòng điện nghịch I_R* . Đó là trị số dòng điện nghịch khi diốt không bị đánh thủng. I_R càng nhỏ thì tính dẫn điện một hướng càng tốt. Cần chú ý rằng I_R phụ thuộc rõ rệt vào nhiệt độ.

4) *Tần số công tác*. Điện dung chuyển tiếp PN và điện dung khuếch tán của diốt là yếu tố chủ yếu giới hạn tần số công tác, vượt quá giới hạn đó thì diốt không thể hiện tính năng dẫn điện một chiều nữa.

5) *Thời gian hồi phục nghịch t_{re}* . Thời gian t_{re} được đo trong các điều kiện quy định về : phụ tải, dòng điện thuận, dòng điện nghịch tức thời cực đại. Ví dụ, bóng đóng mở Si có số hiệu 2CK15, khi $R_L = 50 \Omega$, biên độ dòng điện thuận và nghịch đều 10 mA, thì $t_{re} \leq 5nS$ (ở thời điểm kết thúc t_{re} thì $I_R = 1mA$, tức 10% biên độ)

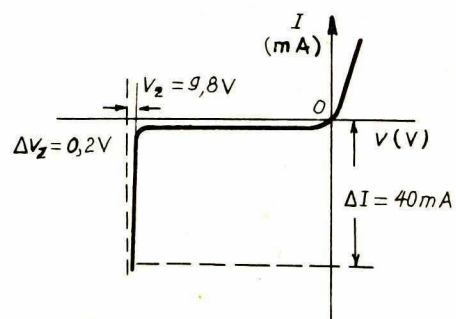
6) *Điện dung không thiên áp*. Không thiên áp là điều kiện không có điện áp đặt vào diốt. Giá trị điện dung này bao gồm tổng điện dung khuếch tán và điện dung chuyển tiếp PN. Ví dụ, với 2CK15, điện dung không thiên áp nhỏ hơn 5pF.

1.2.6. Diốt ổn áp

Diốt ổn áp, một diốt bán dẫn có đặc tính ổn áp được sản xuất chuyên dụng phục vụ các thiết bị ổn áp và mạch điện tử, nó được phân biệt với các diốt bán dẫn khác có ứng dụng chỉnh lưu, tách sóng v.v...

1) Tác dụng ổn áp

Để thấy rõ tác dụng ổn áp của diốt ổn áp, ta hãy xét phần nghịch của đặc tuyến $V - A$ của diốt ổn áp, hình 1.2.12. khi điện áp nghịch đạt đến một giá trị nhất định, thì dòng điện nghịch tăng nhanh đột biến, sau đó ứng với phạm vi biến thiên rất lớn của dòng điện nghịch là phạm vi biến thiên rất nhỏ của điện áp nghịch. Đó là hiện tượng đánh thủng điện. Điều kiện để sử dụng đặc tính ổn áp nói trên là trong mạch điện diốt ổn áp phải có biện pháp hạn chế dòng điện sao cho sự đánh thủng điện không dẫn đến sự đánh thủng nhiệt làm hỏng bóng ổn áp.



Hình 1-2-12. Đặc tính ổn áp.

Hình 1-2-13 a là mạch điện tương đương của diốt ổn áp. Tương ứng với hình 1-2-12, giá trị ổn áp $V_Z = 9,8V$, giá trị nội trở tương đương $r_2 = \frac{\Delta V}{\Delta I} = \frac{0,2V}{0,04A} = 5\Omega$

Hình 1-2-13 b. là ký hiệu của diốt ổn áp.

2) Nguyên lí đánh thủng

Hiện tượng đánh thủng xảy ra trong chuyển tiếp PN có thể do hai cơ chế sau đây :

Cơ chế đánh thủng Zene (xuyên hầm) : khi điện trường nghịch đặt vào đủ lớn thì các điện tử đồng hóa trị có thể đủ năng lượng để tách khỏi nguyên tử trở thành điện tử tự do, tạo ra cặp điện tử - lỗ trống. Vì lúc này số hạt mang tải đột biến nên xảy ra hiện tượng đánh thủng.

Cơ chế đánh thủng thác lũ : khi điện trường nghịch đặt vào mạnh, thì năng lượng hạt mang lớn hơn, có thể xảy ra va chạm làm bật ra các điện tử ở lớp ngoài của nguyên tử. Những điện tử mới sinh ra này lại tham gia vào quá trình va chạm và bật ra điện tử. Phản ứng dây chuyền này làm cho số hạt mang tải đột biến.

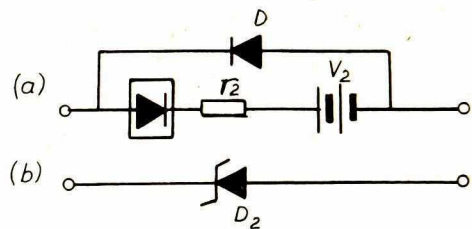
Thực nghiệm chứng minh rằng : đối với diốt ổn áp có điện áp V_Z nhỏ, tức là vùng điện tích không gian của nó hẹp, thì xảy ra cơ chế đánh thủng Zene. Vùng điện tích không gian hẹp, cường độ điện trường mạnh, cặp điện tử-lỗ trống dễ sinh ra. Nhưng quá trình va chạm và phản ứng dây chuyền lại có xác suất thấp. Đối với diốt ổn áp có điện áp ổn áp V_Z lớn, tức là vùng điện tích không gian của nó rộng, thì xảy ra cơ chế đánh thủng thác lũ là chủ yếu. Ví dụ, đối với bóng ổn áp 5V, thì ranh giới giữa hai cơ chế này là $4 \div 7V$, nghĩa là các diốt ổn áp có $V_Z < 4V$ thuộc cơ chế đánh thủng Zene, các diốt ổn áp $V_Z > 7V$ thuộc về cơ chế đánh thủng thác lũ, còn các diốt ổn áp $4V < V_Z < 7V$ thì thuộc về cả hai cơ chế đánh thủng.

3) Tham số

a) Điện áp ổn áp : là giá trị điện áp ổn áp trên hai cực của diốt ổn áp khi nó làm việc trong mạch điện ổn áp. Giá trị này có thay đổi nhỏ, phụ thuộc vào dòng điện công tác và nhiệt độ. Cùng loại số hiệu được sản xuất ra nhưng các diốt ổn áp có sai lệch về điện áp ổn áp. Ví dụ : bóng 2CW11 có điện áp ổn áp $3,2 \div 4,5V$.

b) Dòng điện công tác : là giá trị dòng điện công tác của diốt ổn áp được dùng để tham khảo. Giá trị thực của dòng điện có thể nhỏ hơn, tuy rằng tính năng ổn áp sẽ kém hơn. Giá trị thực của dòng điện có thể lớn hơn, kèm theo tính năng ổn áp sẽ tốt hơn, nhưng tiêu hao điện cũng lớn hơn ; cần chú ý không vượt tổn hao cho phép để khỏi hỏng bóng.

c) Hệ số nhiệt độ : là hệ số biểu thị sự ảnh hưởng của biến đổi nhiệt độ đối với giá trị điện áp ổn áp. Ví dụ : bóng 2CW2D có hệ số nhiệt độ là $+ 0,095\%/^{\circ}C$, tức là nếu nhiệt độ tăng thêm $1^{\circ}C$ thì giá trị điện áp ổn áp cũng tăng thêm $0,095\%$. Giả sử $V_Z = 17V$ ở $t = 20^{\circ}C$ thì ở $t = 50^{\circ}C$:



Hình 1-2-13.

Mạch điện tương đương và ký hiệu của diốt ổn áp.

$$V_Z = 17 + \frac{9,5}{10000} \times (50 - 20) \times 17 = 17 + 0,48 = 17,48V$$

Nói chung, bóng ổn áp có $V_Z < 6V$ thì hệ số nhiệt độ là âm, bóng ổn áp có $V_Z > 6V$ thì có hệ số nhiệt độ là dương (đó là đặc điểm của hai cơ chế đánh thủng). Bóng ổn áp có V_Z xấp xỉ $6V$ bị ảnh hưởng nhiệt độ là không đáng kể. Vậy nếu cần mức độ ổn áp chính xác, thường chọn V_Z cỡ $6V$, hoặc chọn hai bóng có hệ số nhiệt độ ngược nhau rồi mắc nối tiếp để chúng bù trừ lẫn nhau.

d) *Điện trở động* : là tỷ số giữa số gia điện áp với số gia dòng điện tương ứng. Điện trở động thay đổi theo dòng điện công tác, dòng càng lớn thì điện trở động càng nhỏ. Ví dụ, bóng 2DW7C, ở $5mA$ thì điện trở động là 18Ω , ở $10 mA$ thì là 8Ω , ở $\geq 20mA$ thì là 2Ω . Chẳng hạn, khi dòng điện công tác tăng từ $20mA$ đến $30mA$, thì biến thiên tương ứng của điện áp ổn áp là :

$$(30 - 20) \times 10^{-3} \times 2 = 20 \times 10^{-3} V = 20mV.$$

5) *Công suất tiêu hao cho phép* : là tham số xác định nhiệt độ tăng cao cho phép. Nếu biết điện áp ổn áp của bóng thì tính được dòng điện công tác cực đại cho phép bằng tỷ số giữa công suất tiêu hao cho phép với giá trị điện áp ổn áp. Ví dụ, bóng 2DW7A có $V_Z = 6V$, công suất tiêu hao cho phép $200mW$, vậy dòng điện công tác cực đại cho phép là :

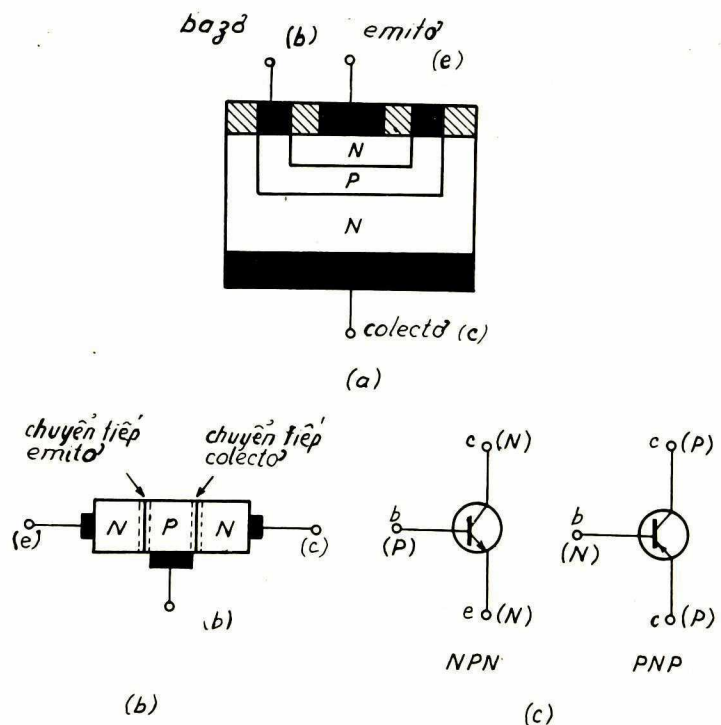
$$\frac{200 mW}{6V} \approx 33mA$$

1.3. TRANZITO

Sự chế tạo ra tranzito là một nhảy vọt về chất của kỹ thuật điện tử. Hiện nay, ta thường dùng công nghệ quang khắc, khuếch tán để chế tạo tranzito. Xét về cấu trúc, ta phân loại thành tranzito NPN và tranzito PNP.

Hình 1.3.1 trình bày cấu trúc tranzito NPN.

Tranzito có hai chuyển tiếp PN : chuyển tiếp emitơ (cực phát) và chuyển tiếp colectơ (cực góp) và ba khu vực : emitơ, bazơ (cực gốc), colectơ. Tranzito có 3 điện cực là dây dẫn điện lấy ra từ ba khu vực nói trên, ký hiệu là e (emitơ), b (bazơ), c (colectơ). Dùng chất bán dẫn P làm khu vực emitơ và khu vực colectơ, chất bán dẫn N làm khu vực bazơ để



Hình 1-3-1. Cấu trúc và kí hiệu của tranzito.

ấu trúc nên PNP. Hình 1.3.1c là kí hiệu của hai loại tranzito, mũi tên của cực e biểu thị chiều dòng điện khi chuyển tiếp emitơ có điện áp thuận, mũi tên hướng ra ngoài đối với tranzito NPN, mũi tên hướng vào trong đối với tranzito PNP. Nguyên lý công tác của hai loại tranzito giống nhau. Dưới đây giới thiệu nguyên lý tranzito NPN.

1.3.1. Tác dụng khuếch đại và sự phân phối dòng điện trong tranzito

Tác dụng khuếch đại của mạch điện khuếch đại là lấy năng lượng từ nguồn riêng để nâng mức năng lượng tín hiệu đầu vào (nhỏ) thành mức năng lượng lớn hơn của tín hiệu đầu ra.

1) Chuyển động của hạt dẫn và sự phân phối dòng điện

Hình 1.3.2. trình bày sự chuyển động của hạt dẫn trong tranzito.

Nguồn + 12 V thông qua điện trở R_C để đặt điện áp thuận vào tranzito.

a) Tình hình điện tử phát xạ từ vùng e vào vùng b :

Chuyển tiếp e có điện áp thuận $V_B > V_E$, sự chuyển động khuếch tán mạnh hơn chuyển động trôi dạt, điện tử của vùng e không ngừng vượt qua chuyển tiếp PN tới vùng b, lỗ trống của vùng b không ngừng vượt tới vùng e, cùng tạo ra dòng điện cực emitơ I_E . Do đặc điểm kỹ thuật chế tạo, nồng độ lỗ trống vùng b rất nhỏ so với nồng độ điện tử vùng e, nên dòng điện lỗ trống có thể bỏ qua.

b) Tình hình khuếch tán và tái hợp điện tử trong khu vực b :

Vì nồng độ điện tử vùng gần e rất lớn, còn nồng độ điện tử vùng gần c rất bé, nên điện tử sau khi đến b thì có thể tiếp tục khuếch tán đến c. Trong quá trình khuếch tán này, điện tử luôn gặp phải lỗ trống của khu vực b, lỗ trống bị tái hợp triệt tiêu, nhưng nguồn cực b bổ sung lỗ trống, tạo ra dòng điện cực bazơ I_B . Để có được nhiều điện tử khuếch tán đến c, khi chế tạo tranzito, người ta làm vùng b rất mỏng, nồng độ tạp chất vùng b rất nhỏ, xác suất tái hợp sẽ rất bé.

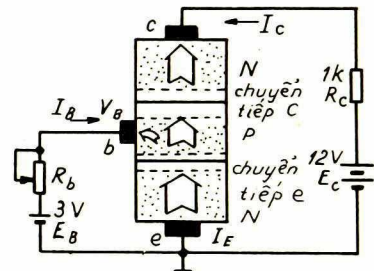
c) Tình hình cực c thu thập điện tử :

Khác với tình hình xảy ra ở chuyển tiếp e, khi điện tử đến chuyển tiếp c thì gặp điện trường nghịch. Điện trường này cản trở điện tử khuếch tán vào khu vực b, đồng thời gom góp các điện tử khuếch tán từ b đến, tạo ra dòng điện cực colectơ I_C .

Trong tranzito có cấu trúc đã xét trên, dòng điện bao gồm cả điện tử và lỗ trống, nên đôi khi được gọi là tranzito lưỡng hạt để phân biệt với các loại tranzito cấu trúc khác.

2) Tác dụng khuếch đại dòng điện

Tóm tắt sự chuyển động của hạt dẫn trong tranzito, hình 1.3.2 biểu thị bằng mũi tên hướng dòng điện tử. Vì vùng b rất mỏng, nồng độ lỗ trống lại thấp, nên đa số điện tử khuếch tán từ e sẽ vượt qua khu vực b để tới được c, tạo thành I_C ;



Hình 1-3-2. Chuyển động của hạt mang trong tranzito.

chỉ một phần nhỏ chạy tới b tạo thành I_B . Sau khi chế tạo, tỉ lệ $\frac{I_C}{I_B}$ là xác định, vậy nên có thể điều chỉnh I_C bằng thay đổi I_B . Từ đó có tác dụng khuếch đại dòng điện của tranzito.

Hệ số khuếch đại dòng điện một chiều của tranzito được biểu thị là :

$$\beta = \frac{I_C}{I_B} \quad (1-3-1)$$

Còn hệ số khuếch đại dòng điện xoay chiều của tranzito được biểu thị là :

$$\bar{\beta} = \frac{\Delta I_C}{\Delta I_B} \quad (1-3-2)$$

Nói chung, $\beta \approx \bar{\beta}$.

Xét về quan hệ điện áp, giữa b và e là điện áp thuận, V_{BE} chỉ biến đổi bé cũng có thể sinh ra biến đổi đáng kể của I_B (đặc tính thuận của chuyển tiếp PN), nhờ tác dụng khuếch đại dòng điện của tranzito, kết quả có được sự biến đổi rất lớn của I_C . Sự biến đổi dòng điện này sinh ra sự biến đổi điện áp trên hai đầu điện trở cực colectơ R_C . Thành phần xoay chiều đó lớn gấp bội lần thành phần xoay chiều V_{BE} . Vậy tác dụng khuếch đại dòng điện đã chuyển thành tác dụng khuếch đại điện áp.

1.3.2. Đặc tính đầu vào và đặc tính đầu ra của tranzito

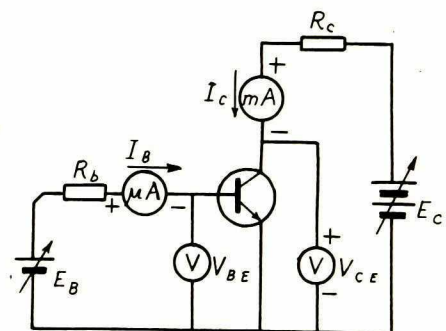
Đặc tuyến V-A của tranzito phản ánh toàn diện quan hệ dòng - áp giữa các cực. Trên thực tế, những đặc tuyến này là biểu hiện bên ngoài của tính năng dẫn điện các chuyển tiếp PN. Xét ở góc độ sử dụng, đặc tuyến tranzito thường được dùng. Các số tay về bóng bán dẫn thường cho đặc tuyến đầu vào và đặc tuyến đầu ra của tranzito. Hình 1.3.3 giới thiệu mạch điện đo đặc tuyến tranzito.

1) Đặc tính đầu vào

Đó là quan hệ giữa I_B và V_{BE} trong mạch vòng đầu vào của tranzito.

- Khi $V_{CE} = 0$, tương đương sự ngắn mạch ce ; quan hệ I_B và V_{BE} là đặc tính V - A của 2 điốt có áp thuận nối song song (một điốt của chuyển tiếp e, một điốt của chuyển tiếp c)

- Khi $V_{CE} = 2V$. Có điện áp nghịch đặt lên chuyển tiếp c thu hút mạnh điện tử từ e, tạo thành I_C . Vậy với V_{BE} như nhau, thì I_B giảm nhỏ, đặc tuyến dịch sang phải. Hình 1.3.4 là đặc tuyến đầu vào của tranzito 3DG4C. Với các giá trị V_{CE} khác nhau, thì đặc tuyến đầu vào có thay đổi chút ít. Khi V_{CE} đủ lớn ($V_{CE} > 1V$), ứng với một giá trị V_{BE} là số điện tử xác định khuếch tán tới khu vực b, tuyệt đại số số điện tử này bị kéo đến c, vì vậy dòng I_B không



Hình 1-3-3. Mạch đo đặc tuyến tranzito.

giảm nhỏ rõ ràng khi V_{CE} tăng thêm. Nên đặc tuyến đầu vào chỉ cần cho một đường như hình 1.3.4.

2) Đặc tính đầu ra

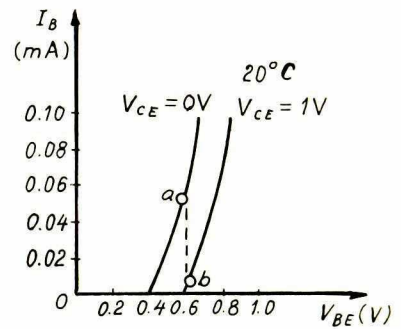
Đó là quan hệ giữa I_C và V_{CE} trong mạch vòng đầu a của tranzito khi I_B là tham số (xác định). Hình 1.3.5 biểu thị đặc tuyến ra của tranzito 3DG4C. Từ đặc tuyến trên hình 1.3.5, ta có thể thấy 3 khu vực công tác của tranzito.

- Khu vực cắt. Tương ứng với $I_B \leq 0$. Đối với tranzito NPN Si, khi $V_B < V_E$ ($V_{BE} < 0$) thì tranzito ở mạch. Như ta thấy ở đặc tuyến thuận của chuyển tiếp PN, khi $V_{BE} < 0,5V$ (Điện áp vùng chết $V_o = 0,5V$), thì vùng e căn bản không có điện tử chuyển sang vùng b, tương ứng $I_B \approx 0$, $I_C \approx 0$. Thật ra, khu vực cắt không tương ứng trạng thái hở mạch tranzito, vì chuyển động nhiệt mà tồn tại dòng điện rất nhỏ trong mạch cực colecto. I_{CE0} , gọi là dòng liên xuyên. Dòng điện xuyên nhỏ dưới μA nên không được thể hiện trên đặc tuyến.

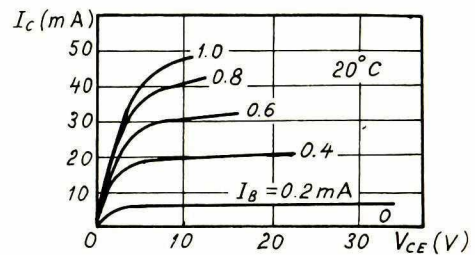
- Khu vực khuếch đại. Tương ứng với điện áp thuận trên chuyển tiếp e và điện áp nghịch trên chuyển tiếp c, thì phần đặc tuyến đầu ra gần như nằm ngang, đó là khu vực khuếch đại. Đối với tranzito Si, khi $V_{BE} > 0,5V$, và với điện áp nghịch nào đó ở chuyển tiếp c, thì hầu hết điện phát xạ từ e, qua b, đều đến c, vậy $I_C \approx I_E$, I_B rất bé. Khi I_B biến đổi

khi I_C biến đổi theo, I_C không phụ thuộc đáng kể vào V_{CE} , hơn nữa $\frac{\Delta I_C}{\Delta I_B} \gg 1$, tức là tranzito khuếch đại mạnh dòng điện.

- Khu vực bão hòa. Trong mạch điện của bộ khuếch đại tranzito như hình 1.3.2 biểu thị, có điện trở tải. Nếu nguồn điện E_C không đổi, khi I_C tăng thì V_{CE} giảm. Nếu V_{CE} bé đến mức làm suy giảm khả năng thu góp điện tử của colecto, thì I_C không tăng hoặc tăng không đáng kể theo I_B ; tranzito mất đi tác dụng khuếch đại, tức là nó ở trong trạng thái bão hòa. Mức độ bão hòa phụ thuộc I_B và I_C . Chúng ta gọi trạng thái $V_{CE} = V_{BE}$ là bão hòa giới hạn, trạng thái $V_{CE} < V_{BE}$ là quá bão hòa. Điện áp bão hòa V_{CES} tỉ lệ thuận với I_C . Ví dụ, tranzito Si công suất nhỏ có $V_{CES} < 0,4V$, tranzito Si công suất lớn ($I_C > 1A$) có $V_{CES} > 1V$, tranzito Ge có $|V_{CES}|$ nhỏ hơn.



Hình 1-3-4. Đặc tuyến đầu vào.



Hình 1-3-5. Đặc tuyến đầu ra.

1.3.3. Đặc tính chuyển mạch của tranzito

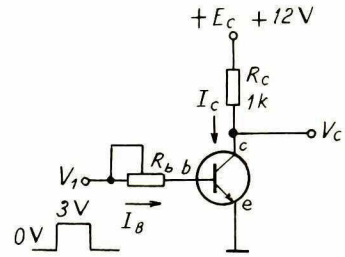
Tranzito là cấu kiện chuyển mạch (khóa) cơ bản nhất trong mạch số, nó có trạng thái làm việc hoặc ở khu vực cắt, hoặc ở khu vực bão hòa, còn chỉ trong khoảnh khắc của quá trình quá độ (chuyển từ bão hòa sang ngắt hoặc từ ngắt sang bão hòa) tranzito mới làm việc trong khu vực khuếch đại. Như hình 1.3.6 biểu thị, khi liên áp vào $V_z = 0$ thì tranzito ngắt, khi $V_I = +3V$ thì tranzito thông bão hòa.

Vì vậy điều kiện đóng mở của tranzito và đặc điểm công tác ở chế độ đóng mở cần được chúng ta chú ý đặc biệt.

1. Điều kiện thông bão hòa và đặc điểm

Điều kiện :

Khi bão hòa giới hạn,
 $V_{CE} = V_{CES}$, $I_C = I_{CS}$, $I_B = I_{BS}$. Có thể tính được từ mạch hình 1.3.6



Hình 1-3-6. Chuyển hóa trạng thái công tác của tranzito.

$$I_{CS} = \frac{E_C - V_{CES}}{R_C} \approx \frac{E_C}{R_C}$$

$$I_{BS} = \frac{I_{CS}}{\beta} \approx \frac{E_C}{\beta R_C}$$

Vậy tranzito sẽ thông bão hòa khi

$$I_B > I_{BS} \approx \frac{E_C}{\beta R_C} \quad (1-3-3)$$

(1-3-3) là điều kiện làm căn cứ xét đoán phải chăng tranzito thông bão hòa.

- Đặc điểm :

Từ đặc tính đầu vào và đặc tính đầu ra, ta biết rằng tranzito Si sau khi đã thông bão hòa, $V_{BE} \approx 0,7V$, $V_{CE} = V_{CES} \leq 0,3V$ giống như khóa đóng mở ở trạng thái tiếp thông.

2. Điều kiện ngắt và đặc điểm

- Điều kiện :

$$V_{BE} < V_o = 0,5V \quad (1-3-4)$$

V_o là điện áp vùng chết của chuyển tiếp e. Từ đặc tính đầu vào ta biết rằng, khi $V_{BE} < 0,5V$ thì tranzito cơ bản hở mạch, vì vậy (1-3-4) là điều kiện làm căn cứ xét đoán phải chăng tranzito ngắt.

- Đặc điểm : $I_B \approx 0$, $I_C \approx 0$ giống như cái chuyển mạch ở trạng thái hở mạch.

3. Thời gian chuyển mạch

Quá trình chuyển mạch của tranzito tương tự như diốt bán dẫn, cũng có quá trình kiến lập và tiêu tán điện tích, cần có thời gian nhất định. Tranzito chuyển từ ngắt sang thông bão hòa phải cần có thời gian đóng t_{on} ; chuyển từ thông bão hòa sang ngắt cần thời gian ngắt t_{off} .

Xem hình 1.3.7, đây là một ví dụ cụ thể.

Khi điện áp vào biến đổi nhảy vọt từ $-V_{B1}$ đến $+V_{B2}$, tranzito không lập tức thông điện, mà sau một thời gian trễ t_d (từ thời điểm đột biến thuận V_1 đến thời điểm $I_C = 0,1 I_{Cmax}$) cộng thêm thời gian tăng trưởng t_r (để I_C tăng từ $0,1 I_{Cmax}$ đến $0,9 I_{Cmax}$)

Vậy $t_{on} = t_d + t_r$

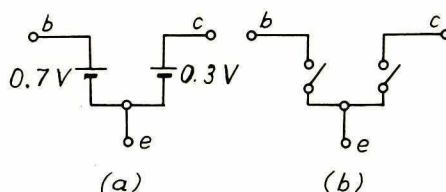
Khi điện áp vào biến đổi nhảy vọt từ $+V_{B2}$ đến $-V_{B1}$ dòng điện I_C không lập tức về 0 (hở mạch), bao gồm thời gian tồn trữ t_s (từ thời điểm đột biến nghịch V_I đến thời điểm $I_e = 0,9I_{Cmax}$) cộng thêm thời gian suy giảm t_f (để I_C suy giảm từ $0,9I_{Cmax}$ đến $0,1I_{Cmax}$)

Vậy $t_{off} = t_s + t_f$

Nói chung, thời gian đóng mở của tranzito t_{on} , t_{off} cỡ ns, và $t_{off} > t_{on}$, $t_s > t_f$. Nghĩa là, giá trị thời gian tồn trữ t_s là yếu tố chủ yếu xác định tốc độ đóng mở tranzito t_o .

4. Mạch điện tương đương

Hình 1.3.8 biểu thị mạch điện tương đương của tranzito đối với dòng điện một chiều khi đóng và khi mở.



Hình 1-3-8.

Mạch điện tương đương :

- a) Khi thông bão hòa ;
- b) Khi ngắt.

1.3.4. Các tham số cơ bản của tranzito

Tham số của tranzito đặc trưng các tính năng kỹ thuật và phạm vi sử dụng của nó.

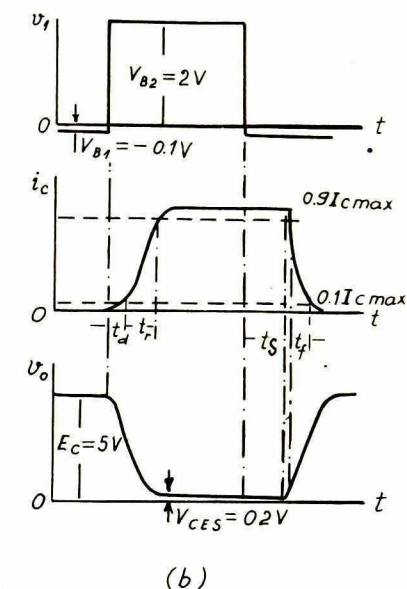
1) Hệ số khuếch đại dòng điện

$$\beta = \frac{I_C}{I_B} \quad \beta = \frac{\Delta I_C}{\Delta I_B}$$

Hình 1.3.9 trình bày sự khác biệt giữa β và β .

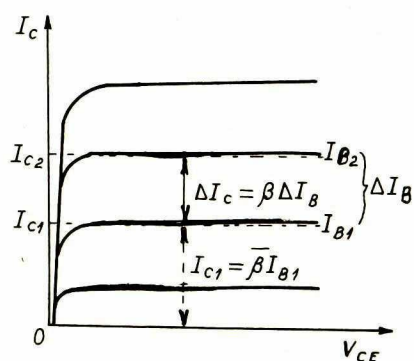
$$\beta = \frac{I_{C2} - I_{C1}}{I_{B2} - I_{B1}} \quad \beta = \frac{I_{C1}}{I_{B1}}$$

β thích hợp để tính toán tín hiệu xoay chiều biên độ nhỏ. β thích hợp để tính toán tín hiệu một chiều, hoặc tín hiệu xoay chiều biên độ lớn. Khi



Hình 1-3-7. Thời gian đóng mở của tranzito :

- a) Mạch điện ;
- b) Dạng sóng.



Hình 1-3-9. Phân biệt β và β .

đặc tuyến có dạng các đường song song cách đều và bỏ qua I_{CEO} thì $\beta = \beta$.

Sơ đồ mạch điện 1.3.3 được gọi là bộ khuếch đại tranzito mắc chung emitơ vì e là cực chung cho đầu vào và đầu ra. β là hệ số khuếch đại dòng điện của bộ khuếch đại tranzito mắc chung emitơ. Hình 1.3.10 là bộ khuếch đại tranzito mắc chung bazơ vì b là cực chung cho đầu vào và đầu ra.

Hệ số khuếch đại dòng điện của mạch này là tỉ số giữa dòng điện đầu ra ΔI_E và dòng điện đầu vào ΔI_C , kí hiệu α .

$$\alpha = \frac{\Delta I_C}{\Delta I_E} \quad (1.3.5)$$

Do sự vận động của hạt dẫn trong tranzito mà $\alpha = 0,90 \div 0,99 \approx 1$.

$$\text{và : } \beta = \frac{\alpha}{1 - \alpha} \quad (1-3-6)$$

Giải thích (1-3-6) như sau :

$$\Delta I_E = \Delta I_C + \Delta I_B \quad \beta = \frac{\Delta I_C}{\Delta I_B} = \frac{\Delta I_C}{\Delta I_E - \Delta I_C} = \frac{\Delta I_C}{\Delta I_E \left(1 - \frac{\Delta I_C}{\Delta I_E}\right)}$$

$$\beta = \frac{\alpha}{1 - \alpha}$$

2) Dòng điện nghịch

a) Dòng điện bão hòa nghịch giữa cực c và cực b, kí hiệu I_{CBO} là dòng điện nghịch của colectơ khi hở mạch emitơ, không phụ thuộc V_{CE} , và có giá trị không đổi ở nhiệt độ cho trước. Nói chung I_{CBO} rất bé, đối với tranzito công suất nhỏ, bóng G_E cấp μA , bóng Si cấp nA. Nếu yêu cầu tranzito làm việc trong phạm vi nhiệt độ rộng, thì nên chọn bóng Si.

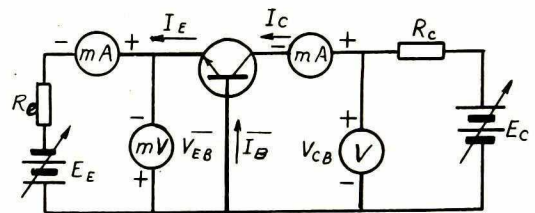
b) Dòng điện xuyên I_{CEO} là dòng điện colectơ khi hở mạch bazơ, nhưng tương ứng với điện áp V_{CE} nào đó, $I_{CEO} = (1 + \beta) I_{CBO}$.

Các dòng điện nghịch I_{CBO} , I_{CEO} là chỉ tiêu đánh giá chất lượng tranzito. Nếu tranzito có khuyết tật trong quá trình chế tạo thì I_{CEO} cứ tăng lớn sau thời gian sử dụng.

3) Tham số giới hạn

Trong tình huống nào đó, nếu tranzito làm việc ở chế độ vượt tham số giới hạn cũng chưa chắc bị hỏng. Tuy nhiên, tốt nhất là thiết kế để tranzito làm việc không vượt tham số giới hạn.

a) Dòng điện colectơ cực đại cho phép I_{CM} . β sẽ giảm nhỏ khi $I_C \approx I_{CM}$, (cụ thể $\beta = \frac{2}{3}$ giá trị danh định). Thường đối với tranzito công suất nhỏ thì $I_{CM} =$ vài mA, đối với tranzito công suất lớn $I_{CM} =$ vài A.



Hình 1-3-10.

Mạch khuếch đại mắc chung bazơ.

b) Điện áp đánh thủng :

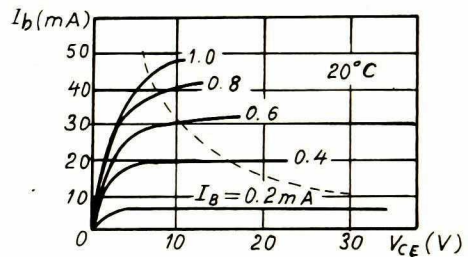
- Điện áp đánh thủng nghịch BV_{EB0} . Đây là giá trị điện áp nghịch cực đại cho phép đặt lên chuyển tiếp emitơ khi hở mạch colectơ. Nếu vận hành vượt BV_{EB0} thì chuyển tiếp emitơ bị đánh thủng. Nói chung các bóng hợp kim có BV_{EB0} tương đối cao, bóng bẽ mặt cao tần BV_{EB0} cỡ vài V, thậm chí không đến 1V.

- Điện áp thủng nghịch BV_{EB0} khi hở mạch emitơ. Sau khi V_{CB} tăng đến một giá trị nhất định thì I_{CB0} đột biến tăng mạnh, dẫn tới đánh thủng thác lũ. BV_{CB0} có giá trị tương đối cao (xác định bởi điện áp đánh thủng thác lũ đối với chuyển tiếp colectơ)

- Điện áp đánh thủng nghịch BV_{CE0} khi hở mạch bazơ. $BV_{CE0} \ll BV_{CB0}$.

c) Công suất tổn hao cực đại cho phép ở colectơ P_{CM} . Tham số này quyết định nhiệt độ của bóng. Thường nhiệt độ làm việc cực đại của bóng Si cỡ 150°C , của bóng Ge cỡ 70°C , nhiệt độ cao hơn làm hỏng bóng. Hình 1.3.11 biểu diễn giới hạn làm việc an toàn của bóng ứng với $P_{CM} = V_{CE} \times I_C$ đã cho, đó là đường hypebol.

Vùng của đặc tuyến đầu ra nằm dưới và bên trái đường hypebol là vùng làm việc an toàn. Thường có thể mở rộng vùng làm việc an toàn bằng làm mát bóng (làm mát bằng quạt gió, làm mát bằng ngâm dầu, làm mát bằng phiến tỏa nhiệt)



Hình 1-3-11. Vùng làm việc an toàn tương ứng $P_{CM} = 300\text{mW}$.

1.3.5 Ảnh hưởng của nhiệt độ đến các tham số của tranzito

Hầu hết các tham số của tranzito đều phụ thuộc nhiệt độ. Vậy nên cần nắm vững quy luật sự thay đổi tham số theo nhiệt độ, để bảo đảm mạch điện thực tế làm việc tốt trong phạm vi nhiệt độ đã cho.

1) Nhiệt độ ảnh hưởng tới I_{CB0}

I_{CB0} là dòng hạt dẫn thiểu số khu vực colectơ. Số lượng hạt dẫn thiểu số phụ thuộc rõ vào nhiệt độ. Nghiên cứu cho biết rằng I_{CB0} tăng nhanh theo hàm số mũ của biến số nhiệt độ. Nói chung, khi nhiệt độ tăng 10°C thì I_{CB0} tăng gấp đôi. Nhưng I_{CB0} của bóng Si nhỏ hơn nhiều I_{CB0} của bóng Ge. Bóng Si chất lượng cao thì $I_{CB0} < 10\text{nA}$, nghĩa là vấn đề không nghiêm trọng lắm.

2) Nhiệt độ ảnh hưởng tới β

β cũng tăng theo nhiệt độ. Hình 1-3-12 cho thấy rằng khi nhiệt độ tăng từ 15°C lên 45°C thì β tăng khoảng 30%. Khi đó, với I_B không đổi, I_C tăng theo nhiệt độ.

3) Nhiệt độ ảnh hưởng tới V_{BE}

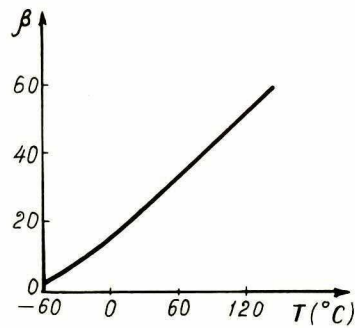
Đối với bóng Si thì

$$V_{BE} = 0,6 \div 0,8\text{V}.$$

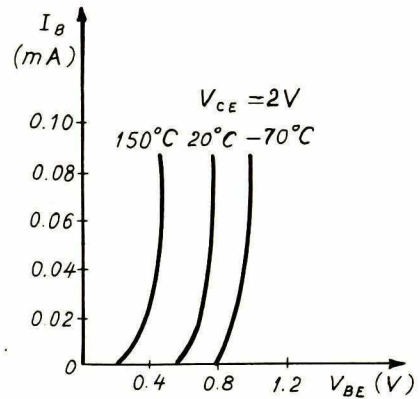
Đối với bóng Ge thì

$$|V_{BE}| = 0,1 \div 0,3\text{V}.$$

Hình 1-3-13 vẽ đặc tuyến đầu vào của bóng Si tương ứng các nhiệt độ -70°C , 20°C , 150°C . Hình vẽ cho biết với I_B không đổi, V_{BE} giảm khi nhiệt độ tăng. Nói chung, Hệ số nhiệt độ của $|V_{BE}|$ khi đặt điện áp thuận vào chuyển tiếp emitơ khoảng $-2 \div -2,5\text{mV}/^{\circ}\text{C}$, nghĩa là nếu nhiệt độ tăng 1°C thì $|V_{BE}|$ giảm $2 \div 2,5\text{mV}$. Quy luật này là chung cho bóng G_E và bóng Si.



Hình 1-3-12.
Sự phụ thuộc β của bóng Si vào nhiệt độ.



Hình 1-3-13.
Sự phụ thuộc V_{BE} của bóng Si vào nhiệt độ.

TÓM TẮT

Nội dung chủ yếu của phần này là tác dụng khuếch đại, đặc tuyến và tham số của tranzito.

1. Tác dụng khuếch đại của tranzito đối với tín hiệu xoay chiều thông qua việc điều khiển năng lượng nguồn để lấy ra trên tải mạch đầu ra một năng lượng tương đối lớn.

2. Sự chuyển động của điện tử và lỗ trống qua cấu trúc hai chuyển tiếp PN của tranzito đưa tới tác dụng khuếch đại. Ở bóng NPN, khi V_{BE} là điện áp thuận, điện tử của khu vực emitơ chạy sang khu vực bazơ, ở vùng tiếp giáp hình thành nồng độ $n_p(0)$ tỉ lệ với V_{BE} , sinh ra dòng điện khuếch tán tỉ lệ với gradien nồng độ. Vì khu vực bazơ rất hẹp nên xác suất xảy ra tái hợp ở đây nhỏ, phần lớn điện tử đến được colectơ, bị điện trường chuyển tiếp colectơ thu hút, tạo thành dòng điện colectơ I_C . Quá trình trên đây chứng tỏ V_{BE} sinh ra dòng điện tử, nhưng phần lớn lại tạo thành dòng colectơ. Vậy V_{BE} đã điều khiển I_C . Dòng điện xoay chiều I_C , do đó điện áp xoay chiều trên tải mạch colectơ sẽ lớn hơn dòng xoay chiều I_B và điện áp xoay chiều V_{BE} . Quan hệ V_{BE} với I_C là phi tuyến, vì thế dựa vào quan hệ tỉ lệ giữa I_B , I_E với I_C , ta gọi tranzito lưỡng cực là cấu kiện điều khiển dòng điện.

3. Tranzito có thể mắc thành bộ khuếch đại mắc chung emitơ, hay mắc chung bazơ, hay mắc chung colectơ. Có thể dựa vào đặc tính ngoài của chúng để phân tích đặc tính công tác của chúng. Ở đây chúng ta đã giới thiệu đặc tính đầu vào và đặc tính đầu ra của bộ khuếch đại tranzito mắc chung emitơ.

4. Có thể phân đặc tuyến đầu ra của tranzito thành 3 vùng : vùng khuếch đại, vùng bão hòa, vùng cắt. Định nghĩa vùng khuếch đại là vùng mà chuyển tiếp PN của khu vực e có điện áp thuận, chuyển tiếp PN của khu vực c có điện áp nghịch.

Vùng bão hòa tương ứng với điện áp thuận trên cả hai chuyển tiếp. Vùng cắt tương ứng với điện áp nghịch trên cả hai chuyển tiếp. Tuy nhiên sự phân biệt 3 vùng là tương đối, ở vùng bão hòa giới hạn không mất hoàn toàn tác dụng khuếch đại, ở vùng cắt dòng điện colectơ không tuyệt đối bằng 0.

5. Tham số của tranzito đặc trưng cho tính năng và phạm vi sử dụng của nó. Tham số được tham khảo kết hợp với đặc tuyến khi thiết kế mạch. Các số tay vẽ cấu kiện bán dẫn cung cấp tham số và đặc tuyến của tranzito.

1.4. BÓNG BÁN DẪN TRƯỜNG (FET – Field Effect Transistor)

Khi tranzito lưỡng hạt làm phần tử khuếch đại, chuyển tiếp PN của mạch đầu vào được phân cực thuận, nghĩa là yêu cầu nguồn tín hiệu một công suất nhất định. Trong nhiều ứng dụng, chẳng hạn như đo điện áp hở mạch của mạch hai cực, điều đó dẫn đến sai số đo rất lớn. Bóng bán dẫn trường là phần tử khuếch đại mà hầu như không yêu cầu dòng điện đầu vào. Bóng bán dẫn trường là một cấu kiện bán dẫn có chuyển tiếp PN dùng hiệu ứng điện trường điều khiển dòng điện... Ngoài ưu điểm không yêu cầu công suất của nguồn tín hiệu (điều khiển bằng điện áp tín hiệu), Bóng bán dẫn trường còn có các ưu điểm : tiện cho vi mạch hóa, chịu ảnh hưởng yếu của bức xạ và nhiệt độ. Bóng bán dẫn trường, viết tắt là FET, ngày càng được sử dụng rộng rãi.

FET được phân thành hai loại lớn : IGFET và JFET. IGFET là tranzito hiệu ứng trường có cực cửa cách điện với kênh dẫn (Isolated Gate Field Effect transistor). JFET là tranzito hiệu ứng trường chuyển tiếp PN (Junction Field Effect transistor). FET là cấu kiện dẫn điện bằng hạt dẫn đa số. Đặc điểm dẫn điện chỉ bằng hạt dẫn đa số làm cho nó còn được gọi là tranzito đơn cực. Ở phần này chúng ta sẽ xem xét nguyên lý làm việc, đặc tính và tham số của FET.

1.4.1. IGFET

IGFET được chế tạo theo công nghệ MOS (Metal – Oxide – Semiconductor tức là có cấu trúc kim loại – oxyt – bán dẫn)

1. Cấu trúc và nguyên lý làm việc

Hình 1.4.1. trình bày cấu trúc bóng MOSFET. Bằng kỹ thuật quang khắc, khuếch tán và các phương pháp khác, người ta tạo ra hai khu vực N trên phiến đế P. Khu vực N bên trái nối với cực nguồn (kí hiệu là S – Source). Khu vực N bên phải nối với cực máng (kí hiệu là D – Drain). Người ta gắn một điện cực trên tầng oxyt SiO_2 , vào khoảng giữa S và D, đó là cực cổng (kí hiệu là G – Gate). Đó là cấu trúc bóng MOSFET. Như hình vẽ, S và phiến đế nối đất, đặt vào điện áp thuận V_{GS} . Khi đó, điện dung tạo ra bởi G và đế có điện áp V_{GS} , bề mặt phiến đế sẽ cảm ứng các điện tích âm. Nếu V_{GS} đủ lớn thì điện tích cảm ứng đủ lớn để hình thành lớp N, do đó liên kết S và D lại (hình a). Lớp N đó gọi là kênh dẫn. Điện áp V_{GS} đạt đến mức ngưỡng để tạo ra kênh dẫn, gọi là điện áp mở, kí hiệu là V_T . V_{GS} càng tăng thì kênh dẫn càng rộng ra. Hình c giới thiệu kí hiệu MOSFET kênh dẫn N, trong đó B là kí hiệu cho phiến đế, mũi tên chỉ hướng vào kênh dẫn N từ phiến đế B. Cực cổng G có thể vẽ ở giữa hoặc lệch về phía S. Cũng có khi không

cân về B, ngầm hiểu B và S nối nhau ; mũi tên trên S biểu thị chiều dòng điện từ S chạy ra ngoài.

Cực máng D được đặt vào điện áp thuận V_{DS} , do đó sẽ có dòng điện cực máng I_D tăng theo V_{DS} . I_D sinh ra điện áp rơi dọc theo kênh dẫn, điện thế tăng cao dần về phía D. Nhưng khi V_{DS} tăng đến mức làm cho $V_{GD} \leq V_T$ thì kênh dẫn bị thắt lại ở gần D, xem hình 1-4-1b. Khi đó I_D không tiếp

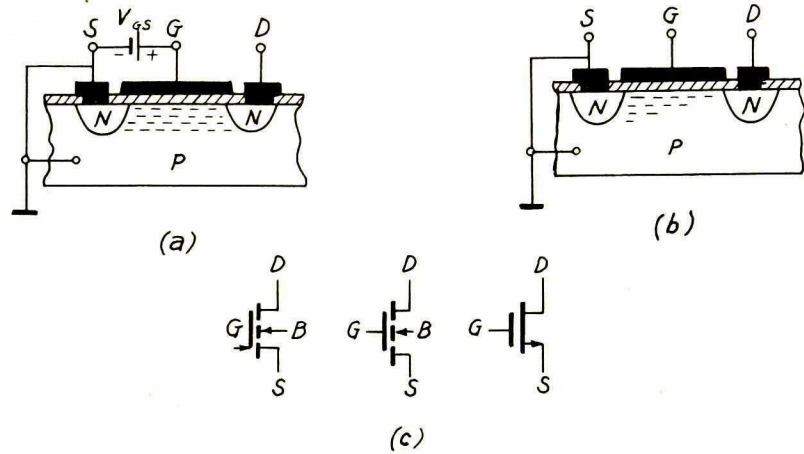
tục tăng theo V_{DS} . Sở dĩ như vậy vì, điện trở vùng thắt lớn, điện áp rơi lớn, sự tăng thêm của V_{DS} sinh ra 2 tác động ngược chiều đối với I_D , đó là vùng thắt nở rộng ra và điện áp rơi trên vùng thắt lớn hơn, kết quả I_D hầu như không đổi. Thường gọi vùng công tác $V_{GD} > V_T$ là khu vực không bão hòa (vùng tuyến tính) và gọi vùng công tác $V_{GD} < V_T$ là khu vực bão hòa dòng điện (vùng ổn dòng).

Vậy MOSFET có thể xem như khóa đóng mở (đối với tín hiệu đi qua S, D) chịu sự điều khiển bởi điện áp cực G ; khi $V_{GS} > V_T$ điện trở tương đương của hai cực SD cỡ vài trăm Ω , nghĩa là trạng thái nối mạch ; còn khi $V_{GS} < V_T$ thì có sự cách li của chuyển tiếp PN phân cực nghịch, nghĩa là trạng thái hở mạch.

Vì MOSFET không yêu cầu dòng cực G nên được xem là cấu kiện được điều khiển bằng điện áp.

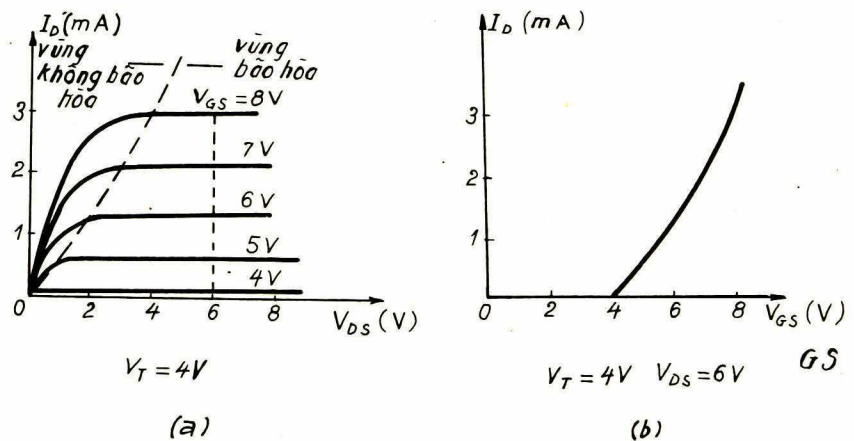
2) Đặc tính cực máng và đặc tính truyền đạt

Hình 1-4-2 a trình bày đặc tuyến cực máng, nghĩa là quan hệ I_D và V_{DS} . Vùng bên trái đường nét đứt là khu



Hình 1-4-1. Cấu trúc MOSFET :

- a) Công tác tại khu vực không bão hòa ($V_{GS} > V_T$, $V_{GD} > V_T$) ;
- b) Công tác khu vực bão hòa ($V_{GS} > V_T$, $V_{GD} < V_T$) ;
- c) Ký hiệu.



Hình 1-4-2. Đặc tính của MOSFET :

- a) Đặc tính máng ;
- b) Đặc tính truyền đạt.

ực không bão hòa, I_D tăng theo V_{DS} . Vùng bên phải đường nét đứt là khu vực bão hòa, với V_{GS} xác định thì I_D hầu như không phụ thuộc V_{DS} . Đường nét đứt phân ranh giới giữa hai khu vực thỏa mãn $V_{GD} = V_T$, hay là :

$$V_{DS} > V_{GS} - V_T \quad (1-4-1)$$

Với điều kiện điện áp cực máng V_{DS} không đổi, từ đặc tuyến cực máng có thể suy ra đặc tuyến quan hệ I_D với V_{GS} , như hình 1-4-2b. Thường gọi đặc tuyến này là đặc tính truyền đạt. Rõ ràng điểm cắt của đặc tuyến với trục hoành ở giá trị $V_{GS} = V_T$. Gọi độ dốc của đặc tuyến truyền đạt là hồ dẫn của MOSFET, kí hiệu là g_m :

$$g_m = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS} \text{ không đổi}} \quad (1-4-2)$$

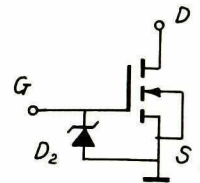
Nói chung, g_m tăng theo I_D .

3) Trở kháng vào của MOSFET

Vì lớp SiO_2 là vật liệu cách điện tốt, nên cực cổng hầu như không yêu cầu dòng điện, trở kháng đầu vào cực cao ($> 10^{10} \Omega$), coi như hở mạch đối với dòng một chiều. Vì bề dày lớp điện môi SiO_2 ở cực cổng chưa đến $1\mu\text{m}$ nên điện dung đầu vào của mạch cực cổng chừng vài pF. Điện tích trên điện dung này có thể lưu giữ một thời gian dài vì điện trở đầu vào cực cao. Người ta ứng dụng đặc điểm này của MOSFET để lưu giữ tạm thời tín hiệu ở điện dung đầu vào của nó, làm thành nhiều loại mạch logic động.

Nhưng sự khó tiêu tán điện tích trên điện dung cực cổng cũng mang lại bất lợi sau đây. Điện tích tĩnh điện trên cực cổng do hiện tượng cảm ứng tĩnh điện tạo ra sẽ sinh ra điện áp cực cao ở cực cổng, có thể đánh thủng lớp điện môi SiO_2 tại đó, làm hỏng MOSFET.

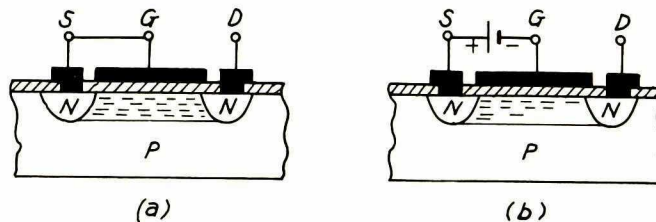
Để bảo vệ MOSFET khỏi sự cố nói trên, trong các vi mạch tích hợp, thường có mạch bảo vệ nối vào các chân vi mạch. Hình 1-4-3 biểu thị một mạch bảo vệ đơn giản nhất, đó là một điốt áp ngược mắc thêm ở đầu vào. D_Z là điốt Zene. Nếu điện áp áp đảo lớn đến mức D_Z đánh thủng điện, tạo đường thông ngắn mạch nó, do đó bảo vệ lớp SiO_2 không bị đánh thủng.



Hình 1-4-3. Mạch điện bảo vệ cực cổng.

4) Bốn loại bóng MOSFET

MOSFET có cấu trúc ở hình 1.4.1a sẽ không có kênh dẫn khi $V_{GS} = 0$; chỉ khi V_{GS} đạt đến một giá trị xác định thì kênh dẫn mới được tạo ra, vì thế MOSFET này được gọi là IGFET kênh chưa có sẵn. Người ta có thể chế tạo loại MOSFET mà kênh dẫn có sẵn, kênh dẫn này tồn tại cả khi $V_{GS} = 0$.



Hình 1-4-4. Cấu trúc IGFET kênh có sẵn.

a) $V_{GS} = 0$;

b) $V_{GS} < 0$.

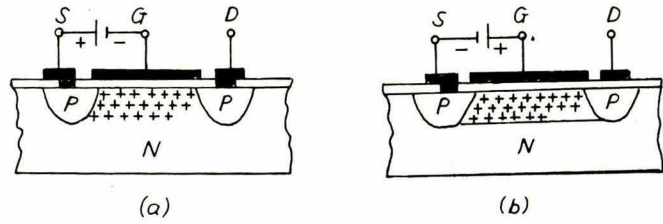
Hình 1.4.4 biểu thị cấu trúc IGFET kênh có sẵn.

Đối với IGFET kênh có sẵn, khi $V_{GS} = 0$, V_{DS} là điện áp thuận, thì I_D tồn tại. Nếu đặt điện áp âm vào cực cổng G, thì trên kênh dẫn cảm ứng điện tích dương, làm bằng sự tái hợp của hạt mang ở kênh dẫn, dẫn đến tăng điện trở kênh dẫn, kết quả làm I_D giảm xuống. V_{GS} càng âm, I_D càng nhỏ. Khi V_{GS} là điện áp âm đủ lớn, thì vì sự tái hợp hoàn toàn của hạt dẫn (hạt dẫn nghèo kiệt) nên $I_D = 0$.

Nếu đặt điện áp dương vào G, kênh dẫn xuất hiện điện tích âm cảm ứng, làm tăng độ dẫn điện kênh dẫn, kết quả I_D tăng lên.

Vậy bóng MOS kênh dẫn N có hai loại là IGFET kênh chưa có sẵn và IGFET kênh có sẵn.

Hình 1-4-5 trình bày cấu trúc bóng MOS kênh dẫn P với phiên để là bán dẫn N. Nguyên lý làm việc của chúng tương tự như bóng MOS kênh dẫn N đã xét ở trên, chỉ lưu ý sự khác biệt ở cực tính điện áp.



Hình 1-4-5. Bóng MOS kênh dẫn P.
a) kênh chưa có sẵn ; b) kênh có sẵn.

phân loại MOSFET	ký hiệu	đặc tuyến truyền đạt	đặc tuyến cực máng
kênh dẫn N chưa có sẵn			
kênh dẫn N có sẵn			
kênh dẫn P chưa có sẵn			
kênh dẫn P có sẵn			

Hình 1-4-6. 4 loại bóng MOSFET.

Hình 1-4-6 tóm tắt thành bảng về 4 loại MOSFET. Đặc điểm của từng loại thể hiện tương ứng trên ký hiệu : MOSFET kênh dẫn N, mũi tên xuất phát từ B. MOSFET kênh dẫn P, mũi tên hướng đến B. MOSFET kênh dẫn chưa có sẵn thì S, D, B cách li nhau, biểu thị kênh dẫn chưa có khi $V_{GS} = 0$. MOSFET kênh dẫn có sẵn thì S, D, B nối liền, biểu thị kênh dẫn tồn tại cả khi $V_{GS} = 0$.

5. Ảnh hưởng của điện áp phiên để

Khi dùng một MOSFET riêng lẻ, thông thường vẫn nối chung cực nguồn vào phiên để. Nhưng trong vi mạch, cực nhiều MOSFET có cùng phiên để, các MOSFET lại nối kết thành các mạch điện logic khác nhau, nên không thể nối tất cả cực nguồn vào phiên để được.

Khi cực nguồn không nối vào phiến đế, đối với MOSFET kênh dẫn P thì phiến đế chỉ có điện thế dương so với cực nguồn, đối với MOSFET kênh dẫn N thì phiến đế chỉ có điện thế âm so với cực nguồn. Vì chúng có kênh dẫn làm vùng S thông với vùng D, mà vùng S và vùng D chỉ cách li với phiến đế nhờ phân cực nghịch của chuyển tiếp PN.

Từ hình 1.4.7

ta nhận thấy rằng, khi điện thế phiến đế thấp hơn cực nguồn, thì xuất hiện vùng nghèo kiệt, vùng này càng mở rộng nếu $|V_{BS}|$ càng lớn, nghĩa là kênh dẫn trở thành hẹp hơn. Kết quả là với V_{GS} không

đổi thì I_D nhỏ hơn so với khi $V_{BS} = 0$ (khi nối chung). Hình 1-4-7b biểu thị xu hướng thay đổi của đặc tuyến theo V_{BS} . Trong hoàn cảnh $V_{BS} \neq 0$ thì đặc tuyến cực máng hạ thấp hơn, đặc tuyến truyền đạt dịch sang phải; nghĩa là I_D giảm, V_T tăng. Điều này là bất lợi đối với đặc tính đóng mở của MOSFET.

Có thể tính được sự tăng của V_T :

$$\Delta V_T = \pm C \sqrt{V_{BS}} \quad (1-4-3)$$

MOSFET kênh dẫn P lấy dấu - và $C = 0,5 \div 0,7$

MOSFET kênh dẫn P lấy dấu + và $C = 0,7 \div 3,0$

6) Tham số chủ yếu của MOSFET

a) Điện áp mở V_T . MOSFET kênh N thông thường có $V_T = 3 \div 6V$.

Nhờ cải tiến công nghệ, người ta làm được $V_T = 2 \div 3V$.

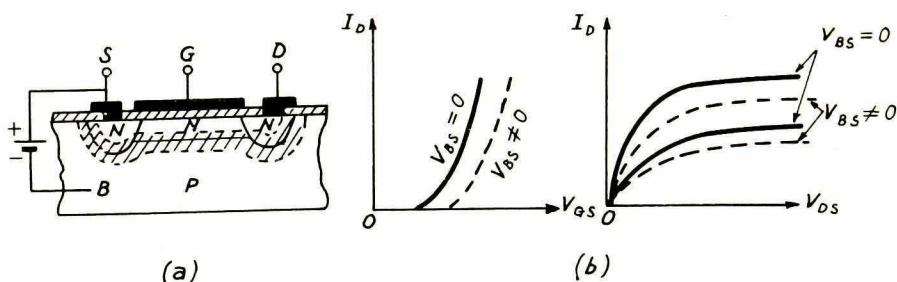
b) Điện trở một chiều đầu vào R_{GS} . $R_{GS} = \frac{V_{GS}}{I_G} > 10^{10} \Omega$

c) Điện áp đánh thủng DS, kí hiệu BV_{DS} .

Với điều kiện $V_{GS} = 0$ (kênh chưa có sẵn), trong quá trình tăng V_{DS} , khi nào I_D bắt đầu tăng mạnh đột biến, thì giá trị V_{DS} tương ứng được gọi là điện áp đánh thủng. Nguyên nhân sự tăng I_D một cách đột biến là :

- đánh thủng thác lũ ở vùng nghèo kiệt gần cực máng.

- đánh thủng xuyên giữa D và S. Đối với một số MOSFET có kênh dẫn ngắn, khi V_{DS} không ngừng tăng lên thì tầng nghèo kiệt từ khu vực máng mở dài đến khu vực nguồn, độ dài kênh dẫn bằng 0, tức là đánh thủng xuyên giữa D và S. Sau đó, hạt mang đa số trong khu vực nguồn được điện trường vùng nghèo kiệt gia tốc, chạy đến cực máng, sinh ra I_D lớn.



Hình 1.4.7. Ảnh hưởng của điện áp phiến đế :

a) MOSFET kênh dẫn N ;

b) Đặc tuyến truyền đạt và đặc tuyến cực máng.

d) Điện áp đánh thủng G - S, kí hiệu BV_{GS} .

Trong quá trình tăng V_{GS} , ứng với giá trị nào của V_{GS} làm cho I_G tăng rõ rệt là điện áp đánh thủng G-S.

e) Hồ dẫn tần số thấp g_m

Với điều kiện V_{DS} không đổi, công thức (1-4-2) xác định g_m . g_m biểu thị tính năng điều khiển của V_{GS} đối với I_D , tham số quan trọng đặc trưng khả năng khuếch đại của MOSFET.

Thông thường $g_m = \text{vài phần mười} \div \text{vài mA/V}$.

g) Điện trở thông mạch r_{on}

$$r_{on} = \frac{\partial V_{DS}}{\partial I_D |_{V_{GS}}} \quad (1-4-4)$$

r_{on} biểu thị ảnh hưởng V_{DS} đối với I_D , là nghịch đảo độ dốc tiếp tuyến tại điểm công tác xét trên đặc tuyến cực máng. Ở khu vực bão hòa, I_D không thay đổi đáng kể theo V_{DS} nên r_{on} rất lớn thường $r_{on} = \text{vài chục K}\Omega \div \text{vài trăm K}\Omega$.

Trong mạch số, khi thông mạch, MOSFET thường công tác ở trạng thái $V_{DS} \approx 0$, vì vậy có thể lấy giá trị r_{on} tại điểm gốc làm đại biểu, kí hiệu là R_{on} , thông thường $R_{on} = \text{vài trăm } \Omega$.

h) Điện dung giữa các cực

Thông thường $C_{GS}, C_{GD} = 1 \div 3\text{pF}, C_{DS} = 0,1 \div 1\text{pF}$

i) Hệ số tạp âm tần số thấp NF.

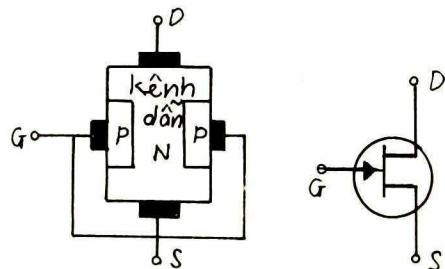
Tạp âm gây ra bởi chuyển động nhiệt hỗn loạn của hạt dẫn. Vì thế, dù không có tín hiệu đưa đến đầu vào tăng khuếch đại thì vẫn có điện áp tạp âm hoặc dòng điện tạp âm ở đầu ra. Hệ số tạp âm NF biểu thị độ lớn của tạp âm, đơn vị dB, NF càng nhỏ biểu thị tạp âm càng bé. NF đo ở đoạn tần số thấp. Thông thường, NF của FET cỡ vài dB, bé hơn NF của tranzito lưỡng cực...

1.4.2. Tranzito hiệu ứng trường chuyển tiếp PN (JFET)

1) Cấu trúc và nguyên lí làm việc

Xem hình 1-4-8. Trên một miếng vật liệu bán dẫn N, bằng cách khuếch tán nồng độ cao người ta tạo ra hai khu vực P ở hai bên, hai khu vực này được nối với nhau hình thành cực cổng (G), một đầu của miếng bán dẫn N sẽ là cực máng (D), đầu còn lại là cực nguồn (S), giữa D và S là kênh dẫn (khu vực N). Trong kí hiệu, chiều mũi tên biểu thị dòng từ P đến N.

Hình 1-4-9 biểu thị JFET kênh dẫn P. Trên miếng vật liệu bán dẫn P, người ta tạo ra hai khu vực N ở hai bên bằng phương pháp khuếch tán.



Hình 1-4-8. JFET kênh dẫn N :

a) Cấu trúc ; b) Kí hiệu.

Hình 1-4-10. biểu thị tình hình công tác của JFET kênh dẫn N khi $V_{DS} = 0$, V_{GS} biến đổi

Ta đã biết, khi chuyển tiếp PN phân cực nghịch vùng nghèo kiệt mở rộng theo điện áp nghịch đặt vào. Trong hình 1-4-10a, khi $V_{GS} = 0$ thì kênh dẫn lớn, điện trở của nó nhỏ. Khi $|V_{GS}|$ tăng, vùng nghèo kiệt mở rộng, kênh dẫn nhỏ đi, điện trở của nó lớn lên, xem hình 1-4-10b. Còn khi $|V_{GS}|$ tăng đến $|V_p|$, vùng nghèo kiệt hai bên nối vào nhau, kênh dẫn bị gián đoạn, điện trở của nó rất lớn, xem hình 1-4-10c

V_p được gọi là điện áp thắt. Về một ý nghĩa nào đó, ta có thể quan niệm JFET là một biến trở được điều khiển bằng điện áp, chỉ cần thay đổi điện áp nghịch đặt lên chuyển tiếp PN (V_{GS}) là có thể thay đổi điện trở R giữa D và S. Hình 1.4.11 trình bày mạch khuếch đại JFET :

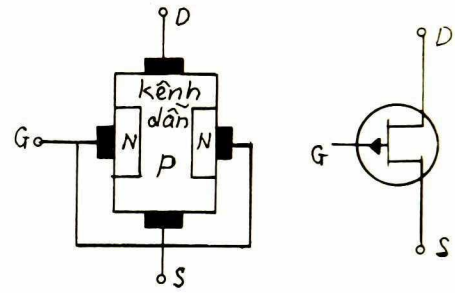
Đặt vào giữa DS điện áp $V_{DS} = E$, dòng điện $I_D = \frac{V_{DS}}{R}$. Thay đổi V_{GS} để điều khiển R làm cho I_D thay đổi. Nhờ điện trở tải R_D ở mạch cực D, I_D thay đổi làm V_{DS} thay đổi. Tín hiệu xoay chiều biên độ nhỏ ở đầu vào (V_{GS}) có thể sinh ra điện áp tín hiệu biên độ lớn ở đầu ra (V_{DS}). Vậy JFET thể hiện chức năng khuếch đại điện áp.

JFET kênh dẫn P cũng làm việc theo nguyên lý tương tự như trên, chỉ có điều khác biệt là E_D phải đổi ngược cực tính mà thôi.

2) Đặc tuyến ra và đặc tuyến truyền đạt

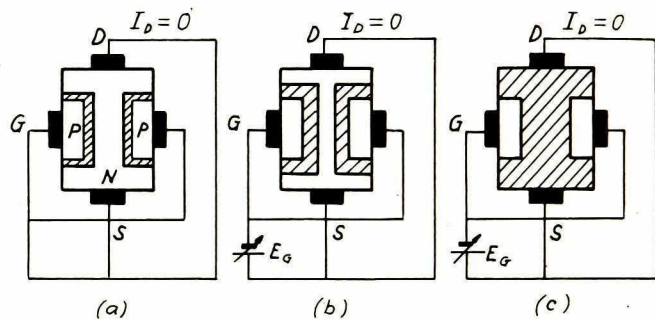
a) Đặc tuyến ra (Đặc tuyến cực máng)

Xem hình 1.4.12. Đặc tuyến ra biểu thị quan hệ I_D với V_{DS} khi V_{GS} là tham số. V_{DS} nhỏ ứng với khu vực làm việc không bão hòa, khi đó I_D tăng theo V_{DS} . Khi



Hình 1-4-9. JFET kênh dẫn P :

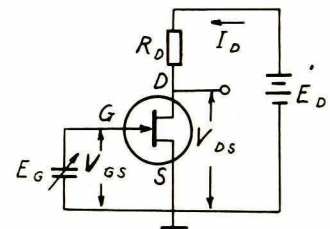
a) Cấu trúc ; b) Kí hiệu.



Hình 1-4-10.

Tác dụng điều khiển của V_{GS} làm thay đổi vùng nghèo kiệt :

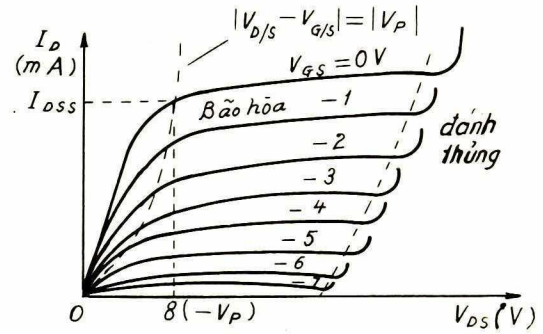
- a) $V_{GS} = 0$;
- b) $|V_{GS}| > 0$;
- c) $|V_{GS}| = |V_p|$.



Hình 1-4-11.

Tác dụng khuếch đại của JFET.

V_{DS} tương đối lớn, thì JFET công tác trong khu vực bão hòa, I_D hầu như không tăng theo V_{DS} . Đường biên giới giữa 2 khu vực trên là tương ứng $|V_{DS} - V_{GS}| = |V_p|$, tức là $V_{DG} = |V_p|$. (Đường nét đứt qua gốc 0)



Hình 1-4-12.

Đặc tuyến cực máng của JFET.

Giải thích về đặc tuyến vùng bão hòa như sau : Khi $V_{DG} = |V_p|$, tức là điện áp giữa D và G đạt đến giá trị điện áp thắt, thì vùng nghèo hai phía (gần D) nổi vào nhau. Nếu V_{DS} tiếp tục tăng thì vùng nghèo kiệt mở rộng làm điện trở kênh dẫn tăng theo, dòng điện I_D là tỉ số giữa chúng, do đó, hầu như không đổi.

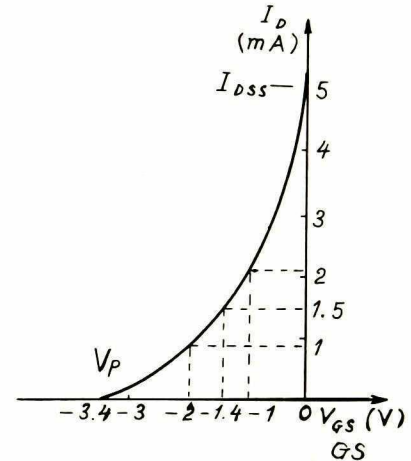
Tương ứng với $V_{GS} = 0$, dòng điện cực máng khi bị "thắt" được gọi là dòng điện cực máng bão hòa, kí hiệu I_{DSS} .

Khi V_{DS} tăng đến một giá trị xác định thì chuyển tiếp PN phân cực nghịch đánh thủng, I_D tăng đột biến, JFET bước vào vùng đánh thủng ; JFET sẽ bị hỏng nếu không hạn chế dòng.

b) Đặc tuyến truyền đạt

Khi V_{DS} không đổi, đặc tuyến truyền đạt biểu thị quan hệ I_D với V_{GS} . Khi JFET dùng làm bộ khuếch đại, thường công tác ở khu vực bão hòa. (Hình 1.4.13). Khi $V_{GS} = 0$, thì $I_D = I_{DSS}$.

Khi $V_{GS} < 0$, vì vùng nghèo kiệt mở rộng, kênh dẫn hẹp dần, điện trở của nó tăng dần, I_D giảm nhỏ đi. Khi $V_{GS} = V_p$ thì $I_D \approx 0$. Trong khu vực bão hòa, đặc tuyến truyền đạt được biểu thị gần đúng như sau :



Hình 1-4-13.

Đặc tuyến truyền đạt của JFET.

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_p} \right)^2 \text{ với } 0 \geq V_{GS} \geq V_p \quad (1-4-5)$$

Xác định được I_{DSS} , V_p thì tính ra đặc tuyến truyền đạt.

3) Tham số chủ yếu

Tham số JFET tương tự như đã giới thiệu về tham số MOSFET, chỉ có sự khác biệt ở chỗ : V_p là điện áp thắt (thay cho điện áp mở V_T của MOSFET)

1.4.3. So sánh FET và tranzito lưỡng cực

Sự so sánh dưới đây hệ thống hóa những vấn đề đã trình bày, sẽ tiện dùng cho việc chọn cấu kiện.

1) FET là cấu kiện điều khiển bằng điện áp, còn tranzito là cấu kiện điều khiển bằng dòng điện. FET thích hợp với nguồn tín hiệu chỉ có thể cung cấp dòng cực bé. Tranzito thích hợp với nguồn tín hiệu có thể cung cấp dòng đáng kể.

2) FET dẫn điện nhờ hạt dẫn đa số. Tranzito dẫn điện nhờ hạt dẫn đa số và hạt dẫn thiểu số. Số lượng hạt dẫn thiểu số chịu ảnh hưởng rõ của nhiệt độ và bức xạ (phóng xạ hạt nhân). Vậy FET phù hợp hơn với điều kiện dã chiến.

FET có một điểm công tác, tại đó hệ số nhiệt độ bằng 0 ; khi điện áp V_{GS} của cực cổng có giá trị phù hợp thì I_D không thay đổi theo nhiệt độ.

Xem hình 1-4-14.

3) Hệ số tạp âm của FET nhỏ hơn so với tranzito. Thường dùng FET ở các tầng khuếch đại đầu để có mức tạp âm thấp.

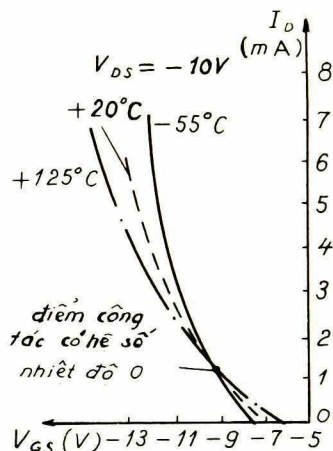
4) Có loại FET không cần phân biệt D với S, điện áp G có thể đổi dấu. Vậy FET linh hoạt hơn trong sử dụng so với tranzito.

5) FET có thể làm việc trong điều kiện dòng rất nhỏ, áp rất nhỏ. Do đó, FET phù hợp với vai trò khóa đóng mở không tiếp điểm công suất nhỏ và biến trở được áp điều khiển. Công nghệ chế tạo FET rất thích hợp cho vi mạch hóa.

Tóm lại, FET là cấu kiện bán dẫn ứng dụng chuyển tiếp PN, có 2 loại kênh dẫn (P và N), có 2 kiểu cấu trúc (JFET và IGFET). JFET ứng dụng vào vùng nghèo kiệt được sinh ra khi đặt điện áp nghịch vào chuyển tiếp PN. IGFET ứng dụng điện tích cảm ứng do cực G sinh ra để thay đổi độ rộng kênh dẫn. Nhờ ứng dụng trên, dòng điện cực máng I_D (do chuyển động của hạt dẫn đa số trong kênh dẫn sinh ra) được điều khiển. Vậy FET là cấu kiện được điều khiển bằng điện áp.

Với quan điểm tính năng công tác thì FET được phân làm 2 loại : loại kênh dẫn có sẵn và kênh dẫn chưa có sẵn. FET kênh dẫn có sẵn ngay khi $V_{GS} = 0$ cũng có dòng điện cực máng. FET kênh dẫn chưa có sẵn phải có điện áp nhất định đặt vào cực cổng thì mới có dòng điện cực máng. Đặc tính truyền đạt biểu thị tính năng điều khiển của cực cổng, năng lực đó được đặc trưng bằng hồ dẫn g_m . Đặc tuyến cực máng tương tự như đặc tuyến colectơ, nhưng trong khu vực áp nhỏ, dòng nhỏ thì FET có vai trò biến trở được V_{GS} điều khiển.

So sánh tương đương FET với tranzito : cực cổng G tương đương bazơ B, cực nguồn S tương đương emitơ E, cực máng D tương đương colectơ C. FET có mạch đầu vào hầu như không yêu cầu dòng điện, tạp âm bé, chịu ảnh hưởng ít của nhiệt và bức xạ, S và D có thể đổi nhau, có thể làm biến trở điều khiển bằng điện áp và tiện để sản xuất vi mạch. FET chỉ kém tranzito ở mấy điểm sau : IGFET có thể bị đánh thủng bởi điện tích cảm ứng, công suất đầu ra không lớn, tần số công tác không cao.



Hình 1-4-14.

Đặc tính truyền đạt phụ thuộc nhiệt độ (của FET).

TÓM TẮT

Chương 1 đã trình bày những cấu kiện bán dẫn thông dụng : diốt, diốt ổn áp, tranzito và FET. Phần lớn các cấu kiện bán dẫn đó có các tính năng khác nhau trên cơ sở dùng sự chuyển động khuếch tán và chuyển động trôi dạt của hạt mang trong chuyển tiếp PN. Ví dụ, sự dẫn điện đơn hướng của diốt là do đặc điểm : đặt vào điện áp thuận cho chuyển tiếp PN thì chuyển động khuếch tán là chủ yếu, đặt vào điện áp nghịch cho chuyển tiếp PN thì chuyển động trôi dạt là chủ yếu. Tác dụng điều khiển của V_{BE} (hoặc I_E , I_B) đối với I_C của tranzito là do sự khuếch tán và tái hợp của hạt mang thiểu số không cân bằng ở khu vực bazơ. FET dùng điện trường thiết lập từ bên ngoài làm thay đổi bề rộng kênh dẫn để điều khiển dòng điện trôi dạt. Tính năng ổn áp của diốt ổn áp là do sử dụng hiện tượng đánh thủng điện xảy ra khi hạt mang chuyển động trôi dạt trong điện trường mạnh v.v... Đặc tính ngoài của các cấu kiện bán dẫn trên đây có nhiều điểm chung. Ví dụ, đặc tính vào của tranzito giống đặc tính hướng thuận của chuyển tiếp PN, còn đặc tính ra thì giống đặc tính hướng nghịch của chuyển tiếp PN.

BÀI TẬP

1-1. Dem bóng diốt bán dẫn có vỏ thủy tinh sơn đen cạo đi lớp sơn đen đó rồi mắc vào song song một μA kế, không có nguồn nào cả.

Hỏi : - μA kế có chỉ thị dòng hay không khi diốt được chiếu sáng.

- Sau một thời gian đặt trong tủ ấm $50^\circ C$, μA kế có chỉ thị dòng hay không.

1-2. Cho đặc tính V-A của diốt bán dẫn là $I = 20 \cdot 10^{-12} (e^{\frac{V}{V_T}} - 1)$ (A)

Giả thiết $V_T = 26mV$

Hỏi :

a- Hãy tính các giá trị dòng điện tương ứng các giá trị điện áp sau :

$$0 ; \pm 0,1 ; \pm 0,2 ; \pm 0,5 ; \pm 0,6 ; \pm 0,7 ; \pm 0,8 [V]$$

Sau đó vẽ đặc tuyến trên giấy kẻ ô.

b- Giả sử nối song song pin 1,5V vào diốt, thì dòng điện qua diốt bằng bao nhiêu ? Số liệu tính ra có phù hợp thực tế hay không .

c- Dùng đồng hồ vạn năng đo điện trở thuận của diốt, thấy ở thang $\Omega \times 10$ giá trị nhỏ, ở thang $\Omega \times 100$ được giá trị lớn. Vì sao ?

d- Hãy tính điện trở động $r = \frac{\Delta V}{\Delta I}$ khi $V = +0,5V$.

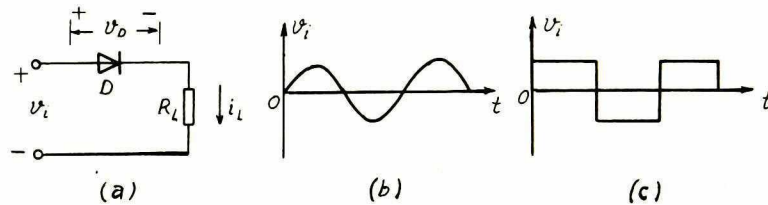
1-3. So sánh điện áp vùng chết của các diốt bán dẫn công suất nhỏ 2 loại : Ge (như 2AP9) với Si (như 2CP10). Có thể xem thêm sổ tay để biết : dòng điện nghịch bóng nào lớn hơn, điện áp nghịch cực đại bóng nào cao hơn, tần số công tác bóng nào cao hơn.

1-4. Diốt bán dẫn khi công tác với điện áp thuận thì có tác dụng ổn áp hay không. Nối tiếp hai diốt ổn áp có điện áp ổn áp khác nhau 6V và 8V thì có thể nhận được mấy giá trị ổn áp.

1-5. Dòng điện bão hòa nghịch của một diốt là $10\mu A$ ở $25^\circ C$. Giả thiết rằng dòng điện nghịch tăng gấp đôi khi nhiệt độ tăng $10^\circ C$. Hỏi trị số dòng điện nghịch của diốt này ở $t^\circ = 65^\circ C$.

1-6. Điều kiện đóng mở của diốt bán dẫn là gì. Đặc điểm lúc đóng và đặc điểm lúc ngắt. Diốt bán dẫn kém khóa đóng ngắt lí tưởng ở điểm gì.

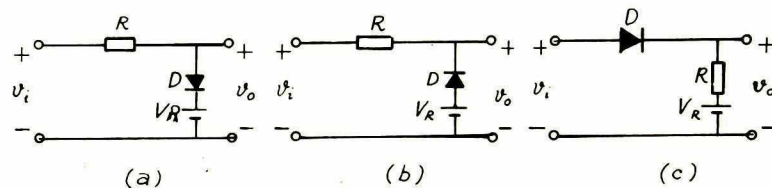
1-7. Cho mạch điện như hình a, dạng sóng đầu vào V_i như hình b, c. (Giả sử tần số thấp, biên độ hơn 0,7V)



Hãy vẽ :

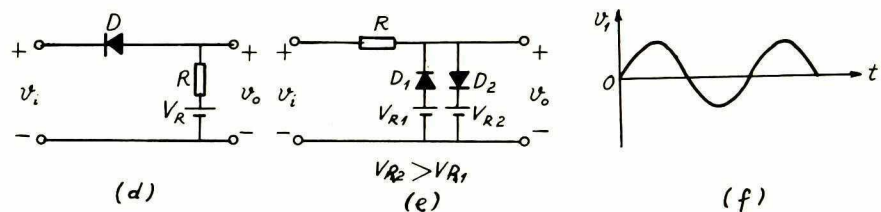
- dòng điện tải i_L
- điện áp rơi trên diốt V_D

1-8. Mạch điện và dạng sóng điện áp vào V_i cho trên hình dưới đây.



(Giả thiết rằng điện áp đỉnh của V_i lớn hơn V_R, V_{R1}, V_{R2})

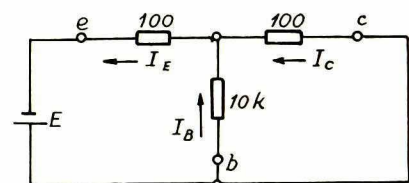
Hãy vẽ dạng sóng điện áp ra của các mạch điện a, b, c, d, e.



1-9. Cho mạch điện trở hình T. Dòng điện trong các nhánh như biểu thị trong sơ đồ, vẽ trị số giả sử

$$I_E \approx I_C, I_B \ll I_C$$

Nghĩa là xấp xỉ dòng điện trong tranzito. Hỏi mạch điện có tác dụng khuếch đại hay không ?

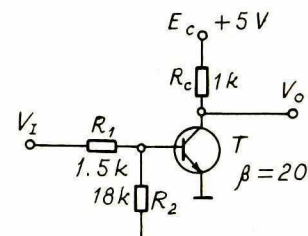


1-10. Giả sử đảo ngược nguồn điện mạch colectơ (chuyển tiếp PN của colectơ cũng được đặt vào điện áp thuận) thì I_C sẽ càng lớn. Khi đó tác dụng khuếch đại của tranzito thay đổi thế nào ?

1-11. Một bóng tranzito có $I_B = 10\mu A, I_C = 1mA$. Có thể tính được hệ số khuếch đại của tranzito nói trên hay không ? Lúc nào thì có thể ? Lúc nào thì không ?

1-12. Điều kiện thông bão hòa và ngắt của tranzito là gì ? Cho mạch điện với

$$V_I = 0 ; 3 [V]$$



Hãy phán đoán trạng thái công tác của tranzito T, Ước lượng giá trị điện áp ra V_o .

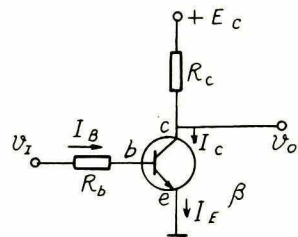
1-13. Một tranzito mắc trong mạch điện không còn biết số hiệu của nó. Điện thế đo so với đất của ba cực (là A, B, C) như sau :

$$V_A = -9V \qquad V_B = -6V \qquad V_C = -6,2V$$

Hãy xét đoán đâu là bazơ, emitơ, colectơ.

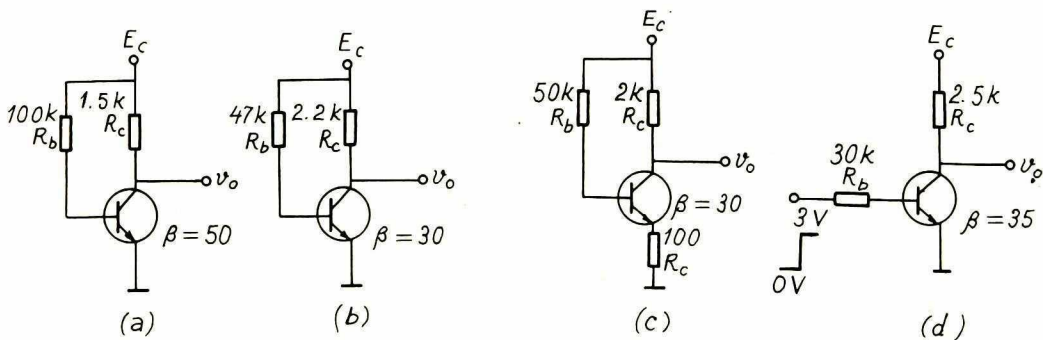
1-14. Cho mạch điện. Hãy trình bày ba trạng thái khuếch đại, bão hòa, ngắt mạch của tranzito theo yêu cầu của bảng kèm theo.

	Vùng	Vùng ngắt	Vùng bão hòa
Phân cực của chuyển tiếp			
quan hệ dòng điện I_B, I_C, I_E			
quan hệ điện áp V_B, V_C, V_E			



1-15. Cho các mạch điện như sau giả thiết $E_C = 5V$

Hãy xét xem trạng thái làm việc của tranzito trong mỗi mạch a, b, c, d.



1-16. Tóm tắt nguyên lí công tác của MOSFET.

1-17. Kênh dẫn là gì ? Kênh P là gì ? Kênh N là gì ?

1-18. Ý nghĩa vật lí của điện áp mở.

1-19. MOSFET kênh chưa có sẵn là gì ? MOSFET kênh có sẵn là gì ?

Khác biệt của hai loại bóng này chủ yếu là gì ?

1-20. Hãy so sánh đặc điểm mạch vào của MOSFET và tranzito.

1-21. Ý nghĩa và vị trí khu vực bão hòa trên đặc tính MOSFET và tranzito.

1-22. Ý nghĩa vật lí của điện áp thắt V_p của JFET là gì ? Có khác gì với điện áp mở ?

Chương 2

MẠCH ĐIỆN CỔNG

2.1. MẠCH ĐIỆN CÁC CỔNG RIÊNG RẼ

Trong mạch số, cổng là mạch điện thực hiện một số quan hệ logic cơ bản nào đó. Quan hệ logic cơ bản nhất có ba loại : AND (VÀ), OR (HOẶC), NOT (ĐẢO). Vậy các cổng logic cơ bản nhất là cổng AND, Cổng OR, cổng NOT.

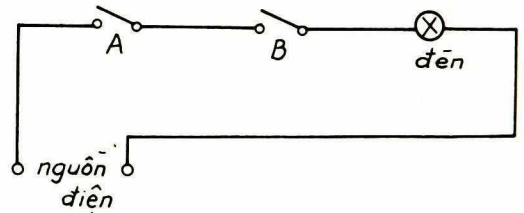
2.1.1. Ba loại quan hệ logic cơ bản nhất

1) Quan hệ logic AND

Một sự kiện chỉ có thể phát sinh khi tất cả mọi điều kiện quyết định sự kiện đó đều hiện hữu. Quan hệ nhân quả nói trên được gọi là logic AND.

Hình 2.1.1. Giới thiệu một mạch điện, trong đó, nếu cả hai khóa A và B đều đóng mạch thì đèn mới sáng. Sự đóng nối mạch của A, B và sự sáng của đèn là quan hệ logic AND. Ta viết : $Z = A.B$

Ta đọc Z bằng A AND B



Hình 2-1-1.

Ví dụ về quan hệ logic AND.

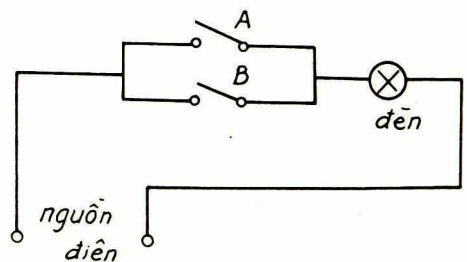
2) Quan hệ logic OR

Một sự kiện vẫn phát sinh khi trong số nhiều điều kiện quyết định sự kiện đó, chỉ cần một hay một số điều kiện bất kì hiện hữu. Quan hệ nhân quả nói trên được gọi là logic OR.

Hình 2.1.2. giới thiệu một mạch điện, trong đó, nếu A hoặc B, hoặc cả A, B đóng mạch đều làm đèn sáng như nhau. Sự đóng nối mạch của A, B và sự sáng của đèn là quan hệ logic OR.

Ta viết : $Z = A + B$

Ta đọc : Z bằng A OR B.



Hình 2-1-2. Ví dụ về quan hệ logic OR.

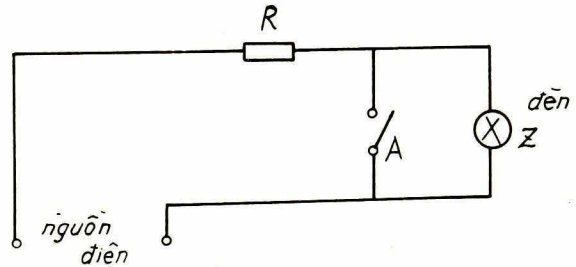
3) Quan hệ logic NOT

NOT là đảo, là không.

Trong mạch điện hình 2.1.3, khi khóa A nối mạch thì đèn Z tắt, khi A ngắt hờ mạch thì đèn Z sáng. Sự đóng nối mạch của A và sự sáng của Z là quan hệ logic NOT

Ta viết : $Z = \bar{A}$. Dấu ngang trên chữ A biểu thị NOT.

Ta đọc : Z bằng NOT A



Hình 2-1-3.

Ví dụ về quan hệ logic NOT.

2.1.2. Mạch AND và mạch OR dùng điốt bán dẫn

1) Mạch AND

Mạch điện thực hiện quan hệ logic AND được gọi là cổng AND.

a) Mạch điện và kí hiệu Xem hình 2-1-4.

A và B là các tín hiệu đầu vào. Mức thấp của tín hiệu đầu vào là 0V, Mức cao của tín hiệu đầu vào là 3V. Z là tín hiệu đầu ra.

b) Nguyên lí làm việc

Có cả thấy 4 tình huống khác nhau ở đầu vào. Ta có thể tính toán được tín hiệu đầu ra đối với từng tình huống một.

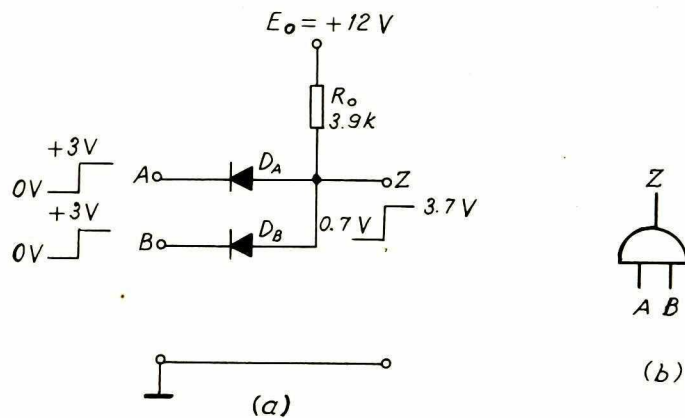
Kết quả biểu thị quan hệ logic giữa đầu vào với đầu ra.

* Khi $V_A = V_B = 3V$, hai điốt D_A, D_B thông với nguồn $E_o = +12V$ qua điện trở R_o , chúng đều có điện áp phân cực thuận, chúng đều dẫn điện. $V_Z = V_A + V_D = 3 + 0,7 = 3,7V$.

* Khi $V_A = 3V, V_B = 0$. D_A và D_B có đầu anốt nối chung. D_B có katốt có điện thế đầu vào thấp hơn nên chắt chắn dễ dẫn điện hơn. Một khi D_B đã dẫn điện thì $V_Z = V_B + V_{DB} = 0 + 0,7 = 0,7V$

$$V_{DA} = V_Z - V_A = 0,7 - 3 = -2,3V$$

Vậy D_A chịu phân cực nghịch, nó ở trạng thái ngắt hờ mạch, không phải là dẫn điện như ta tưởng lúc thoát đầu nhìn vào mạch điện. Điện thế $V_Z = 0,7V$ do D_B dẫn điện gọi là điện thế ghim.



Hình 2-1-4. Cổng AND điốt :

a) Mạch điện ; b) Kí hiệu.

* Khi $V_A = 0, V_B = 3V$. Quá trình phân tích tương tự sẽ cho ta kết quả : D_A dẫn, D_B ngắt, V_Z được ghim ở mức 0,7 V do D_A dẫn điện.

* Khi $V_A = V_B = 0$. D_A và D_B đều dẫn. V_Z cũng được ghim ở mức 0,7V. Sắp xếp các kết quả trên đây vào bảng 2.1.1. dưới đây :

Bảng 2-1-1 :

BẢNG CHỨC NĂNG ĐIỆN ÁP MẠCH ĐIỆN HÌNH 2-1-4a

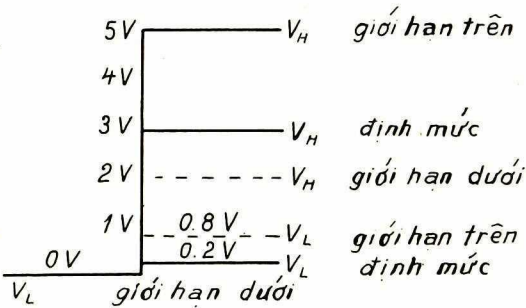
V_A (V)	V_B (V)	V_Z (V)
0	0	0.7
0	3	0.7
3	0	0.7
3	3	3.7

Bảng 2.1.1 biểu thị quan hệ tương ứng các mức điện áp giữa đầu ra với đầu vào, được gọi là bảng chức năng. Bảng cho ta thấy rằng muốn V_Z có mức cao thì V_A, V_B đều phải là mức cao. Quan hệ đó là logic AND. Mạch điện hình 2.1.4a được gọi là cổng AND.

c) *Khái niệm về mức (cao và thấp).* Ta dùng kí hiệu V_H để chỉ mức cao, V_L để chỉ mức thấp. Trong mạch số, ta thường dùng mức cao, mức thấp để chỉ điện thế cao, điện thế thấp so với điện thế chuẩn chung. Mức cao là một trạng thái mạch điện. Mức thấp là một trạng thái khác. Mức cao và thấp không phải là một giá trị cố định, có một phạm vi nhất định cho mỗi mức. Ví dụ, trong mạch điện TTL, quy định mức cao là 3V, mức thấp là 0,2V với phạm vi 2 ÷ 5V là phạm vi của mức cao, phạm vi mức thấp là 0 ÷ 0,8V.

Xem hình 2.1.5. nếu sự làm việc của cổng vượt ra ngoài phạm vi cho phép thì không những sai hoặc chức năng logic, mà còn có thể làm hỏng cấu kiện của mạch điện.

d) *Bảng chân lí.* Trong mạch số, để thuận tiện, thường dùng kí hiệu 1 và 0 biểu thị mức cao và mức thấp. Từ bảng 2.1.1, ta dùng 1 thay thế mức cao, dùng 0 thay thế mức thấp, dùng A, B thay thế V_A, V_B , dùng Z thay thế V_Z , kết quả sự thay thế là bảng chân lí 2.1.2...



Hình 2-1-5.

Phạm vi mức cao, thấp của mạch TTL.

Bảng 2-1-2 : BẢNG CHÂN LÍ CỘNG AND

A	B	Z
0	0	0
0	1	0
1	0	0
1	1	1

Bảng chân lí có thể miêu tả chính xác quan hệ logic giữa đầu vào và đầu ra. Bảng 2.1.2. thực tế là một hình thức trình bày toán học của bảng 2.1.1. Từ bảng 2.1.2, ta có thể thấy tín hiệu đầu vào A, B và tín hiệu đầu ra Z có mối quan hệ được biểu thị thành phép nhân logic : (trong đại số Boole)

$$Z = A.B \quad (2-1-1)$$

Dấu "." biểu thị phép nhân.

(2.1.1) có thể đọc là : Z bằng A AND B

hoặc : Z bằng A nhân B

2) Cổng OR

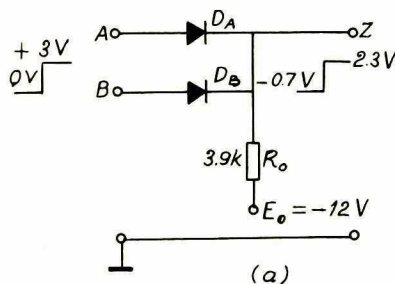
Mạch điện thực hiện quan hệ logic OR được gọi là cổng OR.

a) Mạch điện và kí hiệu.
Xem hình 2-1-6

A, B là các tín hiệu đầu vào, Z là tín hiệu đầu ra.

b) Nguyên lí làm việc

Tương tự như phương pháp phân tích mạch điện AND, ta xét 4 tình huống khác nhau ở đầu vào. Kết quả ta được bảng chức năng 2.1.3



(b)

Hình 2-1-6. Cổng OR diốt :

a) Mạch điện ; b) Kí hiệu.

Bảng 2-1-3 :

BẢNG CHỨC NĂNG ĐIỆN ÁP CỦA MẠCH ĐIỆN HÌNH 2-1-6a .

$V_A (V)$	$V_B (V)$	$V_Z (V)$
0	0	-0.7
0	3	+2.3
3	0	+2.3
3	3	+2.3

Từ bảng 2.1.3 ta thấy : chỉ cần có từ 1 trở lên tín hiệu đầu vào bất kì có mức cao, thì V_Z ở mức cao. Đó là quan hệ logic OR. Mạch điện 2.1.6a được gọi là cổng OR.

Trong bảng 2-1-3, ta thay mức cao bằng kí hiệu 1, thay mức thấp bằng kí hiệu 0, thì ta được bảng chân lí 2.1.4

Bảng 2-1-4 :

BẢNG CHÂN LÍ CỔNG OR

A	B	Z
0	0	0
0	1	1
1	0	1
1	1	1

Bảng 2.1.4 là hình thức trình bày toán học của bảng 2.1.3. Từ bảng chân lí cổng OR, ta thấy rằng : mỗi quan hệ giữa tín hiệu đầu ra Z với các tín hiệu đầu vào A, B được biểu thị bằng phép cộng logic :

$$Z = A + B \quad (2-1-2)$$

(2-1-2) có thể đọc là : Z bằng A OR B

hay là : Z bằng A cộng B

Cần lưu ý rằng $1 + 1$ không phải bằng 2, ở đây ta có : $1 + 1 = 1$.

Vì đây là phép cộng logic, không phải phép cộng số lượng thông thường. A, B, Z chỉ có hai giá trị có thể là 1, hoặc 0. Với 1 và 0 ở đây biểu thị hai trạng thái khác nhau ; kí hiệu mức điện cao và mức điện thấp, 1 và 0 không chỉ số lượng, $Z = A + B$ biểu thị quan hệ logic OR giữa A, B .

c) Khái niệm về logic dương và logic âm

Trong quá trình chuyển từ bảng chức năng sang bảng chân lí, trên đây ta dùng 1 biểu thị mức cao, dùng 0 biểu thị mức thấp, đó là mức logic dương. Nếu ngược lại, dùng 0 biểu thị mức cao, dùng 1 biểu thị mức thấp thì đó là mức logic âm. Ví dụ, từ bảng chức năng 2.1.1 và 2.1.3 ta có bảng chân lí 2.1.2 và 2.1.4, tương ứng logic dương, ta được $Z = A \cdot B$ và $Z = A + B$, mạch 2.1.4a là cổng AND, mạch 2.1.6a là cổng OR. Chính xác hơn, phải nói là : 2.1.4a là cổng AND logic dương, 2.1.6a là cổng OR logic dương.

Ta xét trường hợp logic âm : dùng 0 biểu thị mức cao, dùng 1 biểu thị mức thấp. Từ bảng chức năng 2.1.1 ta sẽ đi tới bảng chân lí 2.1.5, từ bảng chức năng 2.1.3 ta sẽ đi tới bảng chân lí 2.1.6

Căn cứ bảng 2.1.5, ta có quan hệ logic OR $Z = A + B$.

Vậy 2.1.4a là cổng OR logic âm.

Căn cứ bảng 2.1.6, ta có quan hệ logic AND $Z = A \cdot B$

Bảng 2-1-5

A	B	Z
1	1	1
1	0	1
0	1	1
0	0	0

Bảng 2-1-6

A	B	Z
1	1	1
1	0	0
0	1	0
0	0	0

Vậy 2.1.6a là cổng AND logic âm. Ta thấy rằng : mạch 2.1.4a vừa là cổng AND logic dương, vừa là cổng OR logic âm ; mạch 2.1.6a vừa là cổng OR logic dương, vừa là cổng AND logic âm. Vì vậy, khi phân tích chức năng logic của mạch điện cổng, việc đầu tiên phải làm rõ ràng là logic dương hay logic âm. Trong mạch số, phần lớn dùng mạch bán dẫn Si và nguồn điện dương, nên ta thường xuyên dùng logic dương. Để thuận tiện, trừ ngoại lệ sẽ có thuyết minh, ta đều ngầm hiểu là dùng logic dương trong các vấn đề trình bày tiếp theo.

Ưu điểm mạch cổng diốt là đơn giản, rẻ, nhược điểm mạch cổng diốt là sai lệch mức điện và năng lực chịu tải yếu. Sai lệch mức điện chủ yếu là do điện áp thuận trên diốt. Từ bảng 2.1.1 ta thấy, sau khi tín hiệu vào thông qua cổng AND, thì các mức cao, mức thấp đều dịch cao hơn 0,7V. Còn từ bảng 2.1.3 ta thấy, sau khi tín hiệu vào thông qua cổng OR, thì các mức cao và thấp đều dịch xuống thấp đi 0,7V. Nếu tín hiệu đi qua nhiều cổng AND nối tiếp nhau (hoặc OR), mức điện dịch lệch rất lớn, có thể dẫn tới sai logic.

2.1.3 Cổng NOT

1) Mạch điện và kí hiệu

Xem hình 2.1.7

V_I (A) là tín hiệu đầu vào

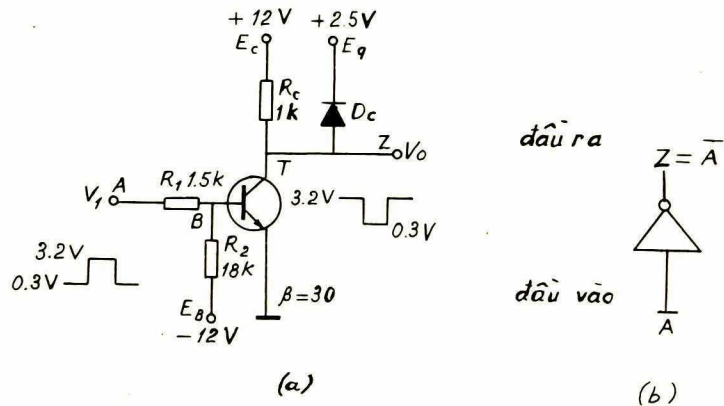
V_O (Z) là tín hiệu đầu ra

E_Q là nguồn điện ghim

D_Q là diốt ghim

2) Nguyên lí làm việc

Trong cổng NOT (bộ Đảo), tranzito cần làm việc ở chế độ đóng mở. Khi V_I ở mức thấp thì T ngắt hở mạch, V_O ở mức cao. Khi V_I ở mức cao thì T thông bão hòa, V_O ở mức thấp. Như vậy mạch có chức năng logic NOT. Tác dụng của nguồn âm E_B là bảo đảm T ngắt hở tin cậy khi V_I ở mức thấp. E_Q và D_Q có tác dụng giữ mức cao đầu ra ở giá trị quy định. Để phân tích nguyên lí công tác cổng NOT, ta



Hình 2-1-7. Cổng NOT :

a) Mạch điện ; b) Kí hiệu.

hãy áp dụng phương pháp cơ bản dùng phân tích mạch là : giả thiết, phân tích, tính toán, so sánh, kiểm tra, tìm kết quả. Bây giờ ta xét tình huống $V_I = 3,2V$ và $0,3V$.

* Khi $V_I = 3,2V$.

Giả thiết : căn cứ vào những yếu tố đã cho đối với mạch điện, hãy giả thiết trạng thái công tác của tranzito và điốt. Giả thiết rằng tranzito T thông bão hòa, điốt D_Q ngắt. Với giả thiết như thế, tương ứng ta có : $V_B = 0,7V$; $V_O = V_C = V_{CES} = 0,3V$; $I_{DQ} = 0$

Tính toán : căn cứ vào các thông số mạch đã cho, tính dòng và áp.

Hình 2.1.8 là mạch điện tương đương của mạch đầu vào khi T bão hòa.

$$I_1 = \frac{V_A - V_B}{R_1} = \frac{3,2 - 0,7}{1,5} \approx 1,67mA$$

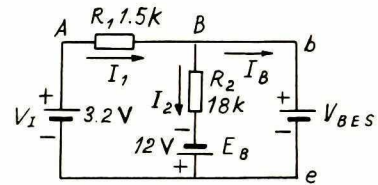
$$I_2 = \frac{V_B - E_B}{R_2} = \frac{0,7 - (-12)}{18} \approx 0,71mA$$

$$I_B = I_1 - I_2 = 1,67 - 0,71 = 0,96mA$$

$$V_{DQ} = V_{CES} - E_Q = 0,3 - 2,5 = -2,2V$$

$$\text{Vì } I_{CS} = \frac{E_C - V_{CES}}{R_C} \approx \frac{E_C}{R_C} = \frac{12}{1} = 12mA$$

$$I_{BS} = \frac{I_{CS}}{\beta} = \frac{12}{30} = 0,4mA$$



Hình 2-1-8. Mạch tương đương khi $V_I = 3,2V$.

Kiểm tra : căn cứ kết quả tính toán, đối chiếu điều kiện đóng mở, có thể biết giả thiết hợp lý hay sai. Nếu sai thì phải xét lại giả thiết, đưa ra giả thiết hợp lý rồi thì tính ra kết quả. Trong ví dụ của chúng ta, vì $I_B > I_{BS}$, $V_{DQ} < 0,5$ nên giả thiết ban đầu đã là hợp lý.

Người ta đưa ra khái niệm : độ sâu bão hòa là tỉ số dòng điện $\frac{I_B}{I_{BS}}$. Trong mạch 2.1.7a, khi $V_I = 3,2V$, độ sâu bão hòa của T là :

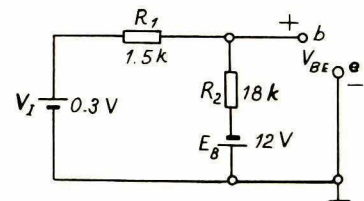
$$\frac{I_B}{I_{BS}} = \frac{1,02}{0,4} = 2,55$$

Kết quả : căn cứ vào đặc điểm công tác ở chế độ đóng mở của tranzito và điốt, ta tính toán kết quả. Vì T bão hòa, nên $V_O = V_{CES} = 0,3V$; đầu ra có mức thấp.

Cần lưu ý rằng các bước phân tích mạch điện nói trên là trình tự chung. Trong từng bài toán cụ thể, có thể áp dụng đầy đủ hay đi tắt đến kết quả.

* Khi $V_I = 0,3V$

Hình 2.1.9 là mạch điện tương đương của mạch đầu vào khi $V_I = 0,3V$ vì tác dụng của nguồn âm



Hình 2-1-9. Mạch tương đương khi $V_I = 0,3V$.

E_B , điện thế của bazơ nhỏ hơn 0,3V, nên T ngắt một cách tin cậy, đồng thời diốt ghim D_Q thông.

$$V_o = E_Q + V_{DQ} = 2,5 + 0,7 = 3,2V.$$

Đầu ra có mức cao.

Tóm lại, mạch điện hình 2.1.7a đúng là cổng NOT. Vì khi V_I là mức cao thì V_o là mức thấp, khi V_I là mức thấp thì V_o là mức cao. Bảng 2.1.7 là bảng chân lí của cổng NOT.

Bảng 2-1-7 : BẢNG CHÂN LÍ CỦA CỔNG NOT $Z = \overline{A}$

A	Z
0	1
1	0

3) Năng lực chịu tải

Phụ tải là các mạch điện khác nối với đầu ra cổng NOT. Căn cứ tình hình thực tế mạch số, người ta phân loại phụ tải thành hai loại : phụ tải dòng điện hút I_L chảy vào cổng NOT, phụ tải dòng điện phun từ cổng NOT chảy ra.

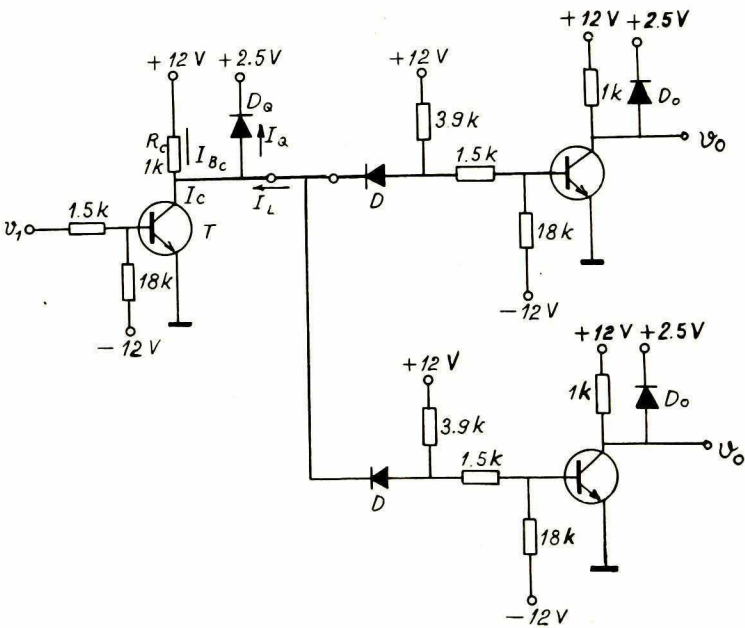
a) Phụ tải dòng điện hút

Xem mạch hình 2.1.10. khi tranzito T thông bão hòa, thì dòng điện phụ tải chảy vào colectơ, tạo thành phụ tải dòng điện hút. $I_C = I_{RC} + I_L$, với I_L tăng theo số lượng phụ tải. Khi I_L tăng, I_C tăng, tương ứng I_{BS} tăng lên, làm giảm độ sâu bão hòa của tranzito.

Nếu I_L tăng đến mức $I_B < I_{BS}$, điều kiện bão hòa không thỏa mãn, tranzito chuyển vào vùng khuếch đại, điện áp ra tăng theo I_L , thậm chí xấp xỉ mức cao +3,2V, thì chức năng logic của cổng NOT bị mất. Vậy cần hạn chế I_L trong một giới hạn xác định.

Giá trị cực đại cho phép $I_{L,max}$ phụ thuộc vào độ sâu bão hòa và I_{CM} của tranzito.

Xét mạch hình 2.1.10. Khi bão hòa $I_B = 1,02\text{ mA} = I_{BS}$
 $I_{CS} = \beta I_{BS} = 30 \times 1,02 = 30,6\text{ mA}.$



Hình 2-1-10.

Cổng NOT nối với phụ tải dòng điện hút.

Để tranzito bảo đảm bão hòa, thì $I_{Cmax} \leq 30,6mA$

$$I_{Cmax} = \beta I_B = 30 \times 1,02 = 30,6mA$$

$$I_L = I_C - I_{RC} \quad \text{mà } I_{RC} \approx \frac{E_C}{R_C} = \frac{12}{1} = 12mA$$

$$\text{Vậy } I_{Lmax} = I_{Cmax} - I_{RC} = 30,6 - 12 = 18,6mA$$

Đó là giá trị cực đại cho phép của dòng điện phụ tải chảy vào cổng NOT. Ta gọi nó là năng lực phụ tải dòng điện hút. Đương nhiên $I_{Cmax} \leq I_{CM}$ tức là

$$I_{Lmax} = I_{CM} - I_{RC}$$

Từ sự phân tích trên đây, ta nhận xét rằng : biện pháp chủ yếu để nâng cao năng lực chịu tải dòng điện hút của cổng NOT là tăng độ sâu bão hòa,

Khi tranzito ngắt, $I_C = 0$, dòng điện tải I_L và I_{RC} đều chảy vào nguồn ghim E_Q , vậy : $I_Q = I_L + I_{RC}$

Chỉ cần I_Q không vượt quá dòng điện cho phép đối với D_Q và E_Q là mạch làm việc bình thường.

b) Phụ tải dòng điện phun

Xem hình 2.1.11. khi tranzito ngắt hở mạch, dòng điện I_L từ cổng NOT chảy ra phụ tải, tạo thành phụ tải dòng điện phun.

$$I_C = 0$$

$$I_Q = I_{RC} - I_L$$

$$I_{RC} = \frac{E_C - E_Q - V_{D_Q}}{R_C} = \frac{12 - 2,5 - 0,7}{1} = 8,8mA$$

Khi I_L tăng thì I_Q giảm nhỏ.

Nếu $I_L > I_{RC} = 8,8mA$, để cung cấp dòng cho tải, I_{RC} sẽ lớn hơn 8,8mA, điện áp rơi trên R_C tăng lên, làm cho :

$$V_C = E_C - I_{RC} \cdot R_C \text{ nhỏ hơn } 3,2V$$

Khi đó, D_Q ngắt, mất đi tác dụng ghim mức, mức cao của điện áp đầu ra giảm xuống, dịch lệch khỏi giá trị định mức. Vì vậy, phụ tải dòng điện phun cực đại I_{Lmax} không được phép lớn hơn giá trị I_{RC} khi tranzito ngắt.

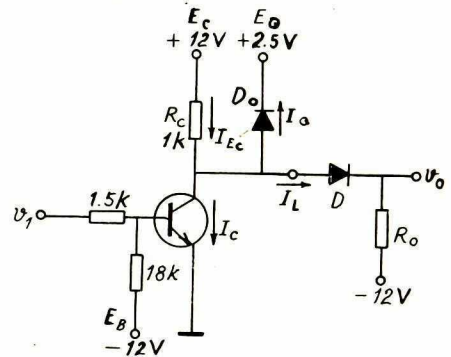
Khi tranzito bão hòa :

$$V_o = 0,3V$$

$$I_{RC} \approx \frac{E_C - V_o}{R_C} \approx \frac{E_C}{R_C} = \frac{12}{1} = 12mA$$

$$I_C = I_{RC} - I_L$$

Khi I_L tăng, I_C giảm, có lợi cho điều kiện bão hòa. Tuy nhiên, I_L không được vượt quá 12mA để mức thấp của điện áp đầu ra không bị lệch quá lớn khỏi giá trị định mức.



Hình 2-1-11. Cổng NOT nối với phụ tải dòng điện phun.

4) Năng lực chống nhiễu

Nhiều và gọn sóng nguồn ... đều có thể làm cho tín hiệu đầu vào lệch khỏi giá trị định mức. Để nâng cao độ tin cậy, ta mong muốn mức điện đầu ra vẫn duy trì giá trị định mức khi mức tín hiệu đầu vào biến đổi trong một phạm vi nhất định. Vì vậy, chúng ta gọi độ lệch cho phép của mức tín hiệu đầu vào khi đầu ra định mức là khả năng chống nhiễu.

a) Tín hiệu vào ở mức thấp

Khi $V_I = 0,3V$, tranzito ngắt hở mạch, $V_O = 3,2V$.

Nếu V_I tăng lên, đến $V_{BE} = 0,5V$ thì tranzito thông.

Vì mạch ghim, dù I_C tăng theo V_I , trong giới hạn $I_C < I_{RC}$, nên D_Q vẫn tiếp tục thông, V_O duy trì ở $3,2V$. Vậy mạch ghim nâng cao năng lực chống nhiễu thuận (V_I tăng) của cổng NOT. Ngoài ra, nhờ bazơ nối với E_B ($-12V$), mà điện thế bazơ V_B (ứng với mức thấp đầu vào) giảm nhỏ, làm cho phạm vi lệch cho phép đối với V_I (tăng) được mở rộng, cũng góp phần nâng cao năng lực chống nhiễu thuận.

b) Tín hiệu vào ở mức cao

Khi $V_I = 3,2V$, tranzito thông bão hòa, $V_O = 0,3V$

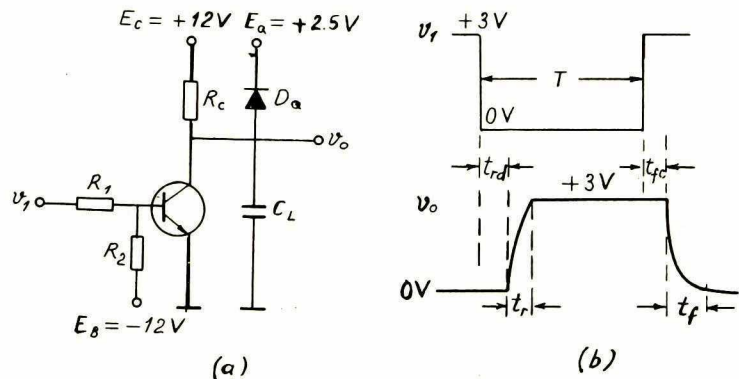
Nếu V_I giảm xuống, dòng điện bazơ giảm nhỏ, làm giảm độ sâu bão hòa của tranzito. Nếu V_I giảm đến $I_B < I_{BS}$ thì tranzito chuyển sang vùng khuếch đại, V_O tăng lên (tỉ lệ nghịch với V_I). Vậy để V_O duy trì ở mức thấp $0,3V$ thì phải tăng độ sâu bão hòa của tranzito. Tranzito càng bão hòa sâu thì năng lực chống nhiễu nghịch (V_I giảm) của cổng NOT càng mạnh. Nhưng tăng độ sâu bão hòa thì tốc độ chuyển mạch giảm, tiêu hao điện năng tăng.

5) Đặc tính động

Xem hình 2.1.12. khi V_I đột biến thì V_O trải qua quá trình quá độ. Khi V_I từ mức cao xuống mức thấp, quá trình V_O từ mức thấp chuyển lên mức cao quyết định bởi thời gian ngắt t_{off} (từ bão hòa đến ngắt) và thời gian nạp điện của C_L (điện dung tải).

Khi V_I từ mức thấp lên mức cao, quá trình V_O chuyển từ mức cao xuống mức thấp quyết định bởi thời gian mở t_{on} (từ ngắt đến bão hòa) và thời gian phóng điện của C_L (điện dung tải).

Quá trình V_O tăng (sườn trước, sườn dương của xung V_O) dài hơn quá trình V_O giảm (sườn sau, sườn âm của xung V_O). Vì $t_{off} > t_{on}$, thời gian nạp điện dài hơn thời gian phóng điện (nạp qua R_C , phóng qua tranzito bão hòa).



Hình 2-1-12. Đặc tính động của cổng NOT.

a) Mạch điện ;

b) Dạng sóng.

2.1.4. Cổng NAND và cổng NOR (cổng VÀ-ĐẢO, cổng HOẶC ĐẢO)

Các mạch cổng diốt có nhiều nhược điểm : mức lệch nhiều, chịu tải kém, chống nhiễu kém. Vì vậy chúng ít dùng ở dạng riêng rẽ, mà phải kết hợp với cổng NOT ; sự liên kết đó tạo ra các cổng NAND, NOR được ứng dụng rộng rãi. (ưu điểm của cổng NOT là không lệch mức, chịu tải khá, chống nhiễu tốt).

1) Cổng NAND

a) Mạch điện và kí hiệu

Xem hình 2.1.13

b) Nguyên lí làm việc

Mạch điện hình 2.1.13 gồm hai phần : phần cổng AND diốt bên trái đường nét đứt và phần cổng NOT bên phải đường nét đứt. Vậy quan hệ giữa đầu ra và đầu vào là NAND (VÀ - ĐẢO). Biểu thức hàm logic của NAND là :

$$Z = \overline{A \cdot B}$$

Hình 2-1-13. Cổng NAND.

Bảng 2.1.8 là bảng chân lí của cổng NAND

Bảng 2-1-8 :

BẢNG CHÂN LÍ CỔNG NAND

A	B	Z
1	1	0
0	1	1
1	0	1
0	0	1

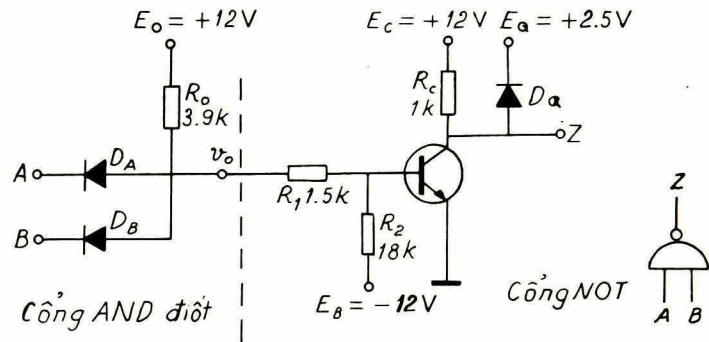
2) Cổng NOR

a) Mạch điện và kí hiệu

Xem hình 2.1.14

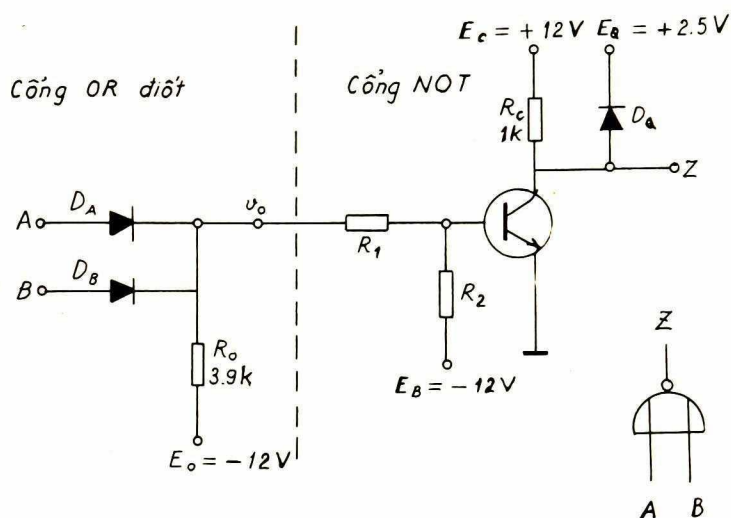
b) Nguyên lí làm việc

Cổng NOR trên hình 2.1.14 gồm phần bên trái là cổng OR diốt và phần bên phải là cổng NOT



Hàm logic : $Z = \overline{A + B}$

Bảng 2.1.9 là Bảng chân lí của cổng NOR



Hình 2-1-14. Cổng NOR.

Bảng 2-1-9 :

BẢNG CHÂN LÍ CỔNG NOR

A	B	Z
1	1	0
0	1	0
1	0	0
0	0	1

2.2. MẠCH ĐIỆN CỔNG TTL

Vi mạch TTL là vi mạch đơn phiên : các phần tử tích cực, các cấu kiện, dây nối của toàn bộ mạch logic đều gia công trên một phiên đế bán dẫn. TTL là viết tắt của từ "tranzito - tranzito logic", xuất phát từ hình thức cấu trúc mạch điện đầu vào, đầu ra của vi mạch số đều dùng tranzito.

Căn cứ vào số lượng cấu kiện được gia công trên một diện tích xác định của phiên đế bán dẫn, các vi mạch số thường được phân loại thành : nhỏ (SSI), vừa (MSI), lớn (LSI), cực lớn (VLSI). SSI thường chứa hơn chục cổng, MSI thường chứa ngoài trăm cổng, LSI thường chứa không quá vài nghìn cổng, VLSI thì chứa tới một vạn cổng trở lên.

Hiện nay, cổng TTL phổ biến dưới dạng SSI và MSI. Cổng TTL tiêu hao công suất đáng kể nên có khó khăn đối với chế độ các vi mạch VLSI.

2.2.1. cổng NAND TTL

1) Mạch điện và nguyên lí làm việc

a) *Mach diện và kí hiệu.* Xem hình 2.2.1.

Trên hình 2.2.1 là một mạch điện điển hình của cổng NAND TTL. Nó gồm 3 bộ phận: tranzito nhiều emitor T_1 và R_1 làm thành cấp đầu vào, tranzito T_2 và R_2 , R_3 làm thành cấp giữa, các tranzito T_3 , T_4 , T_5 và R_4 , R_5 làm thành cấp đầu ra.

Giả thiết các tranzito có $\beta = 20$

b) Nguyên lí làm việc

Ở đầu vào, thông qua các emitơ của T_1 để thực hiện chức năng AND. T_2 đảo pha tạo ra tín hiệu ngược pha ở colectơ và emitơ. Những tín hiệu ngược pha dùng kích T_3 và T_5 , để đầu ra chịu tải nối vào V_o . Khi bất kì một emitơ nào có mức thấp của tín hiệu đầu vào, thì T_1 đều trở thành bão hòa ; do đó, T_2 và T_5 ngắt, còn T_3 và T_4 thông, đầu ra thể hiện tải nối vào emitơ. V_o ở mức cao.

Khi tín hiệu đầu vào toàn bộ đều là mức cao, thì T_1 ngắt. Do đó, T_2 và T_5 bão hòa, còn T_3 thông, T_4 ngắt. V_o ở mức thấp.

Quan hệ logic giữa đầu vào với đầu ra là NAND (VÀ-ĐẢO) ;

Mạch điện 2.2.1 là cổng NAND.

Dưới đây cụ thể hóa sự phân tích trên bằng tính toán :

Giả sử emitơ A làm đại diện ngẫu nhiên cho một tín hiệu đầu vào ở mức thấp $V_L = 0,3V = V_A$

Khi đó, điện thế bazơ của T_1 bị ghim $V_{B_1} = 1V$

$$V_{B_1} = V_A + V_{BEA} = 0,3 + 0,7 = 1V \quad (2-2-1)$$

$$I_{B_1} = \frac{E_C - V_{B_1}}{R_1} = \frac{5 - 1}{3} \approx 1,33 \text{ mA} \quad (2-2-2)$$

Vì T_2 ở trạng thái làm việc bình thường thì dòng bazơ không chảy ngược, nghĩa là $I_{C_1} = 0, I_{BS_1} = 0$

$I_{B_1} > I_{BS_1}$ T_1 bão hòa sâu, khi đó :

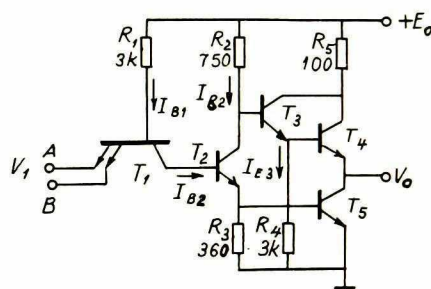
$$V_{CE_1} = V_{CES_1} \approx 0,1V \qquad V_{B_2} = V_{CE_1} + V_A = 0,1 + 0,3 = 0,4V$$

Do đó, T_2 ngắt, T_5 ngắt, T_3 và T_4 thông. Đầu ra phụ tải emitter.

Vì I_{B_1} rất nhỏ, $V_{B_1} = E_C - I_{B_1} R_2 \approx E_C = 5V$

$$\text{Vây } V_o = V_{B_1} - V_{BE_3} - V_{BE_4} \approx 5 - 0,7 - 0,7 = 3,6 \text{ V} \quad (2-2-3)$$

(2.2.3) chứng tỏ rằng tín hiệu đầu ra ở mức cao.



Hình 2-2-1. Cổng NAND TTL

Giả sử toàn bộ các tín hiệu đầu vào đều có mức cao ($V_H = 3,6V$)

Ta thử giả thiết rằng khi đó chuyển tiếp emitơ của T_1 vẫn thông với điện áp thuận : $V_{B_1} = V_H + V_{BE_1} = 3,6 + 0,7 = 4,3V$

Tương ứng, chuyển tiếp colectơ của T_1 và hai chuyển tiếp emitơ của T_2, T_5 đều phân cực thuận, xấp xỉ $\frac{V_{B_1}}{3} = 1,4V$, chúng đều thông

Giả thiết sẽ dẫn đến : $V_{B_1} = V_{BC_1} + V_{BE_2} + V_{BE_5} = 0,7 + 0,7 + 0,7 = 2,1V$

(2-2-4)

V_{B_1} bị ghim ở điện thế $2,1V$, giả thiết chuyển tiếp emitơ T_1 thông thuận là sai.

$$V_{E_1} = V_H = 3,6V$$

$$\text{Vậy } V_{C_1} = V_{B_2} = V_{BE_2} + V_{BE_5} = 0,7 + 0,7 = 1,4V$$

Nghĩa là ta đã đi đến hệ quả : chuyển tiếp emitơ của T_1 phân cực nghịch, chuyển tiếp colectơ của T_1 phân cực thuận, T_1 công tác ở chế độ mà emitơ và colectơ đảo ngược vai trò. Trong chế độ này, hệ số khuếch đại dòng điện β_i rất nhỏ, thường $\beta_i \approx 0,01$.

$$I_{B_1} = \frac{E_C - V_{B_1}}{R_1} = \frac{5 - 2,1}{3} \approx 0,97 \text{ mA}$$

Lưu ý T_1 có 2 emitơ, ta có :

$$I_{B_2} = I_{B_1} + 2\beta_i I_{B_1} = 0,97 + 2 \times 0,01 \times 0,97 \approx 1 \text{ mA}$$

Nếu T_2 bão hòa, thì :

$$V_{C_2} = V_{BE_5} + V_{CES_2} = 0,7 + 0,3 = 1V$$

$$I_{CS_2} = \frac{E_C - V_{C_2}}{R_2} - I_{B_3} \approx \frac{E_C - V_{C_2}}{R_2} = \frac{5 - 1}{0,75} \approx 5,33 \text{ mA}$$

$$I_{BS_2} = \frac{I_{CS_2}}{\beta_2} = \frac{5,33}{20} \approx 0,27 \text{ mA}$$

$I_{B_2} > I_{BS_2}$. Vì T_2 bão hòa, $V_{C_2} = 1V$, T_3 thông dẫn, điện thế bazơ T_4 :

$$V_{B_4} = V_{E_3} = V_{C_2} - V_{BE_3} = 1 - 0,7 = 0,3V$$

Do đó T_4 ngắt. Còn T_5 thì :

$$I_{B_5} = I_{E_2} - I_{R_3}$$

$$I_{E_2} = I_{B_2} + I_{CS_2} \approx 1 + 5,33 = 6,33 \text{ mA}$$

$$I_{R_3} = \frac{V_{E_3}}{R_3} = \frac{V_{BE_5}}{R_3} = \frac{0,7}{0,36} = 1,94 \text{ mA}$$

$$I_{B_5} = I_{E_2} - I_{R_3} = 6,3 - 1,94 = 4,36 \text{ mA}$$

$$I_{CS_5} = 0 \text{ (} T_4 \text{ ngắt)} ; I_{BS_5} = 0 \text{ } T_5 \text{ bão hòa ; } V_o = V_{CES_5} = 0,3V$$

(2-2-5)

Sắp xếp kết quả tính toán trên đây, ta được bảng chức năng 2.2.1

Bảng 2-2-1 :

BẢNG CHỨC NĂNG ĐIỆN ÁP CỦA MẠCH ĐIỆN HÌNH 2.2.1

V_A (V)	V_B (V)	V_Z (V)
0.3	0.3	3.6
0.3	3.6	3.6
3.6	0.3	3.6
3.6	3.6	0.3

Áp dụng logic dương, ta có bảng chân lí 2.2.2 (suy ra từ bảng 2.2.1)

Bảng 2-2-2 :

BẢNG CHÂN LÍ CỦA CỔNG NAND

A	B	Z
0	0	1
0	1	1
1	0	1
1	1	0

Bảng 2.2.2 chứng tỏ rằng $Z = \overline{A \cdot B}$, quan hệ logic NAND, kết luận rằng mạch điện hình 2.2.1 là cổng NAND.

2. Đặc tính

A - Đặc tính truyền đạt điện áp

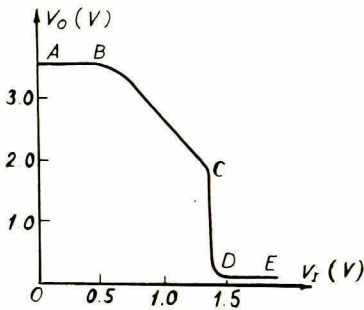
Xem hình 2.2.2. đặc tính truyền đạt điện áp biểu thị quan hệ giữa điện áp đầu ra V_o với điện áp đầu vào V_i .

Phân tích : đặc tính có 4 đoạn AB,BC, CD, DE.

Đoạn AB : $V_i < 0,6V$, $V_o = V_H$ không phụ thuộc V_i . T_1 thông bão hòa. T_2, T_5 ngắt. T_3, T_4 thông.

Tranzito T_5 ngắt, T_5 là đầu ra của cổng NAND ; vậy ta có thể nói cổng NAND ngắt.

Đoạn BC : $V_i = 0,6 \div 1,3V$. V_i tăng thì V_o giảm nhỏ (tỉ lệ nghịch). $V_{B_2} = V_{C_1} = 0,7V$; T_2 ở chế độ khuếch đại. Vì $V_{B_2} < 1,4V$ nên T_5 không thể thông. T_3 và T_4 đều ở chế độ thông với tải emitơ. Vậy trên cơ bản, V_o giảm tuyến tính theo sự tăng của V_i . BC là đoạn tuyến tính của đặc tính truyền đạt.



Hình 2-2-2. Đặc tính truyền đạt điện áp của cổng NAND TTL.

Đoạn CD : $V_I \approx 1,4V$. V_O đột biến giảm khi V_I tăng. $V_O = V_L = 0,3V$
 CD là đoạn quá độ của đặc tính truyền đạt.

Đoạn DE : $V_I > 1,4V$. V_O là mức thấp và không thay đổi theo V_I nữa. V_I tăng làm I_{B1} toàn bộ chảy đến colectơ C_1 , trở thành dòng bazơ của T_2 . I_{B2} làm T_2 bão hòa, kết quả T_4 ngắt, T_5 bão hòa, $V_O = V_{CES5} = 0,3V$. T_5 bão hòa thì $V_O = V_L$ không thay đổi theo V_I . T_5 là đầu ra của cổng NAND, tương ứng T_5 bão hòa, DE được gọi là đoạn bão hòa của đặc tính truyền đạt, cổng NAND ở trạng thái bão hòa.

Các tham số :

Hình 2.2.3 trình bày các tham số của tổng NAND TTL có thể xác định từ đặc tính truyền đạt. Ngoài mức điện áp ra $V_{OH} \approx 3,6V$, $V_{OL} \approx 0,3V$ ta còn xác định được :

a) Điện áp ngưỡng V_T

Phần quá độ của đặc tuyến phân ranh giới sự ngắt thông của T_5 , tương ứng mức cao thấp của điện áp ra V_O . Vì thế ta gọi V_T là điện áp ngưỡng tương ứng với ranh giới đó. Trên hình 2.2.3, ta thấy :

$$V_T \approx V_{BE2} + V_{BE5} = 0,7 + 0,7 = 1,4V$$

V_T là tham số quan trọng, mấu chốt khi phân tích trạng thái công tác của cổng NAND TTL. Khi $V_I > V_T$ thì NAND bão hòa, đầu ra có mức thấp. Khi $V_I < V_T$ thì NAND ngắt, đầu ra có mức cao.

b) Mức đóng và mức ngắt

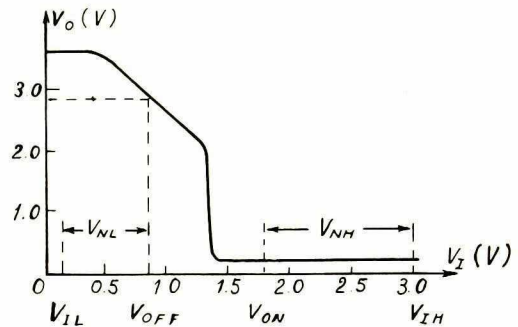
* Mức điện áp đóng cổng V_{OFF} . Đó là mức logic thấp đầu vào cực đại cho phép bảo đảm mức đầu ra bằng 90% của mức cao chuẩn. Trên hình 2.2.3, $V_{OFF} \approx 0,8V$.

* Mức điện áp mở cổng V_{ON} . Đó là giá trị cực tiểu cho phép đối với mức logic cao đầu vào bảo đảm mức logic thấp chuẩn ở đầu ra. Trên hình 2.2.3, $V_{ON} \approx 1,8V$.

V_{OFF} và V_{ON} là hai tham số thường dùng, nó đưa ra giá trị giới hạn cho sự biến thiên cho phép của mức tín hiệu đầu vào trong điều kiện cổng làm việc bình thường. Muốn cổng NAND ngắt tin cậy và đưa ra mức cao chuẩn thì V_I phải nhỏ hơn V_{OFF} . Muốn cổng NAND thông bão hòa tin cậy và đưa ra mức thấp chuẩn thì V_I phải lớn hơn V_{ON} .

c) Mức tạp âm cho phép đối với tín hiệu đầu vào V_N

* Đối với mức thấp. Mức tạp âm cho phép V_{NL} đối với tín hiệu đầu vào mức thấp là điện áp tạp âm (nhiều) xếp chồng với tín hiệu sao cho vẫn bảo đảm mức cao đầu ra không nhỏ hơn 90% mức cao chuẩn.



Hình 2-2-3. Các tham số xác định theo đặc tính truyền đạt.

Từ hình 2.2.3, ta có :

$$V_{NL} = V_{OFF} - V_{IL} \quad (2-2-6)$$

$$V_{OFF} = 0,8V \quad V_{IL} = V_L = 0,3V \quad V_{NL} = 0,5V$$

* Đối với mức cao. Mức tạp âm cho phép V_{NH} đối với tín hiệu đầu vào mức cao là giá trị cực đại cho phép của điện áp tạp âm xếp chồng với tín hiệu sao cho vẫn bảo đảm mức thấp chuẩn ở đầu ra.

Từ hình 2.2.3, ta có :

$$V_{NH} = V_{IH} - V_{ON} \quad (2-2-7)$$

$$V_{ON} = 1,8V \quad V_{IH} = V_H = 3V \quad V_{NH} = 1,2V$$

V_{NL} , V_{NH} là tham số đặc trưng khả năng chống nhiễu của cổng, trị số của chúng càng lớn biểu thị khả năng chống nhiễu càng cao.

Ảnh hưởng của nhiệt độ và nguồn :

Nói chung, biến đổi của nhiệt độ và nguồn điện là nhân tố chủ yếu đối với tính truyền đạt điện áp.

- Ảnh hưởng của sự biến đổi nhiệt độ. Xem hình 2.2.4. Xu hướng tổng quát là : khi nhiệt độ tăng thì V_{OH} , V_{OL} tăng, còn V_T giảm. Nguyên nhân chủ yếu của xu hướng này là V_{BE} của tranzito có hệ số nhiệt độ khoảng $-2,2 \div -2,5 \text{ mV}^\circ\text{C}$.

Trong mạch điện hình 2.2.1, ta có :

$$V_{OH} \approx E_C - V_{BE3} - V_{BE4}$$

$$V_T = V_{CES1} + V_{BE2} + V_{BE5} \approx V_{BE2} + V_{BE5}$$

Nhiệt độ tăng thì V_{BE} giảm, dẫn đến V_{OH} tăng và V_T giảm.

- Ảnh hưởng của sự biến đổi điện áp nguồn. Xem hình 2.2.5

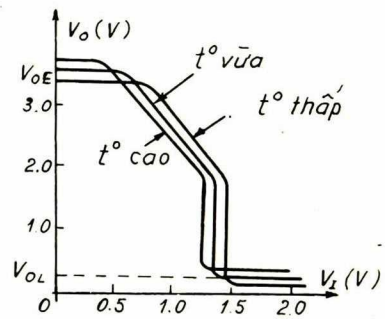
V_{OH} tăng theo E_C :

$$\Delta V_{OH} \approx \Delta E_C$$

Khi cổng NAND đưa ra mức thấp là lúc T_5 bão hòa sâu, $V_{OL} = V_{CES5}$, vì vậy sự biến đổi điện áp nguồn E_C không ảnh hưởng đáng kể đến V_{OL} . Vì V_{CES1} , V_{BE2} , V_{BE5} biến đổi rất nhỏ theo E_C , nên V_T căn bản không thay đổi theo E_C .

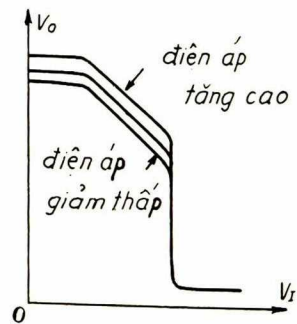
B - Đặc tính đầu vào và đặc tính đầu ra

Cần tìm hiểu đầy đủ đặc tính đầu vào và đặc tính đầu ra của cổng NAND TTL để phối ghép tốt chúng vào mạch điện. Các đặc tính đầu vào đầu ra được xét ở đây sẽ cũng đúng với các vi mạch TTL khác, nếu cấu



Hình 2-2-4.

Ảnh hưởng của nhiệt độ.



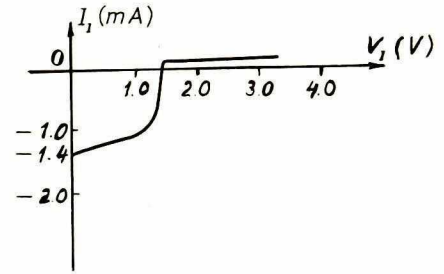
Hình 2-2-5.

Ảnh hưởng của nguồn điện.

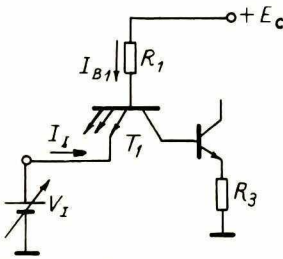
trục mạch đầu vào, đầu ra và tham số của chúng tương đồng.

* Đặc tính đầu vào

a) *Đặc tính V-A đầu vào.* Xem hình 2.2.6. Đặc tính này biểu thị mối quan hệ giữa dòng điện đầu vào với điện áp đầu vào.



Hình 2-2-6. Đặc tính V-A đầu vào của cổng NAND TTL.



Hình 2-2-7. Chiều dương của V_I , I_I .

Theo chiều dương quy ước trên hình 2.2.7,

Khi $V_I < V_T$ thì $I_I < 0$

Khi $V_I < 0,6V$ thì T_2, T_5 ngắt.

$$I_I = -I_{R_1} = -\frac{E_C - V_{BE1} - V_I}{R_1} \quad (2-2-8)$$

$$\text{Độ dốc đặc tuyến đoạn này } \frac{\Delta I_I}{\Delta V_I} = \frac{1}{R_1}$$

Dòng điện ngắn mạch đầu vào : đó là dòng điện đầu vào khi $V_I = 0$, kí hiệu I_{IS} . Khi V_I là mức thấp, cổng NAND TTL thể hiện tải dòng điện hút đối với nguồn tín hiệu V_I , mà I_{IS} là dòng điện cực đại hút vào V_I . Đối với mạch điện 2.2.1 thì :

$$I_{IS} = -\frac{E_C - V_{BE1}}{R_1} = -\frac{5 - 0,7}{3} \approx -1,4mA$$

Khi $V_I > 0,6V$ thì T_2 bắt đầu thông. Các chuyển tiếp b - c và b - e của tranzito đều thông hướng thuận, I_{B1} có một phần chảy đến chuyển tiếp colectơ (b - c), hình thành I_{B2} . V_I là nguồn ổn áp (chính là điện áp đầu ra của cổng NAND khác có nội trở rất bé), mà chuyển tiếp colectơ có nội trở rất lớn, vì vậy $I_1 \approx -I_{B1}$, độ dốc đặc

tuyến vẫn xấp xỉ $\frac{1}{R_1}$. Sau khi tiếp tục tăng đến $V_I > 1,3V$ thì T_5 bắt đầu thông,

V_{B4} bị ghim ở xấp xỉ 2,1V. Nếu V_I lại tăng thêm một chút thì T_1 sẽ có trạng thái công tác đảo ngược vai trò giữa emitơ và colectơ. Khi đó, β_i rất nhỏ, do vậy :

$$I_1 = \beta_i I_{B1} = \beta_i \frac{E_C - V_{BC1} - V_{BE2} - V_{BE5}}{R_1} \quad (2-2-9)$$

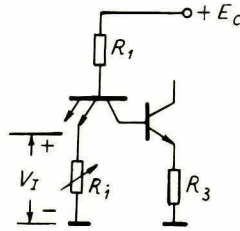
Ví dụ, $R_1 = 3k\Omega$, $\beta_i = 0,01$, $I_1 \approx 10\mu A$

Sau đó, I_1 hầu như không tăng theo V_I .

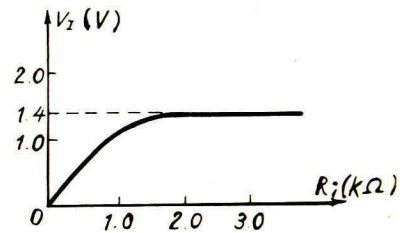
Dòng điện đầu vào : đó là dòng điện đầu vào khi $V_I = V_H$ (mức cao), kí hiệu là I_{IH} . Khi đầu vào ở mức cao, thì cổng NAND TTL thể hiện là phụ tải dòng điện phun đối với nguồn tín hiệu V_I .

b) Đặc tính phụ tải đầu vào

Hình 2.2.8 biểu thị tình hình thực tế : đầu vào cổng NAND TTL thường nối đất qua một điện trở R_i . Trong phạm vi nhất định, V_I sẽ tăng theo R_i . Hình 2.2.9 biểu thị đặc tuyến quan hệ V_I với R_i , gọi là đặc tuyến phụ tải đầu vào. Trước khi T_5



Hình 2-2-8. Tính V_I .



Hình 2-2-9. Đặc tính phụ tải đầu vào.

thông, thì :
$$V_I \approx \frac{R_i}{R_1 + R_i} (E_C - V_{BE1}) \quad (2-2-10)$$

Khi R_i rất nhỏ, V_I rất nhỏ, đầu vào tương đương mức thấp, đầu ra là mức cao. Khi R_i rất lớn, ví dụ $R_i = 3k\Omega$, từ (2-2-10) tính được $V_I = 2,5V$. Nhưng giá trị này không đúng vì lúc đó T_5 đã thông. Chỉ cần R_i tăng đến lúc $V_I = 1,4V$, tương ứng $V_{B1} = 2,1V$ thì T_5 đã thông. Với tác dụng ghim mức của các chuyển tiếp colectơ T_1 , chuyển tiếp emitơ T_2 và T_5 khi T_1 , T_2 , T_5 thông nên V_{B1} giữ nguyên mức 2,1V dù R_i tăng thêm. Trên hình 2.2.9, $V_I = 1,4$ là giá trị cực đại.

Dựa vào mạch điện hình 2.2.1 ta sẽ tính toán chế độ mạch NAND TTL khi $R_i = 3k\Omega$ như sau.

$$I_{B1} = \frac{E_C - V_{B1}}{R_1} = \frac{5 - 2,1}{3} = 0,97 \text{ mA}$$

$$I_{R_i} = \frac{V_{B1} - V_{BE1}}{R_i} = \frac{2,1 - 0,7}{3} = 0,47 \text{ mA}$$

$$I_{B2} = I_{B1} - I_{R_i} = 0,97 - 0,47 = 0,5 \text{ mA}$$

Giả thiết T_2 bão hòa, nên

$$V_{C2} = V_{BE5} + V_{CES2} = 0,7 + 0,3 = 1V$$

$$I_{CS2} = \frac{E_C - V_{C2}}{R_2} - I_{B3} \approx \frac{E_C - V_{C2}}{R_2} = 5,3 \text{ mA}$$

$$I_{BS2} = \frac{I_{CS2}}{\beta_2} = \frac{5,3}{20} = 0,265 \text{ mA}$$

$I_{B2} > I_{BS2}$ chứng thực giả thiết T_2 bão hòa.

Vì $V_{C2} = 1V$ T_4 ngắt. Đối với T_5 ta có :

$$I_{B5} = I_{E2} - I_{R3}$$

$$I_{E2} = I_{CS2} + I_{B2} \approx 5,3 + 0,5 = 5,8 \text{ mA}$$

$$I_{R3} = \frac{V_{E2}}{R_3} = \frac{V_{BE5}}{R_3} = \frac{0,7}{0,36} \approx 1,94 \text{ mA}$$

$$I_{B5} = I_{E2} - I_{R3} = 5,8 - 1,94 = 3,86 \text{ mA}$$

Vì T_4 ngắt, $I_{CS5} \approx 0$, $I_{BS5} \approx 0$

Mà $I_{B5} > I_{BS5}$ nên T_5 thông bão hòa, đầu ra có mức thấp.

$$V_o = V_{CES5} = 0,3V$$

Ta thấy rằng, tuy đầu vào tín hiệu không phải là mức cao, nhưng đầu ra đã là mức thấp.

Tóm lại, khi R_i tương đối bé thì cổng NAND ngắt, mức cao ở đầu ra.

Khi R_i tương đối lớn thì cổng NAND bão hòa, mức thấp ở đầu ra.

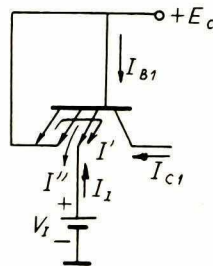
Khi R_i ở giá trị không bé không lớn thì NAND làm việc ở khu vực tuyến tính.

Điện trở đóng cổng R_{OFF} . Đó là giá trị cực đại cho phép của R_i để bảo đảm cổng NAND ngắt hở mạch và tín hiệu đầu ra đạt 90% mức cao chuẩn.

Điện trở mở cổng R_{ON} . Đó là giá trị cực tiểu cho phép của R_i để bảo đảm cổng NAND nối thông mạch và tín hiệu đầu ra đạt mức thấp chuẩn. Từ định nghĩa trên của R_{OFF} và R_{ON} , ta thấy, khi $R_i < R_{OFF}$ thì cổng NAND ngắt hở mạch và đầu ra có mức cao, khi $R_i > R_{ON}$ thì cổng NAND thông bão hòa và đầu ra có mức thấp. Với $R_{OFF} < R_i < R_{ON}$ thì cổng NAND làm việc ở khu vực tuyến tính. Ví dụ, mạch điện hình của cổng NAND TTL trình bày trên hình 2.2.1 thì $R_{OFF} \approx 700\Omega$, $R_{ON} \approx 2k\Omega$

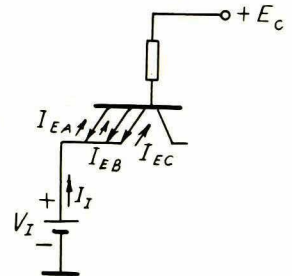
c) *Phương pháp xử lí khi có dư đầu vào và ảnh hưởng của nó đối với đặc tính đầu vào*

Khi số tín hiệu đầu vào ít hơn số đầu vào của cổng NAND, thì có đầu vào dư thừa. Để tránh tạo thành nguồn nhiễu, đầu vào dư không được phép để hở lơ lửng, mà phải nối với cực dương nguồn, hay là nối song song với đầu vào có tín hiệu. Xem hình 2.2.10 và 2.2.11. Phương pháp hình 2.2.10 không đòi hỏi thêm dòng điện nguồn tín hiệu. Phương pháp hình 2.2.11 làm tăng độ tin cậy (phòng khi đầu vào bị đứt) nhưng cần thêm dòng điện



Hình 2-2-10.

Nối đầu vào dư với cực dương nguồn.



Hình 2-2-11.

Nối song song đầu vào dư với đầu vào cần dùng.

nguồn tín hiệu. Do khả năng chịu tải của tầng đầu ra mạch TTL tương đối mạnh, nếu tín hiệu đầu vào lấy từ đầu ra TTL thì chúng ta nên dùng phương pháp nối đầu vào dư song song với đầu vào cần dùng khác.

*) Đặc tính đầu ra

a) Đầu vào ở mức thấp

Trước đây ta đã xét trường hợp không tải : khi đầu vào mức thấp thì T_2, T_5 ngắt và đầu ra mức cao $V_{OH} = 3,6V$. Hình 2.2.12 trình bày trường hợp có tải R_L mắc ở đầu ra với chiều dòng điện tải I_L từ emitơ T_4 chảy đến R_L .

Khi $I_L = 0, R_5 = 100 \Omega$

Vì I_{B3} rất bé

$$I_{R_5} = I_{C3} \approx I_{E3} = \frac{V_{B3} - V_{BE3}}{R_4}$$

$$V_{B3} = E_C - I_{B3}R_2 \approx E_C = 5V$$

(2-2-11)

$$I_{R_5} = \frac{V_{B3} - V_{BE3}}{R_4} \approx \frac{5 - 0,7}{3} \approx 1,4 \text{ mA}$$

$$V_{C3} = E_C - I_{R_5}R_5 = 5 - 1,4 \times 0,1 = 4,86 V$$

$$\text{Vậy : } V_{CE3} = V_{C3} - (V_{B3} - V_{BE3})$$

$$= 4,86 - (5 - 0,7) = 0,56V$$

Vậy T_3 ở biên giới vùng bão hòa, còn T_4 ở vùng khuếch đại. T_3 và T_4 là dạng mạch khuếch đại tải emitơ vẫn làm việc ở biên giới vùng khuếch đại nên có điện trở đầu ra nhỏ. Giả thiết I_L tăng đến xấp xỉ 5mA, I_{E3} không thay đổi mấy so với khi không tải, do đó :

$$I_{R_5} = I_{E3} + I_L = 1,4 + 5 = 6,4 \text{ mA}$$

$$V_{C3} = E_C - I_{R_5}R_5 = 5 - 6,4 \times 0,1 = 4,36 V$$

$$V_{CE3} = V_{C3} - (V_{B3} - V_{BE3})$$

$$= 4,36 - (5 - 0,7) = 0,06 V$$

Vậy T_3 bão hòa sâu, quan hệ giữa V_{OH} với I_L như sau :

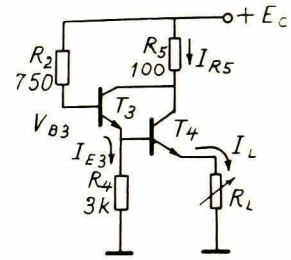
$$\text{Vì } V_{OH} = E_C - V_{CES3} - V_{BE4} - I_{R_5}R_5$$

$$I_{R_5} \approx I_L$$

$$\text{nên } V_{OH} \approx E_C - (V_{CES3} + V_{BE4}) - I_L R_5 \quad (2-2-12)$$

$$\text{với } V_{CES3} \approx 0,1 V$$

(2.2.12) chứng tỏ rằng, khi $I_L > 5\text{mA}$, thì V_{OH} tỉ lệ nghịch với I_L .



Hình 2-2-12.

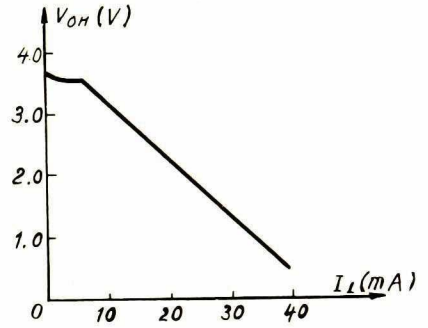
Đầu vào ở mức thấp,

Đầu ra có tải.

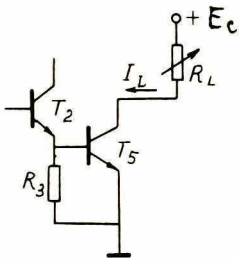
Xem hình 2.2.13

b) Đầu vào ở mức cao

Theo quan hệ logic của cổng NAND, đầu ra có mức thấp. Lúc đó, dòng điện colectơ T_5 cũng là dòng qua tải I_L , với phương hướng từ mạch tải vào T_5 . Xem hình 2.2.14. Hình 2.2.15 biểu thị đặc tuyến ra khi đầu vào mức cao (sự phụ thuộc V_{OL} theo I_L). Vì dòng điện bazơ T_5 rất lớn (4,36 mA), T_5 bão hòa sâu, điện trở tiếp giáp colectơ của T_5 rất nhỏ (hơn chục Ω).



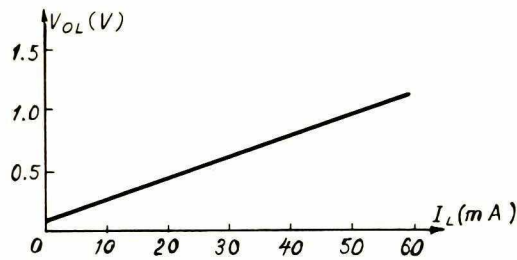
Hình 2-2-13. Đặc tính ra khi đầu vào mức thấp.



Hình 2-2-14.

Đầu vào mức cao

Đầu ra có tải.

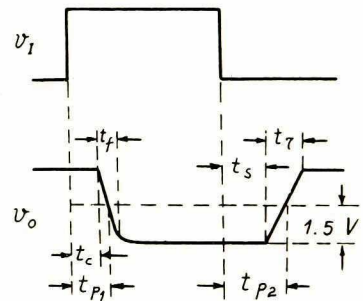


Hình 2-2-15. Đặc tính ra khi đầu vào mức cao.

Do đó, khi I_L tăng thì I_{OL} tăng chậm, V_{OL} và I_L tăng tuyến tính với nhau. Một ưu điểm nữa của sự bão hòa sâu T_5 là V_{OL} không thay đổi đáng kể theo nhiệt độ và điện áp nguồn.

c) Thời gian truyền đạt

Hình 2.2.16 biểu thị xung đầu ra cổng NAND khi đưa đến đầu vào một xung vuông lí tưởng. Xung đầu ra không những bị trễ mà còn có sườn xung xấu. Khi điện áp đầu vào đột biến từ mức thấp lên mức cao, thì điện áp đầu ra sẽ chuyển từ mức cao xuống mức thấp sau thời gian trễ t_d và thời gian sườn âm t_f . Khi điện áp đầu vào đột biến từ mức cao xuống mức thấp thì điện áp đầu ra sẽ chuyển từ mức thấp lên mức cao sau thời gian tồn trữ t_s và thời gian sườn dương t_r .



Hình 2-2-16. Thời gian truyền đạt của NAND TTL.

Thường gọi khoảng thời gian từ đột biến dương của tín hiệu đầu vào đến thời điểm điện áp ra giảm còn 1,5V là thời gian truyền đạt thông t_{p1} ; tương tự, thường gọi khoảng thời gian từ đột biến âm của tín hiệu đầu vào đến thời điểm điện áp ra tăng đến 1,5V

là thời gian truyền đạt ngắt t_{p2} . Trong các sổ tay kĩ thuật về vi mạch, ta nhận được thời gian truyền đạt trung bình :

$$t_{pd} = \frac{t_{p1} + t_{p2}}{2} \quad (2-2-13)$$

Rất khó tính toán chính xác giá trị t_{pd} , nói chung t_{pd} được xác định bằng thực nghiệm đo lường.

D - Chỉ tiêu chủ yếu

*) Mức cao tín hiệu đầu ra V_{OH} .

Khi bất kì đầu vào nào có mức thấp thì đầu ra đều phải là mức cao V_{OH} . Trên đặc tính truyền đạt điện áp, V_{OH} là điện áp đầu ra tương ứng với đoạn AB. Vì V_{OH} được đo khi không tải, nên tương ứng với khởi điểm của đặc tuyến đầu ra.

*) Mức thấp tín hiệu đầu ra V_{OL} .

Khi tất cả đầu vào đều có mức cao thì đầu ra phải là mức thấp V_{OL} . Trên đặc tính truyền đạt điện áp, V_{OL} là điện áp đầu ra tương ứng với đoạn DE. Thường V_{OL} được đo khi phụ tải chuẩn, với dòng điện phụ tải chảy vào đầu ra tranzito T_5 . (Phụ tải hút).

*) Dòng điện ngắn mạch đầu vào I_{IS}

Đó là dòng điện chảy qua đầu vào nào nối đất. Trên đặc tính đầu vào, I_{IS} tương ứng với giá trị dòng điện ở điểm cắt của đặc tuyến với trục tung. Vì dòng điện I_{IS} từ đầu vào chảy ra ngoài, nên trên đặc tuyến thể hiện giá trị âm. Khi đo giá trị I_{IS} của một đầu vào bất kì, những đầu vào khác đều được nối vào mức cao, chỉ trong điều kiện đó thì I_{IS} đo được có giá trị cực đại. Tuy vậy, vì dòng điện dò giao thoa bé không đáng kể, nên cũng có thể mặc kệ các đầu vào khác lơ lửng để việc đo đơn giản.

*) Dòng điện đầu vào I_{IH}

Khi một đầu vào bất kì có mức cao thì cũng có dòng điện chảy vào đầu vào đó. Dòng điện này bao gồm hai bộ phận : dòng điện emitơ của T_1 ở trạng thái đảo và dòng điện dò giao thoa giữa đầu vào đó với các đầu vào dư khác được nối đất. Chiều dòng điện phù hợp với quy ước nên có dấu dương. Giá trị I_{IH} tương ứng với phần nằm trên trục hoành trong đặc tuyến đầu vào (đặc tính V - A đầu vào hình 2.2.6)

*) Mức điện áp mở cổng V_{ON}

Để đầu ra có mức thấp chuẩn khi phụ tải lớn nhất, thì đầu vào phải ở mức cao. Giới hạn dưới của mức cao đầu vào gọi là điện áp mở cổng V_{ON} . Nghĩa là, điện áp đầu vào phải lớn hơn V_{ON} để cổng NAND thông. Từ đặc tính truyền đạt điện áp có thể thấy rằng V_{ON} phải lớn hơn V_T một chút.

*) Mức điện áp đóng cổng V_{OFF}

V_{OFF} là mức điện áp đầu vào tương ứng để điện áp đầu ra đạt 90% V_{OH} chuẩn. Từ đặc tính truyền đạt điện áp có thể thấy rằng V_{OFF} tương ứng với vùng tuyến tính của đặc tuyến, về giá trị thì lớn hơn 0,6V một chút. Vậy điện áp đầu vào phải nhỏ hơn V_{OFF} để cổng NAND ngắt (T_5 hở mạch).

*) Hệ số tải đầu ra N_o

Khi tải là cổng NAND cùng số hiệu, thì hệ số tải đầu ra N_o là số lượng cực đại các cổng NAND mắc song song làm tải mà một cổng NAND gánh được.

Căn cứ vào hệ số tải đầu ra N_o , dòng điện ngắn mạch đầu vào I_{IS} , dòng điện đầu vào I_{IH} ta có thể tính được dòng điện phụ tải cực đại ở trạng thái thông $N_o I_{IS}$, ở trạng thái ngắt $N_o I_{IH}$ của một cổng NAND.

*) Dòng điện nguồn khi NAND thông và ngắt I_{E1} , I_{E2}

I_{E1} là dòng điện yêu cầu nguồn điện cung cấp cho cổng NAND khi cổng NAND thông với toàn bộ đầu vào hở mạch và đầu ra không tải.

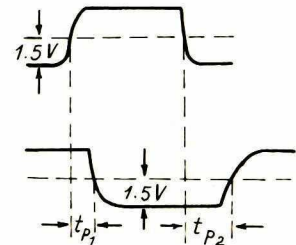
I_{E2} là dòng điện yêu cầu nguồn điện cung cấp cho cổng NAND khi cổng NAND ngắt với đầu vào ở mức thấp và đầu ra không tải.

Tuy quy định điều kiện không tải, cũng cần chỉ rõ rằng : phụ tải ảnh hưởng lớn đến I_{E2} vì NAND phải cung cấp dòng cho tải. Phụ tải ảnh hưởng nhỏ đến I_{E1} vì T_5 bão hòa.

Căn cứ vào I_{E1} , I_{E2} và E_c có thể tính được tổn hao không tải trong hai trường hợp.

*) Thời gian truyền đạt trung bình t_{pd}

Trên đây là định nghĩa t_{pd} với giả thiết tín hiệu đầu vào có dạng xung lí tưởng. Thực tế, xung đầu vào vẫn có sườn dương và sườn âm. Vậy phải lấy giá trị 1,5V là chuẩn cho thời điểm đột biến từ mức thấp lên mức cao, và ngược lại, cho tín hiệu vào, trên cơ sở đó xác định t_{p1} , t_{p2} . Xem hình 2.2.17.



Hình 2-2-17. Xác định thời gian truyền đạt.

Bảng 2.2.3 là chỉ tiêu chủ yếu của cổng NAND TTL tương ứng mạch hình 2.2.1. Trong thực tế, sản phẩm vi mạch NAND TTL rất phong phú, nên cần tham khảo tài liệu kĩ thuật của hãng sản xuất để có tham số chính xác ; những tham số đó sai lệch đáng kể với tham số điển hình của bảng 2.2.3.

Bảng 2-2-3 : CÁC CHỈ TIÊU CHỦ YẾU CỦA CỔNG NAND TTL

Tên tham số	Kí hiệu	Đơn vị	Điều kiện đo	Phạm vi
Dòng nguồn khi thông	I_{E1}	mA	Dầu vào hở ; Dầu ra không tải ; $E_c = 5V$	≤ 10
Dòng nguồn khi ngắt	I_{E2}	mA	$V_I = 0$; Không tải ; $E_c = 5V$	≤ 5
Mức ra cao	V_{OH}	V	$V_I = 0,8V$; không tải ; $E_c = 5V$	$\geq 3,0$
Mức ra thấp	V_{OL}	V	$V_I = 1,8V$; $I_L = 12,8mA$; $E_c = 5V$	$\leq 0,35$
Dòng ngắn mạch đầu vào	I_{IS}	mA	$V_I = 0$; $E_c = 5V$	$\leq 2,2$
Dòng điện đầu vào	I_{IH}	μA	$V_I = 5V$; Dầu vào khác nối đất ; $E_c = 5V$	≤ 70
Mức mở cổng	V_{on}	V	$V_{OL} = 0,35V$; $I_L = 12,8 mA$; $E_c = 5V$	$\leq 1,8$
Mức đóng cổng	V_{off}	V	$V_{OH} = 2,7V$; không tải, $E_c = 5V$	$\geq 0,8$
Hệ số tải đầu ra	N_o		$V_I = 1,8V$; $V_{OL} \leq 0,35V$; $E_c = 5V$	≥ 8
Thời gian truyền đạt	t_{pd}	ns	$f = 2MHz$; $N_o = 8$; $E_c = 5V$	≤ 30

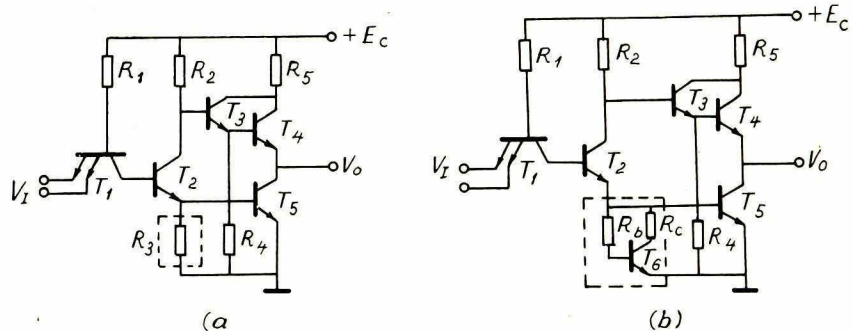
3) Các hình thái cải tiến mạch cổng NAND

Sự ứng dụng vi mạch số đã thúc đẩy sự phát triển nhanh chóng của kĩ thuật điện tử. Đồng thời, thực tiễn ứng dụng cũng đưa ra yêu cầu mới cao hơn đối với vi mạch số. Đặc biệt là các yêu cầu về : tốc độ cao, tiêu hao giảm, năng lực chống nhiễu, độ tích hợp v.v... để thỏa mãn yêu cầu đó, người ta cải tiến loại vi mạch số đã có, hoặc sáng chế các vi mạch số mới. Dưới đây, giới thiệu hai kiểu mạch cải tiến của cổng NAND TTL đã được dùng rộng rãi.

a) Mạch có nguồn phóng điện. hình 2.2.18

Trong mạch cải tiến 2.2.18b, mạch tính cực T_6 , R_b , R_c thay thế R_3 trong mạch 2.2.18a.

Mạch cải tiến là mạch nguồn điều khiển hình thành mạch phóng điện cho bazơ T_5 .

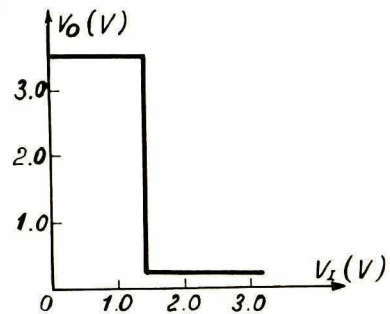


Hình 2-2-18. Mạch NAND TTL có nguồn phóng điện :

a) Mạch gốc ; b) Mạch cải tiến.

* Cải tiến đặc tính truyền đạt điện áp

Vì emitơ T_2 chỉ có thể thông qua mạch emitơ T_5 , T_6 , nên trước khi T_5 , T_6 thông thì mạch cải tiến chẳng khác gì mạch gốc và không còn giai đoạn T_2 thông mà T_5 vẫn chưa thông. Trong mạch gốc, giai đoạn T_2 thông mà T_5 chưa thông tương ứng phần tuyến tính trên đặc tuyến truyền đạt điện áp. Hình 2.2.19 là đặc tính truyền đạt của mạch 2.2.18b, không có phần tuyến tính nữa.



Hình 2-2-19. Đặc tính truyền đạt điện áp của mạch cải tiến hình 2.2.18b.

Từ hình 2.2.19, ta nhận thấy mức tạp âm cho phép khi đầu vào mức thấp của mạch cải tiến lớn hơn mạch gốc rõ rệt, $V_{NL} \approx 1V$.

* Cải tiến thời gian truyền đạt.

Khi V_I đột biến từ mức thấp đến xấp xỉ 1,4V thì cả T_5 , T_6 đều bắt đầu thông. Ở thời điểm bắt đầu thông, hầu như toàn bộ dòng emitter T_2 chảy đến bazơ T_5 , cung cấp cho T_5 xung dòng rất lớn (vượt quá giá trị cần để T_5 thông bão hòa), vì vậy giảm nhỏ thời gian trễ thông mạch của T_5 . Có thể đạt được điều đó là vì R_b nối tiếp bazơ của T_6 , sự nạp điện điện dung chuyển tiếp emitter T_6 chậm hơn sự nạp điện điện dung chuyển tiếp emitter T_5 . Kết quả T_6 thông chậm hơn T_5 một chút. Còn sau khi T_6 đã thông thì mạch T_6 phân dòng cho bazơ T_5 , giảm nhỏ dòng bazơ ở trạng thái ổn định, giảm bớt độ bão hòa của T_5 , có lợi cho sự tăng tốc quá trình ngắt mạch của T_5 .

Sau khi điện áp đầu vào có đột biến âm, T_2 ngắt đầu tiên. Tiếp đó, điện tích tồn trữ của T_5 sẽ được phóng qua mạch T_6 . Lúc này T_6 vẫn thông bão hòa, biểu thị một điện trở nhỏ của mạch phóng điện. Kết quả, T_5 nhanh chóng rời vùng bão hòa và ngắt hở mạch.

Vậy mạch tích cực T_6 , R_b , R_c thay thế R_3 đem lại sự cải tiến : rút ngắn thời gian tồn trữ động, rút ngắn thời gian trễ thông, dẫn đến rút ngắn rõ rệt thời gian truyền đạt trung bình.

Hiện nay mạch điện hình 2.2.18.b là cổng NAND TTL được dùng rộng.

b) Mạch điện chống bão hòa

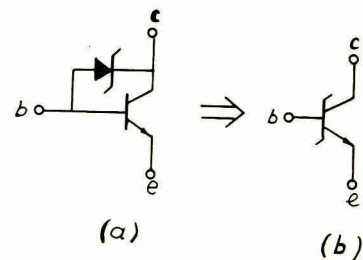
Ta đã biết rằng, tốc độ đóng mở của tranzito chịu ảnh hưởng lớn của thời gian tồn trữ. Độ sâu bão hòa của tranzito trực tiếp quyết định thời gian tồn trữ, bão hòa càng sâu, điện tích tồn trữ càng nhiều, thời gian tồn trữ (thời gian để tiêu tán điện tích đã tồn trữ) càng dài. Đối với cổng NAND TTL thì thời gian tồn trữ là phần chủ yếu của thời gian truyền đạt. Người ta tìm cách hạn chế độ sâu bão hòa của tranzito, giảm được điện tích tồn trữ, rút ngắn thời gian tồn trữ, kết quả giảm nhỏ thời gian truyền đạt.

Trong mạch điện chống bão hòa, người ta giải quyết vấn đề quá bão hòa của tranzito bằng phương pháp ghim mức nhờ SBD (Schottky Barrier Diode - Diốt rào thế Sôtki). Hình 2.2.20 giới thiệu nguyên lý phương pháp này. Người ta đấu nối SBD song song với chuyển tiếp b-c của tranzito ; nhờ vậy dòng điện bazơ có phần quá mức chảy qua SBD, mà không phun điện tích tồn trữ quá mức vào vùng collector.

SBD được chế tạo từ kim loại tiếp xúc bán dẫn.

SBD có mấy đặc điểm sau đây so với diốt thường :

- Điện áp mở tương đối thấp, khoảng $0,4 \div 0,5V$ (điện áp mở của diốt thường $0,7 \div 0,8V$)



Hình 2-2-20. Tranzito kháng bão hòa :

a) mạch điện ; b) Kí hiệu.

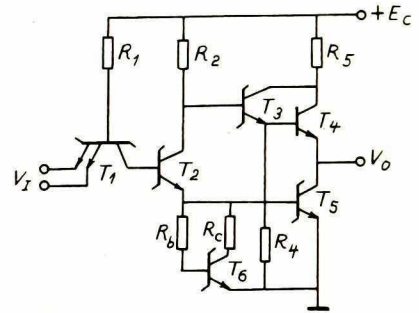
Sau khi chuyển tiếp b-c của tranzito chuyển sang phân cực thuận, SBD thông trước sẽ ghim điện áp thuận giữa b - c ở mức $0,4 \div 0,5V$.

- SBD không có hiệu ứng tổn trữ điện tích, vì vậy SBD không đưa thêm thời gian trễ vào mạch điện.

- Công nghệ chế tạo SBD là công nghệ chế tạo vi mạch TTL, vì thế việc cải tiến này không gây khó khăn cho sản xuất.

Nhờ các đặc điểm trên, việc dùng SBD giải quyết ổn thỏa vấn đề quá bão hòa của tranzito làm cho có thể xem tổng thể tranzito và SBD như một cấu kiện, được gọi là tranzito Sôtki, ký hiệu như hình 2.2.20b.

Hình 2.2.21 là mạch điện điển hình của NAND TTL chống bão hòa. Mạch điện này đồng thời sử dụng nguồn phóng điện và chống bão hòa, kết quả rút ngắn thời gian truyền đạt trung bình xuống dưới 10ns. Trong mạch này, vì T_4 không bước vào trạng thái bão hòa nên không cần SBD. T_1 cũng có SBD nên điện áp rơi trên chuyển tiếp b - c của T_1 khi ở trạng thái làm việc đảo là thấp hơn so với mạch gốc. Do đó dòng điện đầu vào giảm nhỏ, điện trở đầu vào tăng cao. Nhược điểm chủ yếu của mạch chống bão hòa là năng lực chống nhiễu hơi kém. Vì điện áp rơi trên T_5 thông tăng lên làm mức thấp của tín hiệu đầu ra tăng lên. Mặt khác, điện áp rơi trên T_1 thông tăng lên dẫn đến giảm nhỏ điện áp ngưỡng V_T . Vì vậy mức tạp âm cho phép đối với tín hiệu đầu vào mức thấp V_{NL} nhỏ hơn so với mạch gốc.



Hình 2-2-21.

Mạch NAND TTL chống bão hòa.

Nói chung, người ta thường dùng vi mạch TTL Sôtki tiêu hao công suất bé (họ vi mạch 74 LS). Trong loại vi mạch này, không chỉ áp dụng phương pháp nguồn phóng điện và phương pháp chống bão hòa, mà còn tăng lớn các điện trở. Nhờ vậy tốc độ công tác cao, công suất tổn hao giảm nhỏ.

TÓM TẮT

1) Chúng ta đã thảo luận đặc tính ngoài của cổng NAND TTL, tức là quan hệ giữa áp và dòng của mạch điện. Đặc tính ngoài bao gồm : đặc tính truyền đạt điện áp, đặc tính đầu vào và đặc tính đầu ra. Để sử dụng chính xác vi mạch TTL, cần hiểu rõ các đặc tính ngoài trên.

2) Chúng ta đã bàn các quá trình làm việc bên trong cổng NAND TTL để hiểu sâu và vận dụng tốt các đặc tính ngoài.

3) Trong điều kiện công nghệ chế tạo hiện nay, giá trị điện trở trong mạch điện có sai lệch lớn, nên đặc tính ngoài của vi mạch cùng số hiệu cũng sai lệch nhau. Số liệu định lượng dựa vào hình 2.2.1 để tính. Mục đích sự giới thiệu về số liệu là giúp độc giả có khái niệm cấp số lượng thực tế của tham số cấu kiện.

Vì nguyên nhân nói trên, các số tay kỹ thuật không cho đặc tuyến, mà chỉ cho phạm vi có thể của đặc tính ngoài. Vì thế, chúng ta phải nắm vững xu hướng biến đổi của đặc tính ngoài.

2.2.2. Các loại mạch cổng TTL khác

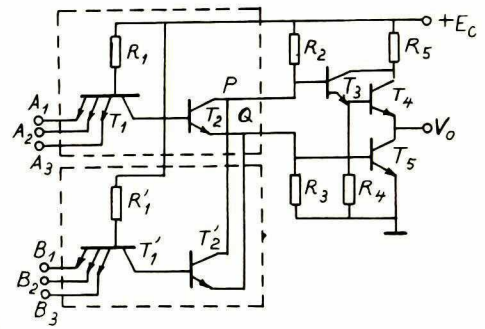
Trong hệ thống số thực tế, tính năng logic cần thiết vô cùng đa dạng. Do đó, ngoài cấu kiện cơ bản là cổng NAND, chúng ta còn sử dụng nhiều cổng khác : cổng NOR, cổng NORAND, cổng AND, cổng OR, cổng XOR, cổng hở colectơ và cổng ba trạng thái v.v...

Tuy rằng chúng loại cổng rất nhiều, nhưng các loại cổng đều có cấu trúc tương tự cổng NAND, hoặc bao gồm các bộ phận đã cấu trúc nên cổng NAND. Trên cơ sở nắm vững nguyên lý công tác và phương pháp phân tích của mạch điện cổng NAND, chúng ta dễ dàng tìm hiểu mạch điện các loại cổng khác. Dưới đây, chúng tôi giới thiệu ngắn gọn một vài cổng thường dùng.

1) Cổng NORAND

Xem hình 2.2.22.

So sánh với cổng NAND, mạch điện hình 2.2.22 có thêm T'_1 , T'_2 và R'_1 . Phần mạch thêm giống như phần mạch T_1 , T_2 và R_1 . Đầu ra của T_2 và T'_2 nối song song với nhau ở 2 điểm P và Q. Bất kì T_2 hoặc T'_2 thông, đều làm T_5 thông bão hòa, T_4 ngắt, đầu ra có mức thấp. Chỉ khi nào cả T_2 và T'_2 đồng thời ngắt, thì đầu ra mới có mức cao. Vậy quan hệ giữa đầu vào với đầu ra của mạch này là : khi nhóm đầu vào với đầu ra của mạch này là : khi nhóm đầu vào $A_1 \div A_3$ hoặc nhóm đầu vào $B_1 \div B_3$ đều là mức cao thì đầu ra là mức thấp, còn chỉ cần một nhóm đầu vào không phải toàn là mức cao thì đầu ra là mức cao. Quan hệ logic này là NORAND (VÀ - HOẶC - ĐẢO).



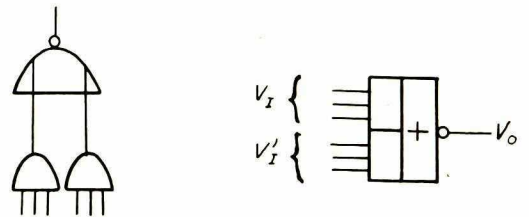
Hình 2-2-22. Mạch cổng NORAND TTL.

Từ hình 2.2.22 ta thấy, quan hệ AND giữa các tín hiệu đầu vào trong mỗi nhóm do tranzito nhiều emitơ T_1 , T'_1 thực hiện, quan hệ OR giữa hai nhóm do sự nối song song T_2 và T'_2 thực hiện, tác dụng NOT do tầng mạch điện đầu ra thực hiện. Cổng NORAND có kí hiệu như hình 2.2.23. Biểu thức logic của cổng NORAND là :

$$Z = \overline{A_1 \cdot A_2 \cdot A_3 + B_1 \cdot B_2 \cdot B_3} \quad (2-2-13)$$

2) Cổng XOR

Quan hệ logic XOR là quan hệ không có tín hiệu đầu ra khi các mức đầu vào tương đồng, còn chắc có tín hiệu đầu ra khi các mức đầu vào không tương đồng. Mạch điện thực hiện quan hệ logic XOR (hàm không tương đương) gọi là cổng XOR. Hình 2.2.24 là mạch điện thực của cổng XOR. Trên hình, phần bên phải là tương tự với tầng ra và tầng giữa của cổng



Hình 2-2-23. Hai cách kí hiệu của cổng NORAND.

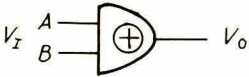
NAND. T_6 và T_7 nối song song với các emitơ và colectơ, vì vậy khi một trong hai tranzito này thông bão hòa thì đầu ra sẽ có mức thấp.

Khi A, B đều là mức cao, T_1 đảo cực, T_6 và T_{11} thông bão hòa, V_o có mức thấp. Ngược lại, nếu A, B cùng ở mức thấp thì T_4 và T_5 đều ngắt, T_7 và T_{11} thông bão hòa, V_o vẫn là mức thấp.

Nếu A hoặc B, một trong hai đầu vào có mức thấp, đầu vào kia có mức cao thì T_1 phân cực thuận thông bão hòa, T_6 ngắt, T_4 hoặc T_5 có một tranzito thông bão hòa (ứng với một đầu vào có mức cao) làm cho bazơ T_7 có mức thấp. Và lại, emitơ của T_4 và T_5 nối đất qua diốt, sau khi có một trong hai tranzito thông bão hòa, điện thế bazơ T_7 cỡ 1V làm cho T_7 ngắt. T_6 và T_7 đều ngắt thì T_{11} tất nhiên cũng ngắt, đầu ra có mức cao.

Bảng 2-2-4 : BẢNG CHÂN LÍ CÔNG XOR

A	B	Z
0	0	0
0	1	1
1	0	1
1	1	0



Hình 2-2-24. Mạch cổng XOR TTL.

Hình 2-2-25. Kí hiệu cổng XOR.

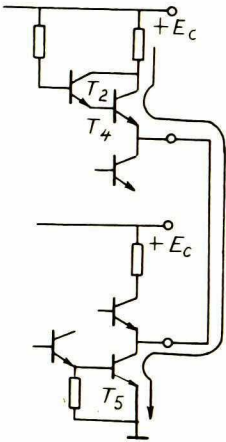
Biểu thức hàm logic XOR :

$$Z = A\bar{B} + \bar{A}B = A \oplus B \tag{2-2-14}$$

Đọc là : Z bằng A XOR B

3) Cổng NAND hở colectơ

Trong mạch cổng NAND TTL, dù tín hiệu đầu ra tích cực ở mức cao hay thấp, thì điện trở đầu ra đều rất nhỏ. Vì vậy, chúng ta không thể thực hiện quan hệ logic AND đối với các tín hiệu đầu ra của cổng NAND bằng cách đầu nối song song đầu ra của chúng. Hình 2.2.26 giải thích tại sao không thể. Gặp trường hợp một đầu ra có mức cao, một đầu ra có mức thấp, thì tất sẽ xuất hiện dòng điện rất lớn chảy từ tranzito T_4 của cổng ngắt chảy đến tranzito T_5 của cổng thông. Dòng điện này không những tăng cao mức thấp đầu ra cổng thông, mà còn làm hỏng cổng ngắt.



Hình 2-2-26. Tình huống đầu ra cổng NAND trực tiếp nối nhau.

Có thể nối trực tiếp đầu ra các cổng NAND hở colectơ để thực hiện quan hệ logic AND đối với tín hiệu đầu ra của các cổng NAND. Hình 2.2.27 giới thiệu mạch điện hình NAND hở colectơ. (Open collector - OC). Colectơ của tranzito T_5 đầu ra để hở lơ lửng.

Dưới đây, ta xét cách tính điện trở R_L mắc ở ngoài vi mạch. Xem hình 2.2.29. Giả thử có n cổng NAND hở colectơ, đầu ra nối chung (song song) để có quan hệ logic AND, phụ tải là m đầu vào của cổng NAND.

Khi n cổng OC đều ngắt, điện áp đầu ra V_O ở mức cao. Để bảo đảm mức cao đầu ra không nhỏ hơn giá trị chuẩn, thì R_L không thể quá lớn. Dưới đây là công thức tính giá trị cực đại của T_L :

$$R_{Lmax} = \frac{E_C - V_{OH}}{nI_{OH} + mI_{IH}} \quad (2-2-15)$$

V_{OH} là giá trị chuẩn điện áp ra mức cao của cổng OC. I_{OH} là dòng điện dò khi tranzito đầu ra cổng OC ngắt. I_{IH} là dòng điện đầu vào của mỗi phụ tải.

Khi bất kì một cổng OC nào thông, V_O là mức thấp. Tình trạng bất lợi nhất là khi m dòng điện phụ tải chảy vào cổng OC duy nhất đang thông. Khi đó, cần bảo đảm mức thấp đầu ra vẫn nhỏ hơn giá trị chuẩn.

Căn cứ tình hình đó được biểu thị ở hình 2.2.30, ta tính được giá trị cực tiểu của R_L :

$$R_{Lmin} = \frac{E_C - V_{OL}}{I_{LM} - mI_{IL}} \quad (2-2-16)$$

I_{LM} là giá trị cực đại cho phép của dòng điện phụ tải của mỗi cổng OC.

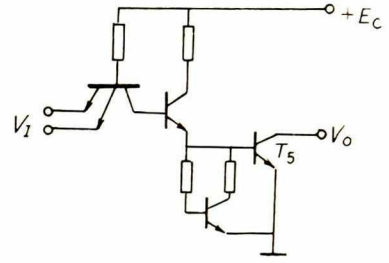
I_{IL} tức là I_{IS} , dòng điện ngắn mạch đầu vào của mỗi cổng phụ tải.

Giá trị lựa chọn đối với R_L phải là giá trị ở giữa khoảng hai giá trị R_{Lmin} và R_{Lmax} .

Đương nhiên, các loại cổng TTL khác cũng có thể có hình thức hở colectơ...

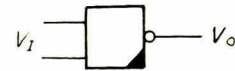
4) Cổng NAND đầu ra 3 trạng thái (Three state - TS)

Khác với cổng NAND thông thường, đầu ra cổng TS ngoài trạng thái mức cao, trạng



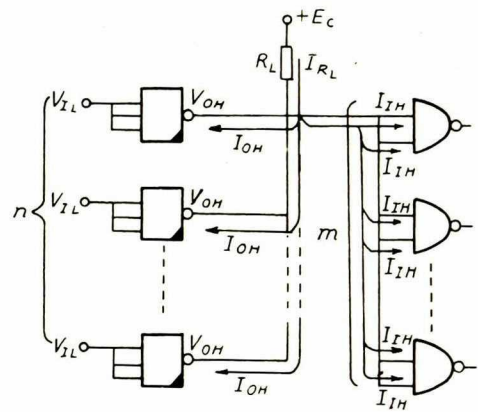
Hình 2-2-27.

Mạch cổng NAND hở colectơ.



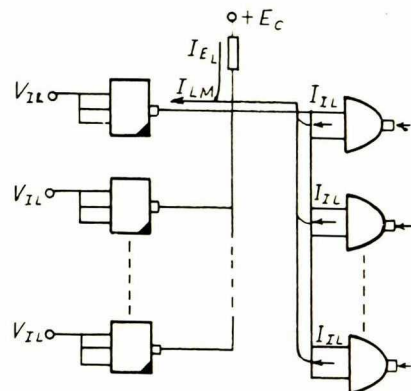
Hình 2-2-28.

Kí hiệu cổng NAND hở colectơ.



Hình 2-2-29.

Tính giá trị cực đại của R_L .



Hình 2-2-30. Tính giá trị cực tiểu của R_L .

thái mức thấp, còn có trạng thái cấm (trở kháng cao).

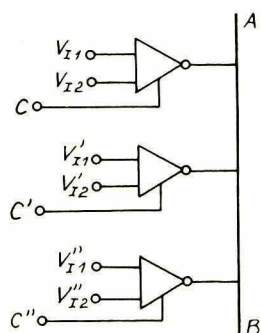
Hình 2.2.31 là mạch điện thực tế của cổng TS. Có thể cho rằng cổng TS này bao gồm 2 cổng NAND và diốt D_2 . Phần bên phải là cổng NAND có nguồn phóng điện. Phần bên trái có cổng NAND, trong đó không dùng mạch Daliton mà chỉ có tranzito T_3 ở tầng ra. Emitơ của T_3 nối tiếp với diốt D_1 để bảo đảm T_3 ngắt tin cậy khi T_2 và T_4 thông.

Khi đầu vào C có mức thấp, T_4 đưa ra tín hiệu mức cao cho T_5 . Phần mạch bên phải thực hiện hàm logic $V_o = Z = A \cdot B = V_{I1} \cdot V_{I2}$. Khi đầu vào C có mức cao, T_4 đưa ra tín hiệu mức thấp cho T_5 , làm cho T_6, T_7, T_{10} ngắt. Đồng thời, mức thấp đầu ra T_4 thông qua D_2 đến bazơ T_8 , ghìm nó ở xấp xỉ 1V, làm T_9 ngắt. Từ đầu ra nhìn vào, mạch điện ở trạng thái trở kháng cao.

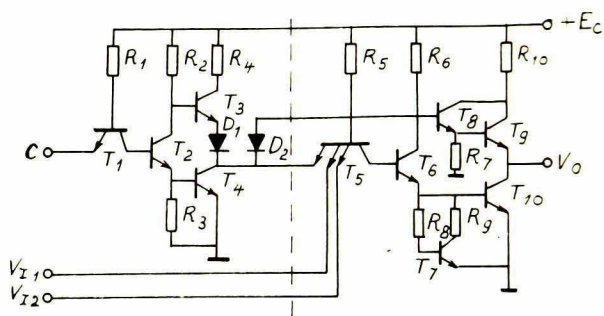
Chúng ta gọi phần mạch bên trái là phần điều khiển của cổng TS, đầu vào C là đầu điều khiển. Còn phần bên phải được gọi là phần truyền số liệu, các đầu vào V_{I1}, V_{I2} là đầu vào số liệu. Gọi trạng thái TS khi C có mức thấp là trạng thái công tác, khi C có mức cao là trạng thái trở kháng cao.

Hình 2.2.32 là kí hiệu cổng TS. Hình a là loại cổng TS công tác khi đầu điều khiển ở mức cao. Hình b là loại cổng TS công tác khi đầu điều khiển ở mức thấp (có khuyên tròn). Khi sử dụng cổng TS cần chú ý tín hiệu điều khiển.

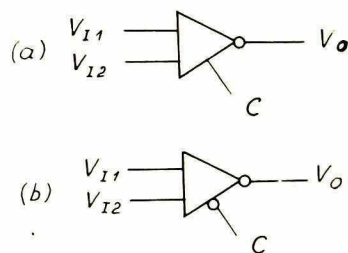
Ứng dụng quan trọng nhất của cổng TS là ghép kênh các tín hiệu cần truyền luân lưu trên một dây dẫn. Xem hình 2.2.33.



Hình 2-2-33. Ví dụ ứng dụng cổng TS.



Hình 2-2-31. Cổng NAND đầu ra 3 trạng thái.



Hình 2-2-32. Kí hiệu cổng TS :

- a) TS công tác với C mức cao ;
- b) TS công tác với C mức thấp.

Thường gọi dây dẫn AB tiếp nhận các tín hiệu là Bus. Nếu các tín hiệu điều khiển C, C' và C'' có thứ tự thời gian ở mức cao, thì các tín hiệu dữ liệu của 3 nhóm đầu vào $V_{I1}, V_{I2}; V'_{I1}, V'_{I2}; V''_{I1}, V''_{I2}$ sau khi thực hiện quan hệ logic NAND sẽ đưa ra Bus luân lưu theo thứ tự thời gian tương ứng.

Cấu trúc Bus được dùng rộng rãi trong máy tính điện tử số hiện đại.

Cần chú ý rằng, để các cổng TS nối vào một Bus làm việc bình thường thì ở một thời điểm bất kì chỉ cho phép một cổng TS duy nhất ở trong trạng thái công tác. Để bảo đảm điều kiện này, khi các cổng TS chuyển đổi trạng thái, thì tốc độ chuyển từ trạng thái công tác sang trạng thái trở kháng cao phải nhanh hơn tốc độ chuyển từ trạng thái

trở kháng cao sang trạng thái công tác. Nếu không, sẽ xảy ra sự cố có hai cổng TS thông nối với Bus. Lúc đó, nếu đầu ra một cổng mức cao, đầu ra cổng kia mức thấp, sẽ sinh ra dòng điện rất lớn từ cổng mức cao đến cổng mức thấp. Kết quả, không những sai về logic của tín hiệu, mà còn có thể làm hỏng mạch điện cổng.

2.2.3. CÁC MẠCH CỔNG TRANZITO KHÁC

Trong mạch điện vi mạch số tranzito, vi mạch TTL có ứng dụng rộng rãi nhất. Vì vi mạch TTL có các ưu điểm : tốc độ đóng mở cao, điện áp ra đủ lớn, khả năng chống nhiễu khá, khả năng chịu tải khá. Tất nhiên, còn có các loại mạch cổng tranzito khác có những đặc điểm sử dụng riêng.

1) HTL (High Threshold Logic = Vi mạch số mức ngưỡng cao)

Điện áp ngưỡng của HTL tương đối cao, thường $7 \div 8V$. Vậy nên mức tạp âm cho phép lớn, năng lực chống nhiễu cao. Nhưng tốc độ HTL tương đối thấp. HTL rất phù hợp với các thiết bị điều khiển của công nghiệp. Các thiết bị này không cần tốc độ cao hơn, nhưng cần độ tin cậy cao. Mà năng lực chống nhiễu là tiêu chuẩn quan trọng đánh giá độ tin cậy của thiết bị điều khiển.

2) ECL (Emitter Coupled Logic = Vi mạch số ghép emitter)

...Ưu điểm chủ yếu của ECL là thời gian đóng mở ngắn, khả năng chịu tải lớn, tạp âm nội bộ thấp, tỉ lệ thành phẩm khi sản xuất cao. Nhược điểm chủ yếu của ECL là mức tạp âm cho phép nhỏ, tiêu hao công suất lớn, mức điện áp ra thay đổi theo nhiệt độ. ECL được dùng nhiều trong SSI và MSI có tốc độ cao và tốc độ siêu cao.

3) I²L (Integrated Injection Logic = Vi mạch số tích hợp phun)

Để thỏa mãn nhu cầu về vi mạch cỡ lớn (LSI), người ta cố gắng tăng đến mức cao nhất độ tích hợp của vi mạch. Trên diện tích hiệu dụng của miếng bán dẫn Si (ví dụ, $6 \times 6 \text{ mm}$) cần chế tác được tối đa số phần tử logic. Muốn thế thì, một là mỗi phần tử logic phải đơn giản về mạch và chỉ chiếm diện tích nhỏ, hai là tiêu hao công suất của mỗi phần tử logic phải càng nhỏ để tiêu hao công suất tổng của miếng Si trong giới hạn cho phép. Cổng TTL không thỏa mãn điều kiện này.

Đầu những năm 70, I²L được nghiên cứu thành công để sản xuất LSI. Mỗi phần tử logic của I²L chỉ chiếm diện tích rất nhỏ, cỡ $0,0026\text{mm}^2$ và dòng điện làm việc chỉ dưới 1nA ; độ tích hợp đến 500 cổng/ 1mm^2 (độ tích hợp của vi mạch TTL cỡ 20 cổng/ 1mm^2).

Ưu điểm chủ yếu của I²L là : đơn giản, áp thấp, dòng cực nhỏ, độ tích hợp cao.

Nhược điểm chủ yếu của I²L là : tốc độ đóng mở tương đối thấp và biên độ điện áp ra nhỏ.

2.3. MẠCH CỔNG MOS

Cổng MOS là mạch các phần tử đóng mở sử dụng MOSFET. Về chức năng logic thì cổng MOS không khác gì cổng TTL. Cổng MOS có rất nhiều chủng loại.

Ở đây chúng ta chỉ xem xét các cổng MOS điển hình : Cổng NOT, cổng ANND, cổng NOR, cổng truyền dẫn CMOS. Những mạch điện MOS phức tạp hơn đều có thể quy về các cổng trên, như là bộ phận hợp thành của nó.

2.3.1. Cổng NOT họ MOS

1) Cổng NOT họ MOS phụ tải điện trở hình (2-3-1a)

Cổng NOT bao gồm một MOSFET kênh dẫn N chưa có sẵn nối tiếp với điện trở tải R_D .

a) Đặc tính tĩnh

Khi V_I là mức thấp, $V_{TL} < V_T$ thì T ngắt. $V_O = V_{OH} \approx E_D$.

Khi V_I là mức cao, $V_{IH} > V_T$ thì T thông.

$V_O = V_{OL}$

Vậy quan hệ giữa V_O và V_I là logic NOT.

(ĐẢO)

Giả định $E_D = +12V$

$V_{IH} = 12V$; $V_{IL} = 1V$; $R_D = 40K\Omega$.

Khi $V_I = V_{IL} = 1V$, vì $V_I < V_T$; T ngắt ; $V_O = V_{OH} \approx E_D$.

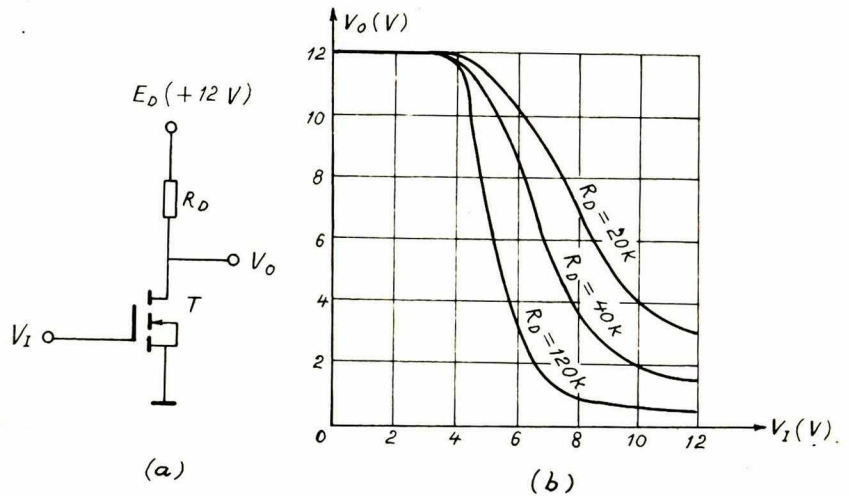
Khi $V_I = V_{IH} = 12V$, vì $V_I > V_T$; T thông ; $V_O = V_{OL}$

$$V_{OL} = \frac{E_D}{R_D + R_{ON}} R_{ON} \quad (2-3-1)$$

R_{ON} là điện trở của T khi T thông. Từ công thức (2.3.1) có thể biết rằng V_{OL} phụ thuộc R_D , R_D càng lớn thì V_{OL} càng nhỏ. Đồng thời sau khi R_D tăng lớn thì công suất tiêu thụ của cổng NOT ở trạng thái thông giảm nhỏ. Vậy sự tăng giá trị của R_D có lợi cho đặc tính tĩnh.

Hình 2.3.1b trình bày đặc tính truyền đạt điện áp của cổng NOT họ MOS có được từ thực nghiệm. Từ đặc tuyến ta thấy, R_D càng lớn thì đặc tuyến càng dốc, V_{OL} càng nhỏ, sự làm việc của cổng càng gần lí tưởng.

Ta có thể xác định mức tạp âm cho phép đối với tín hiệu đầu vào từ đặc tính truyền đạt điện áp.



Hình 2-3-1. Cổng NOT phụ tải điện trở :

a) Mạch điện ;

b) Đặc tính truyền đạt điện áp.

Xem hình 2.3.2. V_{IL} là mức thấp đầu vào, V_{IH} là mức cao đầu vào, V_{OH} là mức mở cổng, V_{OFF} là mức đóng cổng, căn cứ các biểu thức (2.2.6) và (2.2.7), ta có :

$$V_{NL} = V_{OFF} - V_{IL}$$

$$V_{NH} = V_{IH} - V_{ON}$$

Đặc tính truyền đạt điện áp càng dốc thì mức tạp âm cho phép V_{NL} , V_{NH} càng lớn. Việc tăng giá trị điện trở tải R_D cũng có lợi cho việc tăng cường khả năng chống nhiễu.

b) Đặc tính động

Hình 2.3.3. trình bày tải điện dung C_L của cổng NOT họ MOS. Đầu ra của cổng này nối vào đầu vào bao cổng khác, thông thường bỏ qua điện trở tải (vì rất lớn), nên tải của cổng có tính dung kháng.

Giả sử có xung vuông lí tưởng đưa đến đầu vào, ta hãy xét đặc tính động đáp ứng của cổng. So với quá trình nạp, phóng điện thì thời gian ngắt, thông của MOSFET có thể bỏ qua. Khi V_I đột biến lên mức cao, T thông ngay, C_L phóng điện qua T, V_{DS} giảm đến V_{OL} , hằng số thời gian mạch phóng điện tương đối nhỏ.

Khi V_I đột biến xuống mức thấp, T ngắt ngay, E_D nạp điện cho C_L qua R_D , V_{DS} tăng đến $V_{OH} = E_D$.

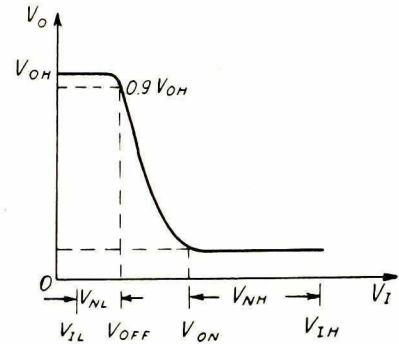
Thường đã chọn R_D tương đối to để xác định tính truyền đạt điện áp tĩnh tốt, nên tốc độ nạp điện chậm hơn nhiều so với tốc độ phóng điện. Vậy thời gian sườn dương của điện áp ra là nhân tố chủ yếu hạn chế tốc độ đóng mở của cổng MOS. Ví dụ, $R_D = 40k\Omega$, $C_L = 2pF$, $t_r = 2,2 R_D \cdot C_L = 176ns$. Vậy sự tăng R_D là bất lợi cho sự tăng tốc độ công tác, và làm tăng diện tích chiếm chỗ trên miếng S_i của R_D cũng bất lợi cho độ tích hợp của vi mạch. Trong thực tế, người ta thường thay R_D bằng một MOSFET, tạo nên cổng NOT họ MOS có phụ tải là nguồn điều khiển.

2) Cổng NOT họ MOS với phụ tải là nguồn điều khiển

Căn cứ vào đặc điểm của MOSFET làm phụ tải, ta phân cổng NOT thành 4 loại sau :

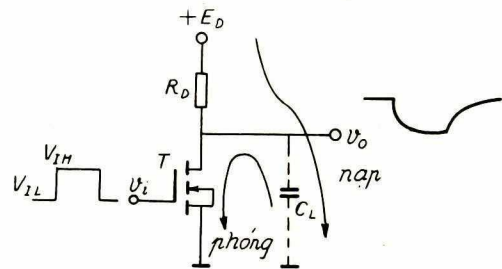
a) Cổng NOT bão hòa

Hình 2.3.4 là mạch điện điển hình của cổng NOT họ MOS với phụ tải là nguồn điều khiển kiểu bão hòa. Mạch gồm hai MOSFET kênh chưa có sẵn (các vi mạch



Hình 2-3-2.

Xác định mức tạp âm cho phép.



Hình 2-3-3.

Mạch nạp, phóng điện của C_L .

lấy phân tử hình 2.3.4 làm cơ sở được gọi là E/EMOS). Thường gọi T_1 là bóng khuếch đại, T_2 là bóng phụ tải. Vì G (cực cổng) và D (cực máng) của T_1 nối liền, nên $V_{DG2} \equiv 0$, T_2 lúc nào cũng làm việc tại vùng bão hòa của đặc tính cực máng.

Khi $V_I = 0$ giả thiết điện áp mở của bóng T_1 là $V_T = 2V$, T_1 ngắt, vậy

$$V_o = V_{OH} = E_D - V_T = 10 - 2 = 8V$$

Khi $V_I = 8V (= V_{IH})$, thì T_1 thông

$$V_o = V_{OL} = \frac{E_D}{R_{ON1} + R_{ON2}} R_{ON1}; \text{ nếu } R_{ON2} \gg R_{ON1} \text{ thì } V_o = V_{OL} \approx 0$$

Cổng NOT bão hòa khắc phục nhược điểm phải dùng điện trở tải giá trị lớn nhưng cũng tồn tại các yếu kém sau: mức cao đầu ra tương đối thấp, ($V_{OH} = E_D - V_T$) và nội trở bóng phụ tải tương đối lớn (dung hòa giữa yêu cầu đặc tính truyền đạt điện áp lí tưởng, mức thấp đầu ra đủ thấp và yêu cầu đặc tính động tốt).

b) Cổng NOT không bão hòa

Hình 2.3.5 là mạch điện điển hình của cổng NOT họ MOS với phụ tải là nguồn điều khiển kiểu không bão hòa. Mạch tương tự như kiểu bão hòa (nên đều là vi mạch E / EMOS), chỉ khác một điều là cực tổng T_2 nối vào nguồn riêng E_G . Hơn nữa, T_2 luôn luôn công tác ở vùng không bão hòa vì $V_{GS} - V_{DS} > V_{T2}$.

Khi T_1 ngắt, $V_o = V_{OH} \approx E_D$, biên độ ra lớn hơn.

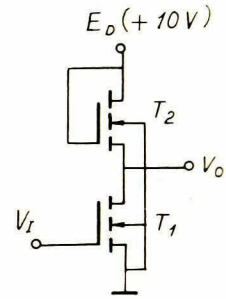
Ngoài nhược điểm nội trở bóng phụ tải tương đối lớn thì còn yêu cầu hai loại nguồn (E_D và E_G).

c) Cổng NOT với phụ tải là MOSFET kênh có sẵn.

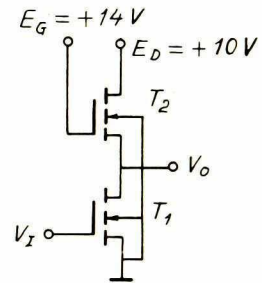
Hình 2.3.6 biểu thị cổng NOT với phụ tải là MOSFET kênh có sẵn (vi mạch với những phần tử cơ sở như vậy được gọi là E/D MOS)

Vì T_2 là MOSFET kênh có sẵn, với $V_{GS} = 0$ vẫn có dòng điện I_D , nên có thể nối liền cực cửa (G) với cực nguồn (S) của bóng phụ tải. Mức cao đầu ra của cổng NOT là $V_{OH} \approx E_D$.

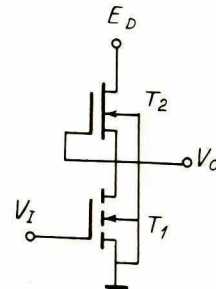
$V_{GS2} \equiv 0$, I_{D2} duy trì giá trị khá lớn trong toàn bộ phạm vi biến đổi động, do đó tần số công tác cao hơn hai loại đã xét trên. Đặc tính truyền đạt điện áp khá dốc, nên mức tạp âm cho phép khá lớn,



Hình 2-3-4.
Cổng NOT bão hòa.



Hình 2-3-5.
Cổng NOT không bão hòa.

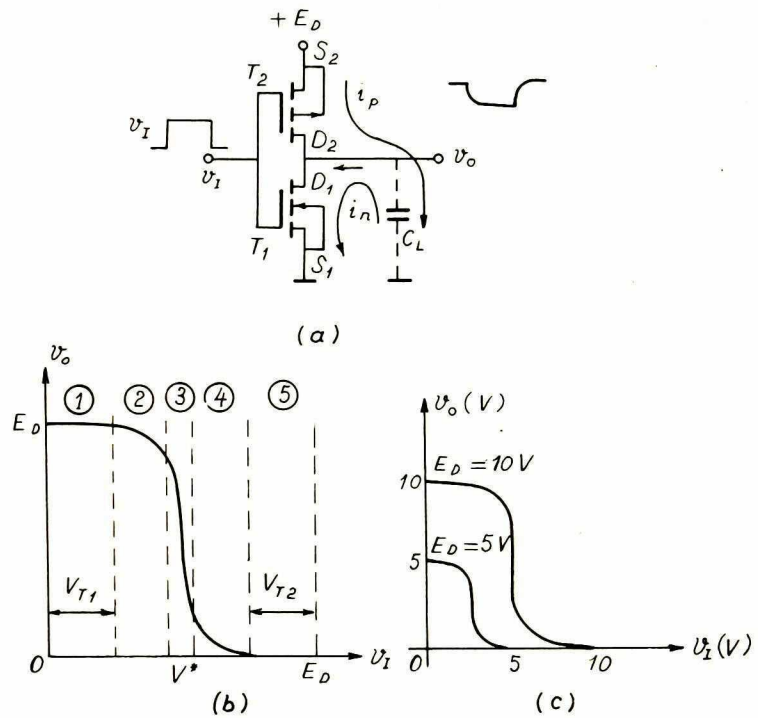


Hình 2-3-6. Cổng NOT với phụ tải là MOSFET kênh có sẵn.

có thể công tác với điện áp nguồn bé. Nhược điểm chủ yếu của loại cổng này là công nghệ chế tạo phức tạp hơn hai loại trên.

3) cổng NOT họ CMOS

Trong các cổng NOT trên, khi chọn giá trị điện trở tải ta gặp mâu thuẫn giữa hai yêu cầu của đặc tính tĩnh và đặc tính động. Có thể khắc phục mâu thuẫn đó theo biện pháp của cổng NAND TTL, đó là làm cho T_2 ngắt khi T_1 thông và T_2 thông khi T_1 ngắt. Cổng NOT họ CMOS được thiết kế như vậy. Xem mạch hình 2.3.7a T_1 vẫn là bóng MOS loại kênh dẫn N chưa có sẵn. T_2 bây giờ là bóng MOS loại kênh dẫn P chưa có sẵn. Các cực cổng của T_1 và T_2 nối với nhau thành đầu vào. Các cực máng của T_1 và T_2 nối với nhau thành đầu ra. Khi công tác thì S_2 nối cực dương nguồn còn S_1 nối đất nguồn.



Hình 2-3-7. Cổng NOT họ CMOS :

a) Mạch điện ; b, c) Đặc tính truyền đạt điện áp.

Thường $E_D > V_{T1} + |V_{T2}|$; V_{T1} và V_{T2} là các điện áp mở của T_1 và T_2 .

Khi $V_I = V_{IL} = 0$, $V_{GS1} = 0$, T_1 ngắt, $V_{GS2} = -E_D$, do đó

$|V_{GS2}| > |V_{T2}|$, T_2 thông, $V_O = V_{OH} \approx E_D$.

Khi $V_I = V_{IH} \approx E_D$, $V_{GS1} = E_D > V_{T1}$, T_1 thông, $V_{GS2} = 0$, T_2 ngắt, $V_O = V_{OL} \approx 0$

Vậy dù tín hiệu đầu vào có mức cao hay thấp, thì một trong hai bóng ở trạng thái ngắt. Do đó, dòng điện tĩnh xấp xỉ 0 (chỉ có dòng điện dò cỡ nA), công suất tiêu hao chế độ tĩnh có thể dưới μW . Điều này thuận lợi để vi mạch có độ tích hợp cao.

Đặc tính truyền đạt điện áp của cổng NOT họ CMOS biểu thị ở hình 2.3.7b.

Đặc tuyến này có 5 đoạn như sau :

1) $V_I < V_{T1}$, T_1 ngắt, T_2 thông (không bão hòa), dòng điện qua T_1 và T_2 bằng 0, vậy $V_{DS2} = 0$, $V_O = E_D$.

2) $V_I > V_{T1}$, T_1 bắt đầu thông bão hòa. Có dòng điện khá bé đi qua T_1 và T_2 . Tuy T_2 vẫn không bão hòa, nhưng $V_{DS2} \neq 0$, V_O bắt đầu giảm.

3) $V_I \approx V^*$ (xem hình 2.3.7b), T_1 và T_2 đều bão hòa, dòng điện khá lớn chảy qua T_1 và T_2 . Tương ứng với biến đổi nhỏ của V_I là biến đổi lớn của V_O ; đoạn này là dốc nhất, được gọi là đoạn quá độ.

4) V_I tiếp tục tăng, T_1 chuyển vào vùng không bão hòa, V_{DS1} giảm nhanh, V_{DS2} trở thành lớn, dòng điện qua 2 bóng bắt đầu giảm.

5) T_2 ngắt, T_1 thông không bão hòa, $V_{DS1} = 0$, $V_O = 0$

Đoạn thứ 3 của đặc tuyến rất dốc, $V^* \approx \frac{E_D}{2}$, vậy đặc tính truyền đạt điện áp của cổng NOT họ CMOS tiếp cận với đặc tính đóng mở lí tưởng.

Hình 2.3.7c biểu thị hai đặc tuyến truyền đạt điện áp tương ứng hai giá trị điện áp nguồn khác nhau. Giả thiết đặc tính T_1 và T_2 là đối xứng, thì khi $V_I = \frac{E_D}{2}$, ắt là $V_{DS1} = V_{DS2} = \frac{E_D}{2}$; $V_O = \frac{E_D}{2}$. Sự quá độ của đặc tuyến truyền đạt điện áp xảy ra ở lân cận $V_I = \frac{E_D}{2}$.

Khi điện áp vào đột biến từ mức thấp lên mức cao, T_1 thông, dòng điện phóng của C_L là i_n chảy qua nội trở nhỏ của T_1 (xem hình 2.3.7a)

Khi điện áp vào đột biến từ mức cao xuống mức thấp, T_2 thông, dòng điện nạp của C_L là i_p chảy qua nội trở nhỏ của T_2 (xem hình 2.3.7a). Vậy quá trình phóng, nạp của C_L đều xảy ra tương đối nhanh. Tốc độ đóng mở của cổng NOT họ CMOS cao hơn nhiều so với ba loại cổng NOT nói trên.

Dạng sóng cho trên hình 2.3.8 cho phép tính toán tiêu hao công suất động của cổng NOT họ CMOS.

$$P = \frac{1}{T} \left[\int_0^{T/2} i_n V_O dt + \int_{T/2}^T i_p (E_D - V_O) dt \right]$$

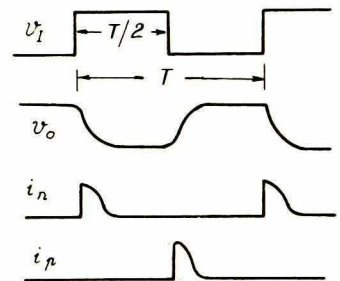
Vì

$$i_n = -C_L \frac{dV_O}{dt},$$

$$i_p = C_L \frac{dV_O}{dt} = -C_L \frac{d(E_D - V_O)}{dt}$$

thay vào biểu thức trên, ta có :

$$P = \frac{1}{T} \left[C_L \int_{E_D}^0 -V_O dV_O + C_L \int_0^{E_D} -(E_D - V_O) d(E_D - V_O) \right]$$



Hình 2-3-8. Dạng sóng.

$$\begin{aligned}
&= \frac{C_L}{T} \left[\frac{1}{2} E_D^2 + \frac{1}{2} E_D^2 \right] \\
&= C_L E_D^2 f
\end{aligned}
\tag{2-3-2}$$

(2.3.2) Cho thấy tổn hao công suất động tỉ lệ thuận với điện dung phụ tải C_L , tần số tín hiệu f và bình phương điện áp nguồn E_D^2 . Ví dụ, $E_D = 10V$; $C_L = 20pF$ $f = 100kHz$, từ (2.3.2) tính được $P = 0,2mW$.

Trong trường hợp tín hiệu đầu vào không phải là xung vuông lí tưởng, trong quá trình chuyển mức sẽ xảy ra khoảng thời gian ngắn cả T_1 và T_2 đều thông, điều đó làm cho công suất tổn hao tăng lên một ít so với kết quả tính toán theo (2.3.2).

Cổng NOT họ CMOS còn có các ưu điểm sau : phạm vi điện áp nguồn rộng (từ 3 đến 18V), mức tạp âm cho phép lớn, hệ số mắc tải đầu ra lớn. Mấy năm gần đây sự phát triển của vi mạch CMOS cực kì nhanh. Trong khu vực SSI và MSI, vi mạch CMOS đã sánh kịp vi mạch TTL. Vì công suất tổn hao nhỏ, nên CMOS có vị trí quan trọng trong khu vực LSI. Nhược điểm chủ yếu của CMOS là công nghệ phức tạp.

TÓM TẮT

Chúng ta đã tìm hiểu kĩ về cổng NOT họ MOS. Chúng được phân loại theo đặc điểm phụ tải. Giới thiệu loại tải điện trở nhằm đưa ra những kiến thức cơ sở tìm hiểu loại tải nguồn điều khiển. Loại tải sau lại phân thành E/E MOS, E/D MOS và CMOS căn cứ đặc điểm bóng phụ tải. Bảng 2.3.1. tóm tắt các cổng để tiện so sánh và ôn tập.

Bảng 2-3-1 : SO SÁNH CÁC CỔNG NOT PHỤ TẢI LÀ NGUỒN ĐIỀU KHIỂN

Loại cổng	Hình thức phụ tải	Ưu điểm	Nhược điểm
E/E MOS bảo hòa	Kênh dẫn N chưa có sẵn công tác ở vùng bão hòa	Công nghệ đơn giản	Biên độ tín hiệu ra nhỏ tốc độ thấp.
E/E MOS không bão hòa	Kênh dẫn N chưa có sẵn công tác ở vùng không bão hòa	Biên độ tín hiệu ra lớn	Cần 2 nguồn tốc độ tương đối thấp
E/D MOS	Kênh dẫn N có sẵn công tác với $V_{GS} = 0$	Biên độ tín hiệu ra lớn tốc độ cao, mức tạp âm cho phép lớn	Công nghệ chế tạo phức tạp
CMOS	Kênh dẫn P chưa có sẵn công tác ở trạng thái đóng mở	Tiêu hao công suất nhỏ, tốc độ cao, biên độ ra lớn, mức tạp âm cho phép lớn, phạm vi điện áp nguồn rộng, hệ số tải đầu ra lớn	Công nghệ chế tạo phức tạp, giá thành cao

2.3.2. Cổng NAND và NOR họ MOS

Trên cơ sở cổng NOT họ MOS, người ta dễ dàng chế tạo tất cả các mạch logic khác, mà phần tử điển hình nhất là tổng NAND và cổng NOR.

1) Cổng NAND họ MOS

a) Cổng NAND loại E/E MOS

Hình 2.3.9. trình bày mạch điện cổng NAND, sự thực hiện của nó là thêm vào một MOSFET khuếch đại trong sơ đồ cổng NOT. Chỉ khi nào hai tín hiệu đầu vào A, B đồng thời ở mức cao, T_1 và T_2 đồng thời thông, thì đầu ra Z mới là mức thấp. $V_{OL} \approx 0$. Còn bất kì có đầu vào nào ở mức thấp, đầu ra Z ở mức cao :

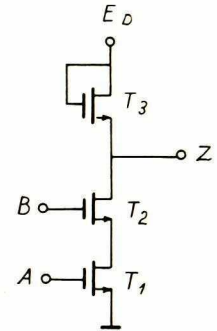
$$V_{OH} = E_D - V_{T3}$$

Quan hệ logic của cổng là : $Z = \overline{A \cdot B}$

Mức thấp đầu ra là tổng các điện áp rơi trên T_1 , T_2 thông. Nếu số đầu vào tăng thì mức thấp đầu ra sẽ tăng. Các bóng khuếch đại nối tiếp nhau nên điện thế cực nguồn (S) của các bóng nào càng gần bóng tải thì càng cao, tương ứng điện áp tín hiệu vào phải càng lớn thì bóng đó mới thông, vậy đòi hỏi biên độ tín hiệu vào phải lớn. Hai nhược điểm trên hạn chế số đầu vào.

Hình 2-3-9.

Cổng NAND E/E MOS.

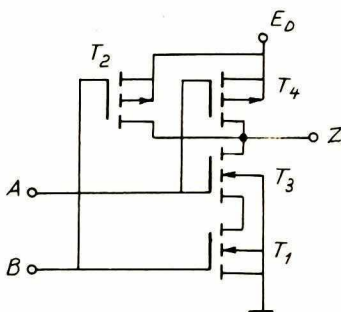


b) Cổng NAND loại E/D MOS

Hình 2.3.10 trình bày mạch cổng NAND loại E/D MOS. Nguyên lí công tác và đặc điểm giống cổng NAND loại E/E MOS. Chỉ có một điều khác là mức cao đầu ra cao hơn ($V_{OH} \approx E_D$)

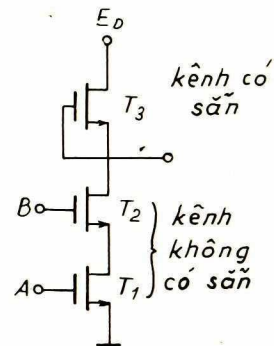
c) Cổng NAND loại CMOS

Xem hình 2.3.11 hai bóng khuếch đại T_1 , T_3 là kênh N chưa có sẵn. Hai bóng phụ tải T_2 , T_4 là kênh P chưa có sẵn. Hai bóng khuếch đại mắc nối tiếp. Hai bóng phụ tải mắc song song.



Hình 2-3-11.

Cổng NAND CMOS.



Hình 2-3-10.

Cổng NAND E/D MOS.

Chỉ khi A, B đều là mức cao, T_1 và T_3 đồng thời thông, T_2 và T_4 ngắt, thì đầu ra Z mới là mức thấp. Nhưng điện trở đầu ra là 2 lần nội trở của mỗi bóng khuếch đại. Khi A, B đều là mức thấp, T_1 và T_3 đồng thời ngắt, T_2 và T_4 thông, nhưng điện trở đầu ra là một nửa nội trở của mỗi bóng phụ tải. Khi một đầu vào mức thấp, một đầu vào mức cao thì các bóng

khuếch đại không thông và chỉ có 1 bóng phụ tải thông và điện trở đầu ra là nội trở của nó. Vậy nếu đầu ra có mức cao thì điện trở đầu ra phụ thuộc tổ hợp trạng thái tín hiệu đầu vào.

Nếu phải tăng số đầu vào, thì số bóng khuếch đại mắc nối tiếp nhau tăng lên, phát sinh vấn đề mức thấp đầu ra bị tăng. Để khắc phục vấn đề này, người ta có thể áp dụng những mạch phức tạp hơn, chẳng hạn thêm vào hai cấp ĐẢO (cổng NOT) ở đầu ra.

Trong trường hợp có nhiều đầu vào, trạng thái đầu vào khác nhau cũng làm thay đổi một ít đặc tính truyền đạt điện áp. Hình 2.3.12 biểu thị cổng NAND 3 đầu vào, với các cách đầu nối khác nhau chỉ khi có một tín hiệu đầu vào. Sau đây ta giải thích sự chênh lệch của đặc tính tương ứng. Trường hợp a : 1 đầu vào tín hiệu, 2 đầu vào nối nguồn.

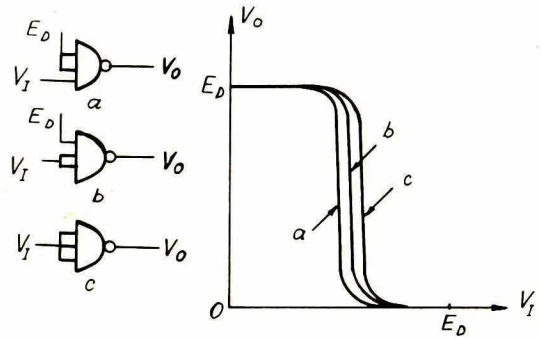
Hai đầu nối nguồn làm 2 bóng phụ tải tương ứng hoàn toàn ngắt, 2 bóng khuếch đại tương ứng hoàn toàn thông với nội trở nhỏ. Thường biên độ tín hiệu đầu vào lớn hơn tổng giá trị tuyệt đối của các điện áp mở bóng phụ tải và bóng khuếch đại. Vì vậy trong quá trình đột biến dương của V_I , có khoảng thời gian ngắn cả hai bóng (phụ tải và khuếch đại) đều thông, tương ứng là đoạn quá độ của đặc tính truyền đạt điện áp. Khi đó, điện áp đầu ra là sự phân áp trên nội trở của hai bóng (hai bóng này chưa hoàn toàn thông nên nội trở của chúng ta là đáng kể, nội trở các bóng khuếch đại khác nhỏ đến mức có thể bỏ qua).

Trường hợp b : 2 đầu vào nối chung một tín hiệu, 1 đầu vào nối nguồn. Khi V_I tương ứng với giá trị quá độ, thì 2 bóng khuếch đại và 2 bóng phụ tải đồng thời thông, nhưng bóng khuếch đại mắc nối tiếp còn bóng phụ tải mắc song song, nên kết quả sự phân áp là tăng cao mức điện áp ra V_O . Do đó, đặc tính truyền đạt điện áp dịch sang phải như hình 2.3.12 đã biểu thị. Giá trị ngưỡng cũng tăng một chút.

Trường hợp c : 3 đầu vào chung một tín hiệu. Đặc tính truyền đạt điện áp dịch thêm sang phải.

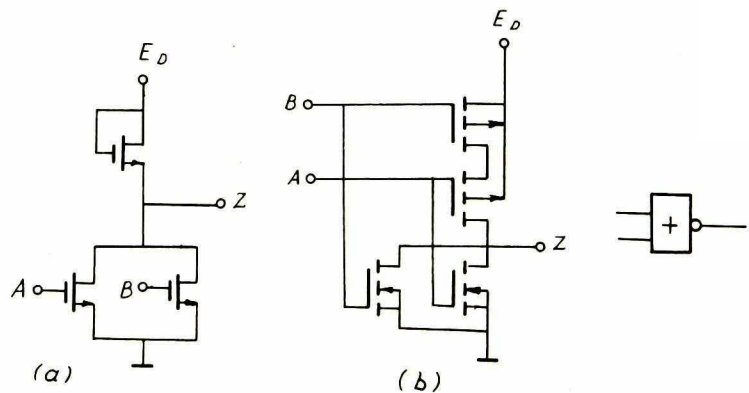
2) Cổng NOR

Nếu trong sơ đồ cổng NOT, ta thêm bóng khuếch đại đầu song song, thì ta được sơ đồ cổng NOR. Hình 2.3.13 trình bày mạch điện cơ bản của cổng NOR họ



Hình 2-3-12.

Trạng thái đầu vào ảnh hưởng đến đặc tính truyền đạt điện áp.



Hình 2-3-13. Cổng NOR :

a) E/EMOS ;

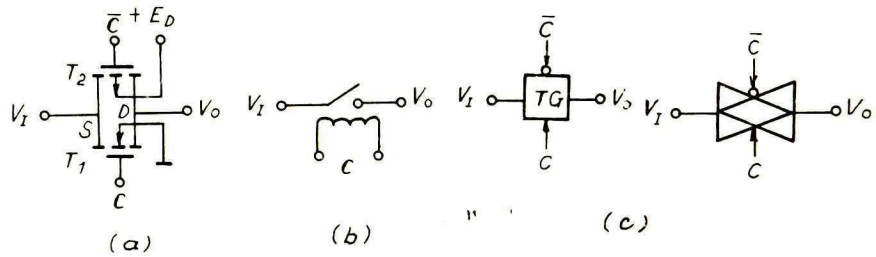
b) CMOS.

E/EMOS và cổng NOR họ CMOS. Vì bóng khuếch đại đấu song song, nên điện trở đầu ra khi đầu ra ở mức thấp không bao giờ lớn hơn nội trở của một bóng khuếch đại thông mạch ; do đó không có vấn đề mức thấp đầu ra tăng cao theo số đầu vào. Cổng NOR vì vậy được dùng nhiều nhất trong vi mạch MOS. Nhận xét hình 2.3.13, dù mạch E/EMOS hay CMOS, chỉ cần có 1 đầu vào ở mức cao thì đầu ra sẽ có mức thấp, giữa đầu vào và đầu ra có quan hệ logic NOR

$$Z = \overline{A + B}$$

2.3.3. Cổng truyền dẫn và chuyển mạch tương tự họ CMOS

Hình 2.3.14a biểu thị cổng truyền dẫn do nối song song một MOSPET kênh P chưa có sẵn với một MOSFET kênh N chưa có sẵn ; mạch này được gọi là cổng truyền dẫn họ CMOS.



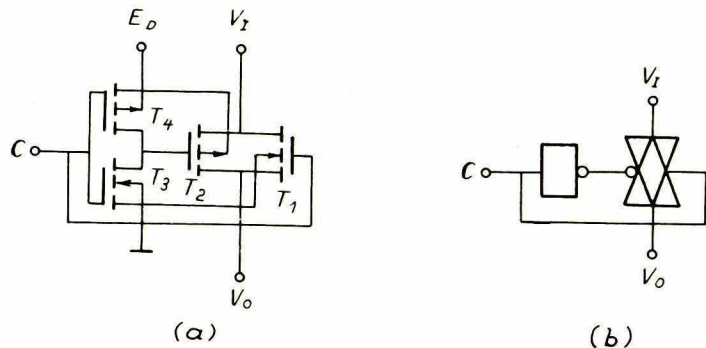
Hình 2-3-14. Cổng truyền dẫn CMOS.

a) Mạch điện b) Mạch tương đương c) Kí hiệu

Hình 2.3.14a cho thấy : cực nguồn S của T_1 và T_2 nối chung làm đầu vào, cực máng D của T_1 và T_2 nối chung làm đầu ra, ở cực cổng của T_1 và T_2 có các tín hiệu điều khiển ngược pha C và $\bar{C}$. Giả sử tín hiệu điều khiển có mức cao $V_{CH} = E_D$ và mức thấp $V_{CL} = 0$. Khi $C = 1$ ($\bar{C} = 0$) và $V_I \approx V_{CH}$; thì $V_{GS1} \approx 0$; $V_{GS2} \approx -V_{CH}$; T_2 thông, T_1 ngắt ; Còn nếu $V_I \approx 0$, thì T_1 thông, T_2 ngắt ; Nếu $V_I \approx \frac{E}{2}$ thì T_1 và T_2 đồng thời thông. Tóm lại, khi $C = 1$ thì lúc nào cũng có bóng thông với nội trở vài trăm Ω , tương đương sự tiếp thông của chuyển mạch.

Khi $C = 0$ ($\bar{C} = 1$), chỉ cần $V_I = 0 \div E_D$, thì T_1 và T_2 đều ngắt, lúc này chỉ có dòng điện dò cỡ pA chảy qua, tương đương sự ngắt hở mạch của chuyển mạch.

Vì cấu trúc của MOSFET đối xứng, S và D có thể hoán vị, do đó cổng truyền dẫn họ CMOS là hai chiều, còn gọi là chuyển mạch 2 chiều.



Hình 2-3-15. Chuyển mạch tương tự

a) Mạch điện b) Kí hiệu

Cổng truyền dẫn và cổng logic phối hợp với nhau thì có thể tạo ra mọi mạch điện CMOS phức tạp, ví dụ như : tạo xung, đếm, ghi dịch, giải toán, vi xử lý, bộ nhớ v.v...

Một ứng dụng quan trọng khác của cổng truyền dẫn là chuyển mạch tương tự. Hình 2.3.15 giới thiệu mạch điện thực tế của chuyển mạch tương tự do cổng truyền dẫn và cổng NOT cấu trúc nên.

Khi $C = 1$ thì chuyển mạch nối thông.

Khi $C = 0$ thì chuyển mạch ngắt hở.

Vì vậy, chuyển mạch này có thể đóng ngắt điện áp tương tự với biên độ tùy ý trong phạm vi $V_{CL} \div V_{CH}$.

TÓM TẮT

Chương 2 đã trình bày cấu trúc, nguyên lý và đặc điểm của các cổng thường dùng. Xuất phát từ thực tế mạch điện đã vi mạch hóa, nên trọng tâm chú ý nghiên cứu của chúng ta là các cổng được vi mạch hóa.

Có 2 loại vi mạch số phổ biến nhất : TTL và MOS. TTL là công nghệ điển hình trong nhóm công nghệ tranzto bao gồm TTL, HTL, ECL, I²L, MOS là công nghệ vi mạch sử dụng MOSFET, trong đó điển hình là CMOS...

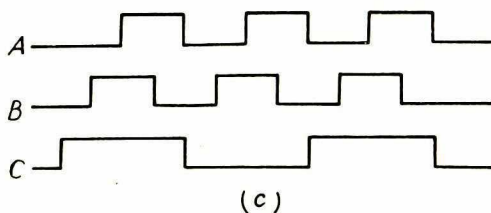
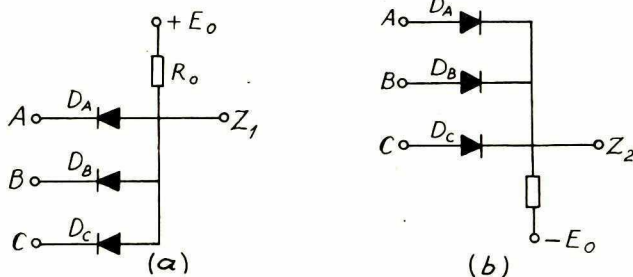
BÀI TẬP

1-2. Thế nào là logic AND, OR, NOT. Hãy lấy 2 ví dụ cho mỗi logic.

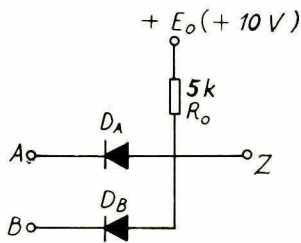
2-2. Cho mạch điện diốt

a- Phân tích quan hệ logic giữa đầu ra Z_1 , Z_2 với các đầu vào A, B, C.

b- Cho dạng sóng tín hiệu đầu vào A, B, C ở hình C. Hãy vẽ dạng sóng Z_1 và Z_2 (tín hiệu vào có biên độ đủ lớn theo yêu cầu)



2-3. Cho mạch điện



D_A , D_B là diốt Si. Điện áp rơi khi diốt thông là 0,7V. Do điện áp ở B và Z bằng đồng hồ vạn năng có nội trở $20k\Omega/V$. Hỏi giá trị đo được trong các trường hợp sau :

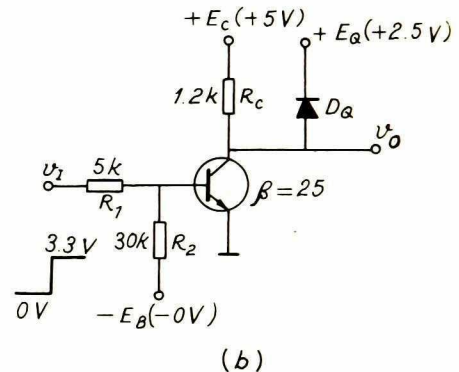
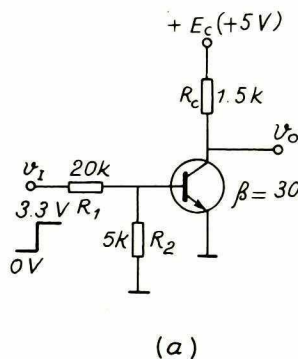
- $V_A = 0,3V$, B hở
- $V_A = 10V$, B hở
- A nối $5k\Omega$, B hở
- A nối 5V, B nối $5k\Omega$
- A nối $2k\Omega$, B nối 5V.

2-4. Logic dương là gì. Logic âm là gì ?

2-5. Cho mạch điện

tranzito

Hãy phân tích, tính toán để xác định, trạng thái công tác của tranzito.



2-6. Mạch cổng diốt có nhược điểm gì. Mạch cổng tranzito khắc phục những nhược điểm trên như thế nào ?

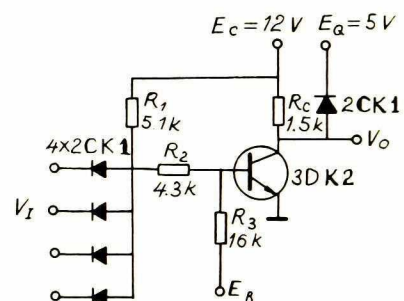
2-7. Cho mạch điện

Giả thiết $V_{IH} = 5,5V$, $V_{IL} = 0,3V$

a - Cho $\beta = 30$; $E_B = 8V$. Hỏi tranzito có thể ngắt và thông bão hòa tin cậy không ?

b - Để bảo đảm tranzito thông bão hòa khi $V_I = 5,5V$; $E_B = -8V$ thì giá trị tối thiểu của β là bao nhiêu ?

c - Để bảo đảm tranzito ngắt tin cậy khi $V_I = 0,3V$ thì giá trị tối đa của E_B là bao nhiêu ?



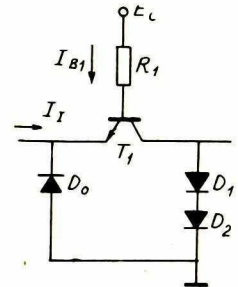
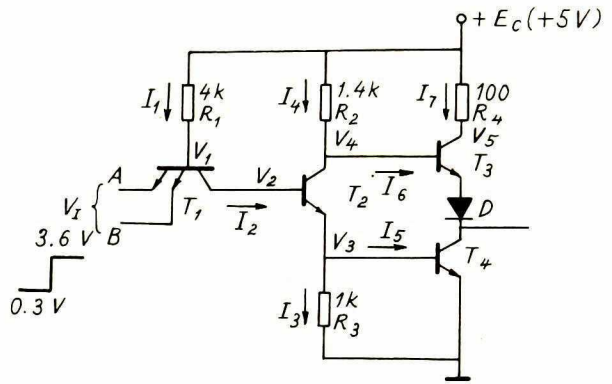
2-8. Với mạch đã cho ở đề 2.7, gọi các đầu vào là A, B, C, D, giả thiết mức cao là 5,5V, mức thấp là 0,3V, $E_B = -8V$, $\beta = 30$. Gọi Z là tín hiệu đầu ra của mạch. Hãy viết bảng chân lí và hàm logic tương ứng của mạch với 2 trường hợp : logic dương và logic âm.

2-9. Cho mạch điện TTL

a - Phân tích chức năng logic của mạch.

b - Tác dụng của D và R_4 là gì ?
Nếu chuyển vị trí của D đến bazơ T_3 thì có ảnh hưởng gì đến sự làm việc bình thường của mạch.

c - $V_{IL} = 0,3 \text{ V}$, $V_{IH} = 3,6 \text{ V}$. Hãy tính các giá trị $V_1 \div V_5$ và $I_1 \div I_7$ trong hai trường hợp. Giả thiết $\beta_2 = \beta_3 = \beta_4 = 20$ còn $\beta_1 = 0,01$ (T_1 ở chế độ đảo cực)



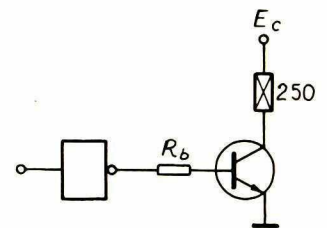
2-10. Mạch tương đương đầu vào của một cổng TTL như đã cho. Hãy tính dòng điện ngắn mạch đầu vào I_{IS} và dòng điện bazơ của T_1 khi hở mạch I_{BI} . Nếu có nguồn -2 V nối vào đầu vào thì có xảy ra chuyện gì không. Do là diốt bảo hộ đầu vào, không ảnh hưởng đến sự làm việc bình thường.

$E_c = 5 \text{ V}$; $R_1 = 4 \text{ k}\Omega$; $\beta_1 = 0,01$.

2-11. Giả thiết dùng đồng hồ vạn năng nội trở $20 \text{ k}\Omega/\text{V}$ để đo điện áp đầu vào hở mạch của cổng NAND TTL, hỏi giá trị đo được trong 5 trường hợp sau :

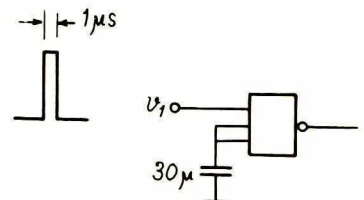
- Khi các đầu vào khác cũng hở mạch.
- Khi các đầu vào khác nối vào cực dương của nguồn điện.
- Khi có một trong những đầu vào khác nối đất.
- Khi toàn bộ các đầu vào khác nối đất.
- Khi các đầu vào khác nối vào $0,35 \text{ V}$.

2-12. Cho mạch điện : cổng NAND TTL kích mạch khuếch đại tranzito để điều khiển rơle. Điện áp tác động của rơle là 8 V . Để bảo đảm độ tin cậy, khi đầu ra cổng NAND có mức cao, tranzito phải thông bão hòa, hỏi giá trị β và R_b . Giả thiết đặc tính đầu ra của cổng NAND cho như hình 2.2.13, $E_c = 12 \text{ V}$, điện trở một chiều của cuộn dây rơle là 250Ω .

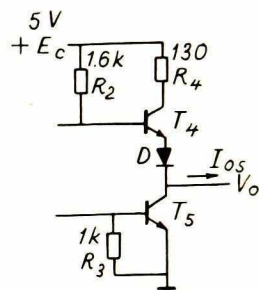


2-13. Để chống can nhiễu đầu vào dư, có thể dùng tụ điện như hình vẽ được không.

(Hình vẽ cho xung tín hiệu rất hẹp, cho tụ điện trị số lớn)



2-14. Cho mạch điện hình đầu ra cổng TTL. Xác định dòng điện ra ngắn mạch I_{OS} khi T_5 ngắt. Giả thiết $\beta_4 = 20$.

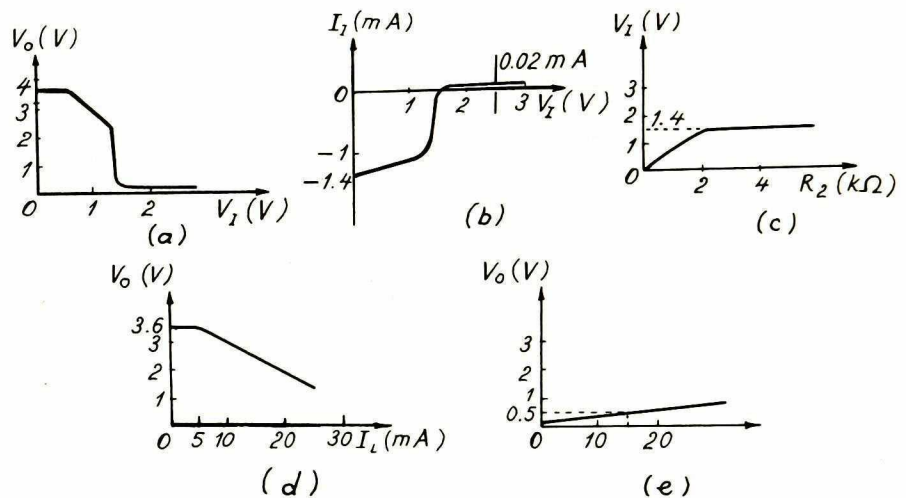


2-15. Cho các đặc tính của cổng NAND TTL

Với $V_{IH} = 3,6V$; $V_{IL} = 0,3V$ ($V_{OH} > 3V$; $V_{OL} < 0,3V$)

Hãy xác định gần đúng các tham số sau và điền vào đúng chỗ trên đặc tính :

V_{IL} , V_{IH} , V_{OL} ,
 V_{OH} , V_{ON} , V_{OFF} ,
 V_{NL} , V_{NH} , V_T ,
 R_{ON} , R_{OFF} , I_{IS} ,
 I_{IH} , I_{LM} (hút và phun)



2-16. Cho các đặc tính của cổng NAND TTL như trong bài tập 2.15. Giả thiết $V_{IH} = 3,6V$, $V_{IL} = 0,3V$, $V_{OH} > 3V$; $V_{OL} > 3V$. Cho các mạch sau.

a - Xác định phạm vi giá trị cho phép của R để thỏa mãn

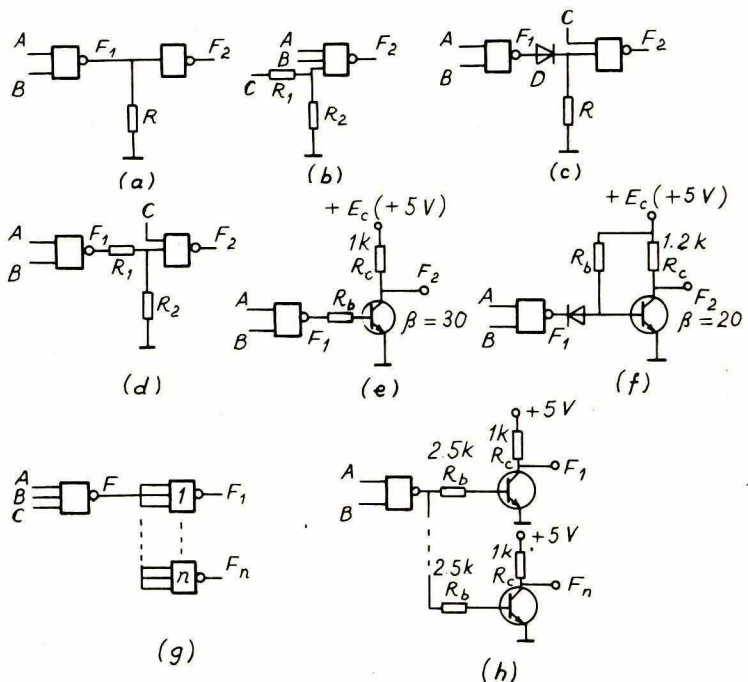
$$F_1 = \overline{AB} ; F_2 = \overline{AB}$$

b - Xác định phạm vi giá trị cho phép của R_2 để

$$F = \overline{ABC} . \text{ Cho } R_1 = 1,2K\Omega$$

c - Xác định phạm vi giá trị cho phép của R để

$$F_1 = \overline{AB} ; F_2 = \overline{AB} \cdot C$$



d - Giá trị R_1 và R_2 phải thỏa mãn điều kiện gì để

$$F_1 = \overline{AB} ; F_2 = \overline{AB C}$$

e - Xác định phạm vi giá trị cho phép của R_b để $F_1 = \overline{AB} ; F_2 = \overline{AB}$

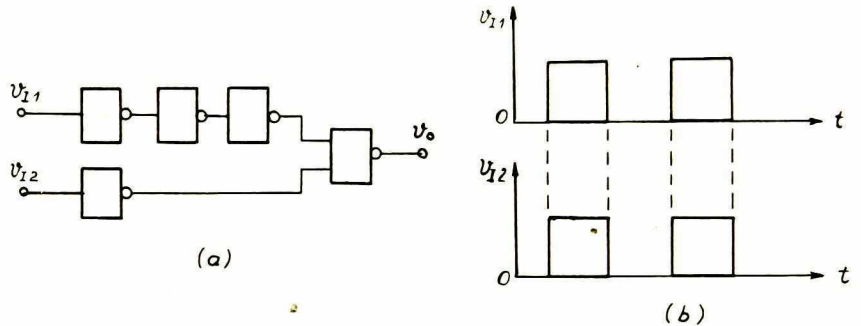
g - Cổng NAND TTL 3 đầu vào có thể chịu tải là bao nhiêu cổng cùng loại.

h - Cho các tranzito đều có $\beta = 25$, hỏi cổng NAND TTL có thể chịu tải tối đa bao nhiêu bộ khuếch đại đảo tranzito.

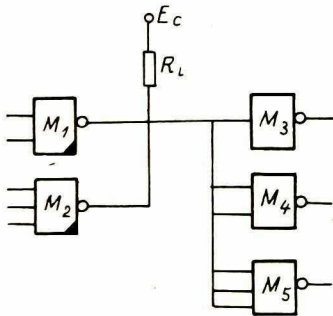
2-17. Cho mạch điện và dạng sóng tín hiệu đầu vào. Giả thiết thời gian truyền đạt trung bình của mỗi cổng là 20ns, tần số lặp của tín hiệu là 2,5 MHz. Thử vẽ :

a - Dạng sóng tín hiệu đầu ra V_o khi bỏ qua thời gian truyền đạt.

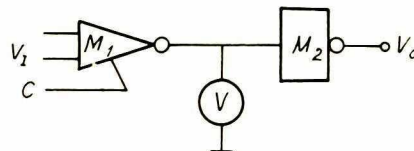
b - Dạng sóng tín hiệu đầu ra V_o thực tế (kể đến thời gian truyền đạt).



2-18. Cho mạch điện : M_1 và M_2 là 2 cổng NAND hở colecto. Mỗi cổng cho phép dòng điện hút cực đại là 13mA (đầu ra mức thấp), dòng điện dò khi đầu ra mức cao nhỏ hơn $250\mu A$. M_3 , M_4 , M_5 cổng NAND TTL, số đầu vào của M_3 là 1, của M_4 là 2, của M_5 là 3 và đều đầu vào nhau. Giả thiết dòng điện ngắn mạch của



cổng NAND TTL là 1,6mA, dòng điện dò đầu vào $< 50\mu A$, $E_c = 5V$. Hỏi R_L chọn bao nhiêu.



2-19. M_1 là cổng 3 trạng thái, M_2 là cổng NAND TTL. Hỏi điện thế đầu ra cổng ba trạng thái trong 2 trường hợp đầu điều khiển C ở mức cao và mức thấp.

2-20. Cho các mạch logic TTL với giả định thực hiện :

$$F_1 = \overline{AB} \cdot \overline{CD}$$

$$F_2 = \overline{AB \cdot CD}$$

$$F_3 = \overline{AB + CD}$$

$$F_4 = AB + CD$$

$$F_5 = \overline{AB} \cdot \overline{CD}$$

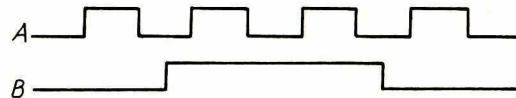
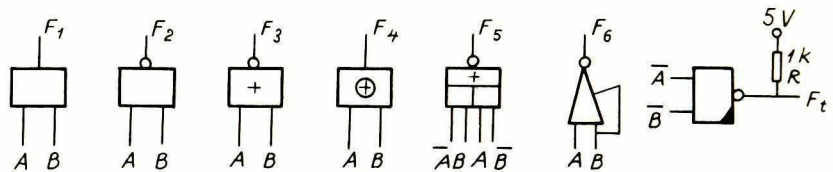
$$R_{ON} = 2k\Omega ; R_{OFF} = 0,8k\Omega$$

Năng lực chịu tải phun
 $< 5mA$;

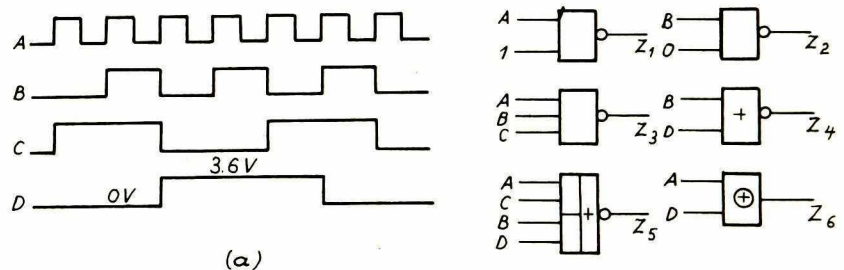
Năng lực chịu tải hút
 $< 15mA$;

Hỏi những mạch điện trên
 có thể làm việc bình thường
 hay không. Lí do.

2-21. Cho mạch
 điện cổng TTL và dạng
 sóng điện áp tín hiệu
 đầu vào. Hãy vẽ dạng
 sóng đầu ra $F_1 \div F_7$
 của các cổng logic.



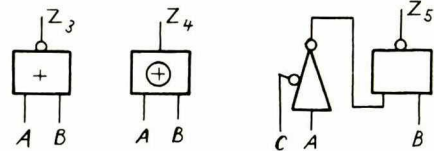
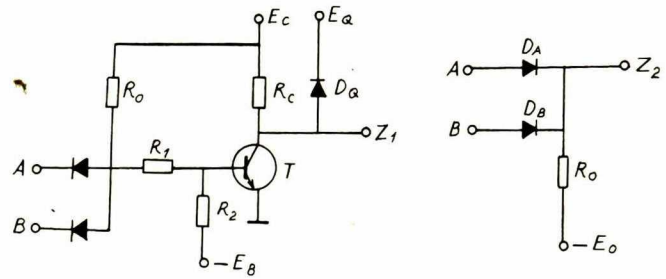
2-22. Cho sơ đồ các
 cổng và dạng sóng đầu
 vào. Hãy vẽ dạng sóng
 đầu ra của các cổng :



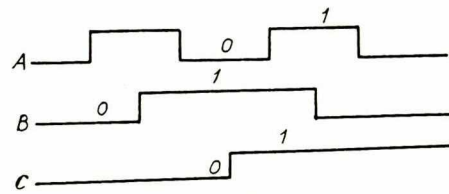
2-23. Cho mạch điện các cổng và dạng sóng đầu vào. Hãy viết biểu thức hàm logic đầu ra

Z_1, Z_2, Z_3, Z_4, Z_5

Và vẽ dạng sóng tín hiệu đầu ra.



(a)



(b)

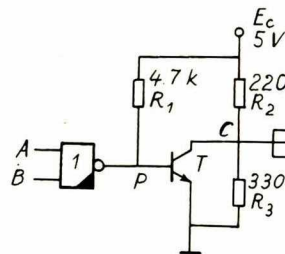
2-24. Cho mạch điện và dạng sóng

Cổng 1 là cổng NAND hở collector

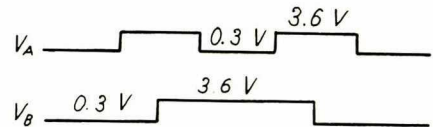
Khi bão hòa $V_o = 0,3V$.

Cổng 2 là cổng NANDTTL có đặc tính ngoài cho ở bài tập 2.15

Tranzito T khi bão hòa $V_{CES} = 0,3V$
 $V_{BE} = 0,7V$



(a)



(b)

a - Hãy tính V_p, V_c, V_z khi $V_A = 0,3V$

b - Hãy tính V_p, V_c, V_z khi $V_A = V_B = 3,6V$

c - Cho $I_{LM} = 18mA$, hỏi đầu ra Z có thể chịu tải bao nhiêu cổng NAND TTL như cổng 2.

d - Nếu R_1 đứt, mạch điện có thể làm việc được không. Tại sao. Tính V_z .

e - Nếu R_2 đứt, mạch điện có thể làm việc được không. Tại sao. Tính V_z .

g - Nếu R_3 đứt, mạch điện có thể làm việc được không tại sao. Tính V_z .

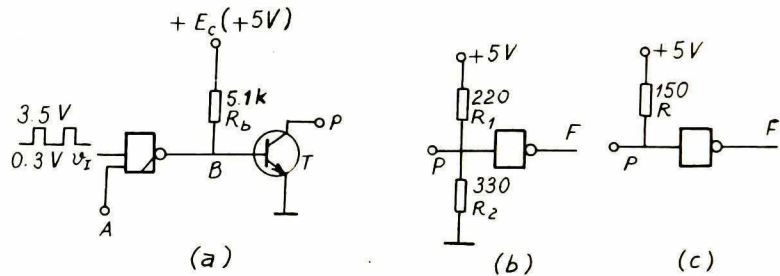
h - Có thể đổi cổng 1 thành cổng NAND TTL như cổng 2 có được không ?

i - Hãy viết biểu thức hàm logic đầu ra Z.

k - Hãy vẽ dạng sóng V_P , V_C , V_Z tương ứng V_A , V_B và ghi chú các giá trị điện áp.

2-25. Cho mạch điện cổng ; a nối tiếp với mạch cổng ; b thì làm việc bình thường, nhưng nếu a nối với c thì không làm việc bình thường được.

Cho biết tham số của cổng NAND là $V_T = 1,4V$
 $I_{IS} = 1,4mA$, $I_{IH} = 50\mu A$.



Tranzito có tham số : $\beta = 28$; $I_{CM} = 30mA$.

a - Hãy tính tình hình công tác trạng tĩnh trong hai trường hợp trên.

b - Hãy vẽ dạng sóng P và F tương ứng $A = 1$, $A = 0$ trong hai trường hợp trên.

2-26. Hãy phân tích mạng cổng NOT hình 2.3.1a.

Nếu muốn công suất tổn hao nhỏ và biên độ tín hiệu ra lớn, thì yêu cầu đặc tính bóng và giá trị R_O như thế nào.

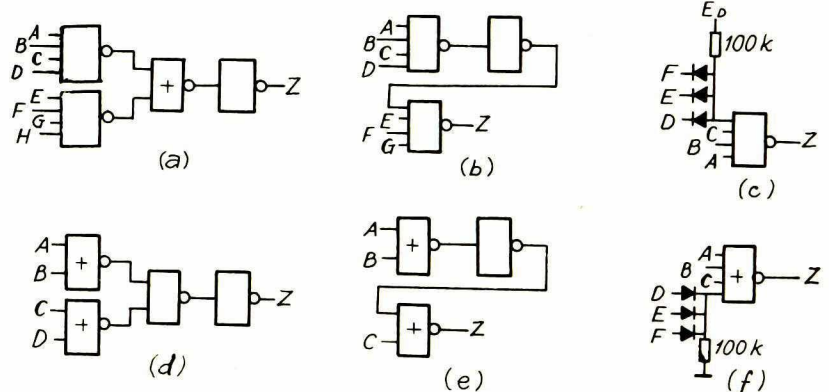
2-27. Tại sao chỉ dùng 1 bóng MOS thay thế điện trở tải R trong cổng NOT họ MOS. Căn cứ đặc điểm bóng phụ tải, cổng NOT họ MOS có mấy loại. Hãy vẽ mạch điện của chúng.

2-28. Trình bày đặc điểm của cổng NOT họ MOS và cổng NOT họ CMOS.

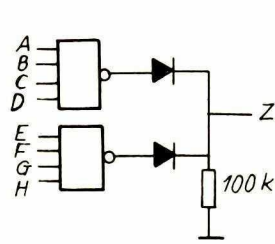
2-29. Có cho phép đấu vào mạch CMOS để hở lờ lửng không ? có thể nối đầu vào để hở đó tương đương mức logic 1 hay không ?

2-30. Cho các mạch điện CMOS.

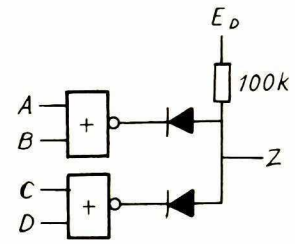
Hãy phân tích để viết biểu thức hàm logic của chúng. Hãy vẽ sơ đồ mạch logic tương đương đơn giản hóa của chúng.



2-31. Hãy phân tích để viết biểu thức hàm logic Z các mạch điện CMOS đã cho.

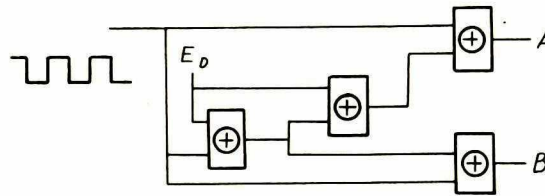


(a)

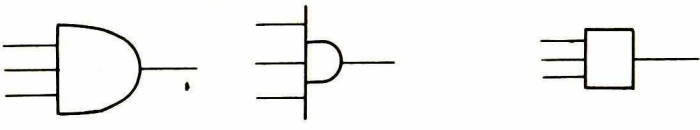
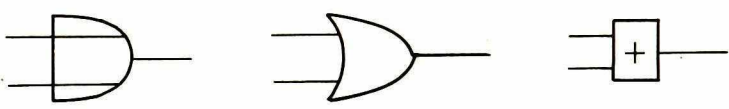
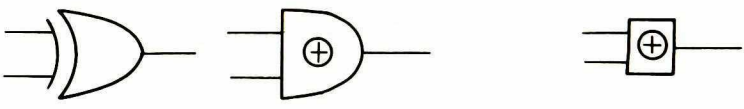
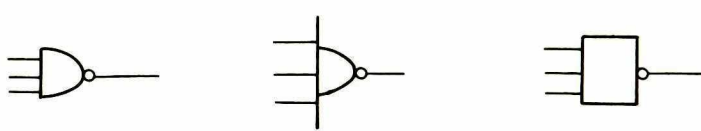
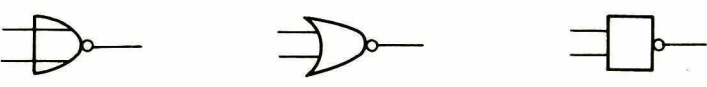


(b)

2-32. Hãy phân tích và vẽ ra dạng sóng đầu ra của mạch điện CMOS sau



Phụ lục : BẢNG KÍ HIỆU CÁC CỔNG

Tên cổng theo chức năng logic	Các kí hiệu tương đương
AND	
OR	
NOT	
XOR	
NAND	
NOR	
NORAND	

Chương 3

CƠ SỞ ĐẠI SỐ LOGIC

3.1. KHÁI NIỆM CƠ BẢN, CÔNG THỨC VÀ ĐỊNH LÝ

Đại số logic do George Boole, nhà toán học nước Anh, sáng tạo vào giữa thế kỉ XIX – So với đại số thường, đại số logic đơn giản hơn nhiều. Tuy đại số logic cũng dùng chữ biểu thị biến số, nhưng biến số logic chỉ lấy giá trị rất đơn giản, 1 và 0, không có giá trị thứ ba nào nữa. Hơn nữa, 0 và 1 ở đại số logic không chỉ biểu thị số lượng to nhỏ cụ thể, mà chủ yếu là để biểu thị hai trạng thái logic khác nhau (ví dụ, dùng 1 và 0 để biểu thị : đúng và sai, thật và giả, cao và thấp, có và không, mở và đóng v.v...). Trong đại số logic có một số quy tắc giống với đại số thường, nhưng lại có một số quy tắc hoàn toàn khác với đại số thường, chúng ta cần lưu ý phân biệt trong quá trình học tập.

3.1.1. Phép toán logic và hàm logic cơ bản

1) Phép toán logic cơ bản

Như ta đã biết, quan hệ logic cơ bản nhất chỉ có 3 loại : VÀ, HOẶC, PHỦ ĐỊNH. Vậy nên trong đại số logic, cũng chỉ có tương ứng 3 phép toán logic cơ bản nhất là : nhân logic – VÀ, cộng logic – HOẶC, đảo logic – PHỦ ĐỊNH. Các mạch điện thực hiện 3 phép toán cơ bản nhất, tương ứng là các cổng VÀ (AND), HOẶC (OR), ĐẢO (NOT)

Hình 3-1-1. Kí hiệu logic của các cổng cơ bản.

Tương ứng, hình 3-1-1a : $Z_1 = A.B$ (3-1-1)

hình 3-1-1b, b' : $Z_2 = A + B$ (3-1-2)

hình 3-1-1c : $Z_3 = \bar{A}$ (3-1-3)

Ngoài ba phép toán logic cơ bản nhất trên đây, chúng ta còn thường xuyên gặp các phép toán logic sau : VÀ – PHỦ ĐỊNH, HOẶC – PHỦ ĐỊNH, VÀ – HOẶC –

Luật hoàn nguyên :

Công thức 13 $\overline{\overline{A}} = A$ (3-1-32)

Phương pháp chứng minh các công thức trên là lập bảng tất cả các giá trị có thể của các biến và tính tương ứng với vế phải, vế trái riêng rẽ. Nếu đẳng thức giữa hai vế tồn tại với tất cả các giá trị có thể thì công thức là đúng. Công thức 5 và công thức 13 rất dễ chứng minh. Dưới đây sẽ chứng minh làm mẫu các công thức 10' và công thức 12.

Ví dụ 3-1-1. Chứng minh công thức 10'

$$A + B \cdot C = (A + B) \cdot (A + C)$$

Giải : lập bảng tất cả các giá trị có thể của biến và tính như sau

Bảng 3-1-1

A	B	C	B.C	A+B.C	A+B	A+C	(A+B) (A+C)
0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0
0	1	0	0	0	1	0	0
0	1	1	1	1	1	1	1
1	0	0	0	1	1	1	1
1	0	1	0	1	1	1	1
1	1	0	0	1	1	1	1
1	1	1	1	1	1	1	1

Tất cả các giá trị của 3 biến A, B, C tạo thành 8 tổ hợp. Bảng chân lí của hàm $A + B.C$ trùng với bảng chân lí của hàm $(A + B)(A + C)$. Vậy công thức $A + B.C = (A + B) \cdot (A + C)$ đã được chứng minh.

Ví dụ 3-1-2 : Chứng minh công thức 12

$$\overline{A \cdot B} = \overline{A} + \overline{B}$$

Giải : Lập bảng tất cả các giá trị có thể của biến và tính như sau

Bảng 3-1-2

A	B	A.B	$\overline{A \cdot B}$	$\overline{A}$	$\overline{B}$	$\overline{A} + \overline{B}$
0	0	0	1	1	1	1
0	1	0	1	1	0	1
1	0	0	1	0	1	1
1	1	1	0	0	0	0

Tất cả các giá trị của 2 biến A, B tạo thành 4 tổ hợp. Bảng chân lí của hàm $\overline{A \cdot B}$ trùng với bảng chân lí của hàm $\overline{A} + \overline{B}$. Vậy công thức 12 đã được chứng minh.

5) 3 quy tắc về đẳng thức

a) Quy tắc thay thế

Trong bất kì đẳng thức logic nào, nếu thay một biến nào đó bằng một hàm số thì đẳng thức vẫn thiết lập.

Quy tắc này có ứng dụng rất lớn trong biến đổi công thức để tạo ra công thức mới từ một công thức đã biết, mở rộng phạm vi ứng dụng của công thức đã biết.

Ví dụ : Công thức đã biết $\overline{A \cdot B} = \overline{A} + \overline{B}$. Dùng $Z = A \cdot C$ thay vào biến A, ta có :
 $\overline{(A \cdot C) \cdot B} = \overline{A \cdot C} + \overline{B} = (\overline{A} + \overline{C}) + \overline{B}$ hay là $\overline{A \cdot C \cdot B} = \overline{A} + \overline{C} + \overline{B}$

b) Quy tắc tìm đảo của một hàm số

$\overline{Z}$ là đảo của hàm số Z sẽ có được từ Z bằng cách đổi dấu "." thành dấu "+" ; "+" thành dấu "." ; "0" thành "1", "1" thành "0", biến số thành đảo của biến số đó, đảo biến số thành nguyên biến số.

Ví dụ : $Z = \overline{A} \cdot \overline{B} + C \cdot D + 0$ có hàm đảo tương ứng là
 $\overline{Z} = (A + B) \cdot (\overline{C} + \overline{D}) \cdot 1$.

$Z = A + B + \overline{C} + \overline{D} + \overline{E}$ có hàm đảo là $\overline{Z} = \overline{A} \cdot \overline{B} \cdot C \cdot D \cdot E$

Khi tìm đảo của một hàm số, những gạch ngang nào (biểu thị phép toán đảo) ở trên nhiều biến thì vẫn giữ nguyên. Cũng cần chú ý thứ tự ưu tiên xử lí các kí hiệu : dấu móc, dấu nhân, dấu cộng. Ví dụ, $Z = \overline{A} \cdot \overline{B} + C \cdot D$, theo thứ tự phép tính phải làm phép nhân $\overline{A} \cdot \overline{B}$ và $C \cdot D$ trước, sau mới tới phép cộng giữa chúng. Vậy thứ tự xử lí kí hiệu để tìm đảo sẽ dẫn tới kết quả $\overline{Z} = (A + B) \cdot (\overline{C} + \overline{D})$

(Nếu viết $\overline{Z} = A + B \cdot \overline{C} + \overline{D}$, là sai !)

c) Quy tắc đối ngẫu

Hàm Z và hàm Z' gọi là đối ngẫu, khi các dấu "+" và ".", các giá trị "1" và "0" đổi chỗ cho nhau một cách tương ứng.

Ví dụ :

$$\begin{aligned} Z &= A \cdot (B + C) \\ Z' &= A + B \cdot C \\ Z &= A + B \cdot \overline{C} \\ Z' &= A \cdot (B + \overline{C}) \\ Z &= A \cdot \overline{B} + A \cdot (C + 0) \\ Z' &= (A + \overline{B}) \cdot (A + C \cdot 1) \\ Z &= (A + B) \cdot (A + C \cdot 1) \\ Z' &= A \cdot B + A \cdot (C + 0) \\ Z &= \overline{\overline{A} + B + \overline{C}} & Z' &= \overline{\overline{A} \cdot B \cdot \overline{C}} \\ Z &= \overline{\overline{A} \cdot B \cdot \overline{C}} & Z' &= \overline{\overline{A} + B + \overline{C}} \end{aligned}$$

Vì đối ngẫu là tương hỗ, nên nếu một đẳng thức đã tồn tại đối với biểu thức vế trái và biểu thức vế phải, thì đối ngẫu của vế trái và đối ngẫu của vế phải cũng là một đẳng thức.

Quy tắc đối ngẫu nói trên cho phép từ các công thức 1 ÷ 12 suy ra các công thức 1' ÷ 12' (và ngược lại)

Ví dụ :

$$\text{Ta đã biết } A + B.C.D = (A + B).(A + C).(A + D)$$

$$\text{Có thể suy ra } A.(B + C + D) = A.B + A.C + A.D$$

Cần lưu ý thứ tự ưu tiên xử lý kí hiệu khi tìm biểu thức đối ngẫu.

Áp dụng quy tắc đối ngẫu có thể làm cho số công thức cần chứng minh giảm đi một nửa. Sau khi đã chứng minh hai biểu thức bằng nhau, căn cứ quy tắc đối ngẫu, các đối ngẫu của đẳng thức đã chứng minh cũng phải bằng nhau. Vậy nên, khi giới thiệu những công thức sau đây, chúng ta sẽ không đưa ra các công thức dạng đối ngẫu của chúng.

6) Một số công thức thường dùng

Sử dụng những công thức và quy tắc ở phần trên, chúng ta có thể được càng nhiều công thức mới, dưới đây là các công thức thường dùng

$$\text{Công thức 14 : } A.B + A.\bar{B} = A \quad (3-1-33)$$

Chứng minh :

$$A.B + A.\bar{B} = A.(B + \bar{B}) = A$$

Vậy, nếu biến số B và đảo biến số $\bar{B}$ cùng nhân một biến số A thì tổng hai tích đó bằng A (gộp A.B với A. $\bar{B}$ được A bỏ B, $\bar{B}$)

$$\text{Công thức 15 : } A + A.B = A \quad (3-1-34)$$

Chứng minh :

$$A + A.B = A.(1 + B) = A \quad (\text{Theo công thức 6', } 1 + B = 1)$$

Vậy, nếu trong tổng các tích có một số hạng là thừa số trong một số hạng khác, thì số hạng có nhiều thừa số hơn là thừa (có thể bỏ đi)

$$\text{Công thức 16 : } A + \bar{A}.B = A + B \quad (3-1-35)$$

Chứng minh :

Theo công thức 10', ta có :

$$A + \bar{A}.B = (A + \bar{A}).(A + B) = 1.(A + B) = A + B$$

Vậy, nếu trong tổng các tích, có đảo của một số hạng là thừa số trong một số hạng khác, thì thừa số đó là thừa (không cần viết)

$$\text{Công thức 17 : } A.B + \bar{A}.C + BC = A.B + \bar{A}.C \quad (3-1-36)$$

Chứng minh :

$$\begin{aligned} A.B + \bar{A}.C + BC &= A.B + \bar{A}.C + B.C(A + \bar{A}) \\ &= A.B + \bar{A}.C + B.C.A + B.C.\bar{A} \\ &= A.B + A.B.C + \bar{A}.C + \bar{A}.CB \\ &= A.B + \bar{A}.C \end{aligned}$$

$$\text{Hệ quả : } A.B + \bar{A}.C + B.C.D = A.B + \bar{A}.C \quad (3-1-37)$$

(lưu ý áp dụng công thức 17 và 15 để chứng minh)

Vậy, nếu trong tổng các tích, xuất hiện một biến và đảo của biến đó trong hai số hạng khác nhau, các thừa số còn lại trong hai số hạng đó làm thành thừa số của một số hạng thứ ba, thì số hạng thứ ba là thừa (có thể bỏ đi).

$$\text{Công thức 18 : } \overline{A \cdot \bar{B} + \bar{A} \cdot B} = \bar{A} \cdot \bar{B} + A \cdot B \quad (3-1-38)$$

Chứng minh :

$$\begin{aligned} \overline{A \cdot \bar{B} + \bar{A} \cdot B} &= \overline{A \cdot \bar{B}} + \overline{\bar{A} \cdot B} = (\bar{A} + B)(A + \bar{B}) \\ &= (\bar{A} \cdot A + \bar{A} \cdot \bar{B}) + (B \cdot A + B \cdot \bar{B}) \\ &= 0 + \bar{A} \cdot \bar{B} + A \cdot B + 0 \end{aligned}$$

$$\text{Công thức 19 : } \overline{A \cdot B + \bar{A} \cdot C} = A \cdot \bar{B} + \bar{A} \cdot \bar{C} \quad (3-1-39)$$

Chứng minh :

$$\begin{aligned} \overline{A \cdot B + \bar{A} \cdot C} &= \overline{A \cdot B} \cdot \overline{\bar{A} \cdot C} = (\bar{A} + \bar{B}) \cdot (A + \bar{C}) \\ &= (\bar{A} \cdot A + \bar{A} \cdot \bar{C}) + (\bar{B} \cdot A + \bar{B} \cdot \bar{C}) \\ &= 0 + \bar{A} \cdot \bar{C} + A \cdot \bar{B} + \bar{B} \cdot \bar{C} = \bar{A} \cdot \bar{C} + A \cdot \bar{B} \text{ (theo công thức 17)} \end{aligned}$$

Vậy công thức 18 là một trường hợp riêng của công thức 19, nếu một hàm là tổng của hai tích, có một biến trong số hạng thứ nhất và đảo của biến đó trong số hạng thứ hai, thì nếu lấy đảo tất cả các thừa số còn lại, ta sẽ được đảo của hàm đã cho.

7) Những công thức với XOR (phép cộng với sự loại trừ)

Định nghĩa phép XOR :

$$A \oplus B = A \cdot \bar{B} + \bar{A} \cdot B \quad (3-1-40)$$

Hàm logic XOR = 1 khi các biến A, B lấy các giá trị khác nhau,

và XOR = 0 khi các biến A, B lấy các giá trị bằng nhau.

Tên hàm XOR, vì vậy, mang ý nghĩa DỊ HOẶC, HOẶC TUYỆT ĐỐI

Đảo của XOR là :

$$\begin{aligned} A \cdot B &= \overline{A \oplus B} = \overline{A \cdot \bar{B} + \bar{A} \cdot B} = \bar{A} \cdot \bar{B} + A \cdot B \quad (3-1-41) \\ &\text{(áp dụng công thức 19)} \end{aligned}$$

Hàm $A \cdot B = 1$ khi các biến A, B lấy các giá trị bằng nhau

$A \cdot B = 0$ khi các biến A, B lấy các giá trị khác nhau

$A \cdot B$ có tên là hàm TƯƠNG ĐƯƠNG

$$1. \text{Luật giao hoán} \quad A \oplus B = B \oplus A \quad (3-1-42)$$

$$2. \text{Luật kết hợp} \quad (A \oplus B) \oplus C = A \oplus (B \oplus C) \quad (3-1-43)$$

$$3. \text{Luật phân phối} \quad A \cdot (B \oplus C) = A \cdot B \oplus A \cdot C \quad (3-1-44)$$

Chứng minh :

$$A \cdot (B \oplus C) = A \cdot (B \cdot \bar{C} + \bar{B} \cdot C) = A \cdot B \cdot \bar{C} + A \cdot \bar{B} \cdot C$$

Vì công thức 7 : $A \bar{A} = 0$, $A \bar{A} B = A \bar{A} C = 0$, nên ta có

$$\begin{aligned}
 AB\bar{C} + A\bar{B}C &= AB\bar{C} + A\bar{B}C + A\bar{A}B + A\bar{A}C = AB\bar{A} + AB\bar{C} + \bar{A}AC + \bar{B}AC \\
 &= AB(\bar{A} + \bar{C}) + (\bar{A} + \bar{B})AC = AB\bar{A}\bar{C} + \bar{A}BAC \\
 &= AB \oplus AC
 \end{aligned}$$

$$\text{Vậy } A.(B \oplus C) = AB \oplus AC$$

4. Các phép toán của biến và hằng số :

$$\text{Từ định nghĩa (3-1-40), ta có :} \quad A \oplus 1 = \bar{A} \quad (3-1-45)$$

$$A \oplus 0 = A \quad (3-1-46)$$

$$A \oplus A = 0 \quad (3-1-47)$$

$$A \oplus \bar{A} = 1 \quad (3-1-48)$$

5. Luật đổi chỗ nhân quả

$$\text{Nếu } A \oplus B = C$$

$$\text{Thì } A \oplus C = B \text{ và } B \oplus C = A$$

Chứng minh :

$$\text{Vì } A \oplus B = C$$

$$\text{Nên } A \oplus B \oplus B = C \oplus B$$

$$A \oplus 0 = B \oplus C$$

$$A = B \oplus C$$

8) Định lý triển khai

$$\begin{aligned}
 &F(A_1, A_2, \dots, A_n) \\
 &= A_1 \cdot F(1, A_2, \dots, A_n) + \bar{A}_1 \cdot F(0, A_2, \dots, A_n) \quad (3-1-49)
 \end{aligned}$$

$$\begin{aligned}
 &F(A_1, A_2, \dots, A_n) \\
 &= [A_1 + F(0, A_2, \dots, A_n)] \cdot [\bar{A}_1 + F(1, A_2, \dots, A_n)] \quad (3-1-50)
 \end{aligned}$$

Chứng minh :

Thay $A_1 = 0$ vào đẳng thức, ta có :

$$\begin{aligned}
 &F(0, A_2, \dots, A_n) \\
 &= 0 \cdot F(1, A_2, \dots, A_n) + \bar{0} \cdot F(0, A_2, \dots, A_n) \\
 &= F(0, A_2, \dots, A_n) \\
 &F(0, A_2, \dots, A_n) \\
 &= [0 + F(0, A_2, \dots, A_n)] \cdot [\bar{0} + F(1, A_2, \dots, A_n)] \\
 &= F(0, A_2, \dots, A_n) \cdot [1 + F(1, A_2, \dots, A_n)] \\
 &= F(0, A_2, \dots, A_n) \cdot 1 \\
 &= F(0, A_2, \dots, A_n)
 \end{aligned}$$

Thay $A_1 = 1$ vào, ta có :

$$\begin{aligned}
& F(1, A_2, \dots, A_n) \\
&= 1 \cdot F(1, A_2, \dots, A_n) + \bar{1} \cdot F(0, A_2, \dots, A_n) \\
&= F(1, A_2, \dots, A_n) + 0 \cdot F(0, A_2, \dots, A_n) \\
&= F(1, A_2, \dots, A_n) + 0 \\
&= F(1, A_2, \dots, A_n) \\
& F(1, A_2, \dots, A_n) \\
&= [1 + F(0, A_2, \dots, A_n)] \cdot [\bar{1} + F(1, A_2, \dots, A_n)] \\
&= 1 \cdot [0 + F(1, A_2, \dots, A_n)] \\
&= 1 \cdot F(1, A_2, \dots, A_n) \\
&= F(1, A_2, \dots, A_n)
\end{aligned}$$

Ta đã thấy rằng đẳng thức luôn luôn đúng dù A_1 lấy giá trị bất kì. Vậy định lí đã được chứng minh. Bằng phương pháp tương tự như trên, ta có thể rút ra hệ quả :

$$\begin{aligned}
& A_1 \cdot F(A_1, A_2, \dots, A_n) \\
&= A_1 \cdot F(1, A_2, \dots, A_n) \quad (3-1-51)
\end{aligned}$$

$$\begin{aligned}
& A_1 + F(A_1, A_2, \dots, A_n) \\
&= A_1 + F(0, A_2, \dots, A_n) \quad (3-1-52)
\end{aligned}$$

$$\begin{aligned}
& \bar{A}_1 \cdot F(A_1, A_2, \dots, A_n) \\
&= \bar{A}_1 \cdot F(0, A_2, \dots, A_n) \quad (3-1-53)
\end{aligned}$$

$$\begin{aligned}
& \bar{A}_1 + F(A_1, A_2, \dots, A_n) \\
&= \bar{A}_1 + F(1, A_2, \dots, A_n) \quad (3-1-54)
\end{aligned}$$

Áp dụng định lí triển khai, chúng ta dễ dàng triển khai một hàm số bất kì đối với một biến số bất kì của nó.

Ví dụ 3-1-3 : Chứng minh $A \cdot \overline{A \oplus B \oplus C} = A \cdot B \cdot \bar{C} + A \cdot \bar{B} \cdot C$

Giải : Theo công thức (3-1-51), ta có :

$$\begin{aligned}
A \cdot \overline{A \oplus B \oplus C} &= A \cdot \overline{1 \oplus B \oplus C} = A \cdot \overline{\bar{B} \oplus \bar{C}} \\
&= A \cdot (B \bar{C} + \bar{B} C) = AB \bar{C} + A \bar{B} C
\end{aligned}$$

Để tiện cách viết, trong biểu thức logic, các kí hiệu và dấu ngoặc có thể bỏ đi theo quy tắc sau :

1- Phép đảo đối với một nhóm biến không cần dấu ngoặc, vì gạch ngang đảo trên chúng cũng biểu thị rõ phạm vi tác động, ví dụ : không cần viết $(A + B)$, mà chỉ $A + B$.

2- Nếu trong biểu thức có cả phép nhân và phép cộng, thì phép nhân không cần dấu "." luôn luôn được hiểu là làm trước phép cộng. Ví dụ, $(A.B) + (C.D)$ có thể viết thành $AB + CD$, nhưng $(A + B).(C + D)$ thì không thể viết thiếu dấu ngoặc.

3.2. CÁC PHƯƠNG PHÁP BIỂU THỊ HÀM LOGIC

Khi nghiên cứu và xử lý những vấn đề logic, ta có thể dùng những phương pháp khác nhau để biểu thị hàm logic tùy theo đặc điểm của hàm logic xét. Thường dùng 4 phương pháp. Đó là bảng chân lí, biểu thức logic, bảng Karnaugh và sơ đồ logic. Chúng ta không những cần nắm vững từng phương pháp, mà còn phải thành thạo chuyển đổi từ phương pháp này sang phương pháp khác.

3.2.1. Bảng chân lí

Bảng chân lí là bảng miêu tả quan hệ giữa các giá trị của hàm số tương ứng với mọi giá trị có thể của biến số.

1) Phương pháp liệt kê thành bảng chân lí

Mỗi biến đầu vào có thể lấy 2 giá trị 1 và 0, nếu có n biến đầu vào thì có 2^n tổ hợp các giá trị khác nhau của chúng. Để nhận được bảng chân lí, ta phải liệt kê tất cả các tổ hợp giá trị của biến đầu vào và giá trị xác định của hàm đầu ra tương ứng với từng tổ hợp đó.

Ví dụ 3-2-1 : Hãy kê bảng chân lí của hàm số sau

$$Z = AB + BC + CA.$$

Giải : có 3 biến đầu vào, tức là có 8 tổ hợp các giá trị của chúng. Thay giá trị của mỗi tổ hợp vào hàm số và tính ra giá trị tương ứng, rồi liệt kê thành bảng 3-2-1. (Nói chung, để khỏi bỏ sót, để khỏi trùng lặp, thường sắp xếp thứ tự các giá trị biến vào theo tuần tự số đếm nhị phân).

Bảng 3-2-1

A	B	C	Z
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

Ví dụ 3-2-2 : một bóng đèn đường cần đóng, ngắt độc lập ở 4 nơi khác nhau. Hãy viết bản chân lí của hàm số logic đó.

Giải : gọi A, B, C, D là chuyển mạch đóng ngắt ở 4 nơi, đóng điện thì các biến lấy giá trị 1, ngắt điện thì các biến lấy giá trị 0. Gọi Z là trạng thái đèn được điều khiển, đèn sáng $Z = 1$, đèn tắt $Z = 0$. Sau khi suy xét kĩ, ta kê được bảng chân lí 3-2-2.

Bảng 3-2-2

A	B	C	D	Z	Thuyết minh
0	0	0	0	0	4 chuyển mạch đều ngắt, đèn tắt
0	0	0	1	1	Có 1 chuyển mạch đóng, đèn sáng
0	0	1	0	1	
0	1	0	0	1	
1	0	0	0	1	
0	0	1	1	0	Có 2 chuyển mạch đồng thời đóng, đèn tắt
0	1	0	1	0	
0	1	1	0	0	
1	0	0	1	0	
1	0	1	0	0	
1	1	0	0	0	
0	1	1	1	1	Có 3 chuyển mạch đồng thời đóng, đèn sáng
1	0	1	1	1	
1	1	0	1	1	
1	1	1	0	1	
1	1	1	1	0	Cả 4 chuyển mạch đồng thời đóng, đèn tắt

Nếu phải giải quyết một vấn đề logic thực tế, đầu tiên ta hãy làm rõ đầu là đầu vào, đầu là đầu ra, dùng biến đại số biểu thị ; tiếp theo cần xác định quan hệ tương ứng của các trạng thái đầu ra – đầu vào. Cuối cùng liệt kê bảng chân lí một cách chính xác.

2) Đặc điểm bảng chân lí

Bảng chân lí biểu thị hàm logic dưới dạng bảng số, nó có các đặc điểm chủ yếu sau đây :

a- Rõ ràng, trực quan. Sau khi xác định giá trị biến đầu vào thì có thể tra bảng chân lí để biết giá trị tương ứng của hàm đầu ra. Vậy nên trong các sổ tay vi mạch số đều có bảng chân lí để giới thiệu chức năng logic của vi mạch.

b- Để giải quyết một nhiệm vụ thực tế ở dạng vấn đề logic, thì bảng chân lí là tiện nhất. Vậy nên trong quá trình thiết kế logic của mạch số, việc đầu tiên là phân tích yêu cầu, kê ra bảng chân lí.

Nhược điểm chủ yếu của bảng chân lí là sẽ rối rắm nếu biến số khá nhiều, không thể dùng các công thức và định lí của đại số logic để tính toán.

Để đơn giản, đôi khi chỉ kê tổ hợp các giá trị đầu vào nào tương ứng hàm số lấy giá trị bằng 1. Những tổ hợp thực tế sử dụng không cần, hoặc làm cho hàm số lấy giá trị 0 đều không cần kê ra.

3.2.2. Biểu thức hàm số

Biểu thức hàm số dạng đại số logic dùng các phép toán VÀ, HOẶC, ĐẢO biểu thị quan hệ logic giữa các biến trong hàm.

1) Dạng chuẩn tắc tuyển (tổng các tích)

Chỉ chú ý đến tổ hợp giá trị các biến nào tương ứng hàm có giá trị 1 trong bảng chân lí. Trong tổ hợp đã chọn, giá trị 1 viết nguyên biến, giá trị 0 viết đảo biến, và kết quả viết được một số hạng dạng tích các biến tương ứng với tổ hợp xét - nếu đem cộng tất cả các số hạng như vậy, thì ta được dạng chuẩn tắc tuyển (Tổng các tích - ORAND) của hàm logic.

Ví dụ 3-2-3 : Hãy viết biểu thức hàm số từ bảng chân lí 3.2.3

Bảng 3-2-3

A	B	C	Z
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

Giải : hàm $Z = 1$ tương ứng 4 tổ hợp giá trị các biến

$ABC = 011, 101, 110, 111$. Các số hạng dạng tích các biến là $\overline{A}BC$, $A\overline{B}C$, $AB\overline{C}$, ABC . Dạng chuẩn tắc tuyển của hàm số :

$$Z = \overline{A}BC + A\overline{B}C + AB\overline{C} + ABC \quad (3-2-1)$$

Kết quả này có chính xác không ? Chúng ta có thể nghiệm lại.

Biểu thức hàm số chuẩn tắc tuyển có tên gọi nhấn mạnh hình thức chuẩn của các số hạng dạng tích trong biểu thức. Chúng ta gọi số hạng chuẩn này là số hạng nhỏ nhất.

2) Số hạng nhỏ nhất

a) Định nghĩa

Số hạng nhỏ nhất là một khái niệm quan trọng trong đại số logic. Như ở ví dụ 3-2-3, Z là hàm của các biến A, B, C . 3 biến có 8 tổ hợp các giá trị khả dĩ : 000, 001, 010, 011, 100, 101, 110, 111. Tương ứng ta có 8 số hạng dạng tích là $\overline{A}\overline{B}\overline{C}$, $\overline{A}\overline{B}C$, $\overline{A}B\overline{C}$, $\overline{A}BC$, $A\overline{B}\overline{C}$, $A\overline{B}C$, $AB\overline{C}$, ABC . Đặc điểm chung của 8 số hạng này là :

- Đều có 3 thừa số ;
- Mỗi biến số xuất hiện chỉ 1 lần dưới dạng thừa số hoặc là nguyên biến hoặc là đảo biến.

Vậy chúng ta gọi 8 số hạng dạng tích có đặc điểm trên là số hạng nhỏ nhất của các biến A, B, C .

Nói chung, đối với trường hợp n biến, số hạng dạng tích P có n thừa số ; trong P mỗi biến đều xuất hiện một lần, và chỉ 1 lần mà thôi, hoặc dưới dạng nguyên biến, hoặc dưới dạng đảo biến ; P được gọi là số hạng nhỏ nhất của n biến, n biến có tất cả 2^n số hạng nhỏ nhất. Vì mỗi biến đều có 2 trạng thái (nguyên biến và đảo biến), mà tất cả có n biến.

b) Tính chất số hạng nhỏ nhất

Bảng 3-2-4 : BẢNG CHÂN LÍ TOÀN BỘ SỐ HẠNG NHỎ NHẤT CỦA 3 BIẾN SỐ.

A	B	C	$\overline{A}\overline{B}\overline{C}$	$\overline{A}\overline{B}C$	$\overline{A}B\overline{C}$	$\overline{A}BC$	$A\overline{B}\overline{C}$	$A\overline{B}C$	$AB\overline{C}$	ABC
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

Từ bảng 3-2-4, ta nhận thấy các tính chất sau của số hạng nhỏ nhất :

- Mỗi số hạng nhỏ nhất tương ứng với một tổ hợp giá trị của biến để nó bằng 1, và chỉ có một tổ hợp mà thôi.
- Tích của hai số hạng nhỏ nhất bất kì luôn bằng 0
- Tổng của tất cả các số hạng nhỏ nhất luôn bằng 1

c) Số hạng tối thiểu là phần tử cơ bản cấu trúc hàm logic

Một hàm logic bất kì đều có thể biểu thị dưới hình thức là tổng của các số hạng nhỏ nhất - dạng chuẩn tắc tuyến. Hơn nữa, hình thức đó là duy nhất, tức là, một hàm logic chỉ có một biểu thức duy nhất biểu thị nó dưới dạng tổng các số hạng tối thiểu. Không những có thể viết ra dạng chuẩn tắc tuyến của hàm logic trực tiếp từ bảng chân lí, mà còn có thể dùng các công thức và định lí của đại số logic, cũng có thể dùng cách khai triển và biến đổi để có dạng chuẩn tắc tuyến.

Ví dụ 3-2-4 : hãy viết dạng chuẩn tắc tuyến của hàm số $Z = AB + BC + CA$

Giải :
$$\begin{aligned} Z &= AB + BC + CA \\ &= AB(C + \overline{C}) + BC(A + \overline{A}) + CA(B + \overline{B}) \\ &= ABC + AB\overline{C} + A\overline{B}C + \overline{A}BC \end{aligned}$$

Ví dụ 3-2-5 : hãy viết dạng biểu thức số hạng tối thiểu của hàm

$$(A + B + C) (\overline{A} + \overline{B} + \overline{C})$$

Giải :
$$\begin{aligned} Z &= \overline{(A + B + C) (\overline{A} + \overline{B} + \overline{C})} \\ &= \overline{A + B + C} + \overline{\overline{A} + \overline{B} + \overline{C}} \\ &= \overline{A}\overline{B}\overline{C} + ABC \end{aligned}$$

d) Kí hiệu của số hạng nhỏ nhất

Để tiện viết, thường gán cho mỗi số hạng nhỏ nhất một kí hiệu. Phương pháp như sau : tổ hợp các giá trị biến số tương ứng với số hạng nhỏ nhất được xét, chuyển hình thức số nhị phân sang số thập phân, con số này là kí hiệu của số hạng nhỏ nhất xét - Ví dụ, trong các số hạng nhỏ nhất của các biến A, B, C thì $\overline{A}\overline{B}\overline{C}$ tương ứng tổ hợp giá trị 000, tức là 0_{10} , kí hiệu của $\overline{A}\overline{B}\overline{C}$ vì vậy là m_0 ; $\overline{A}B\overline{C}$ tương ứng tổ hợp giá trị 010, tức là 2_{10} , kí hiệu của $\overline{A}B\overline{C}$ là m_2 .

Tương tự, $\overline{A}B C = m_1$; $A\overline{B}C = m_3$; $A\overline{B}\overline{C} = m_4$; $A\overline{B}C = m_5$; $AB\overline{C} = m_6$; $ABC = m_7$. Hơn nữa, thường dùng kí hiệu biểu thị các số hạng nhỏ nhất của dạng chuẩn tắc tuyến; Ví dụ, trong ví dụ 3-2-4 :

$$Z = \overline{A}BC + A\overline{B}C + AB\overline{C} + ABC \text{ thường viết thành}$$

$$Z = m_3 + m_5 + m_6 + m_7 = \sum (3, 5, 6, 7)$$

Tương tự, trong ví dụ 3-2-5 :

$$Z = \overline{A}\overline{B}\overline{C} + ABC = m_0 + m_7 = \sum (0, 7)$$

3) Dạng chuẩn tắc tuyến của đảo hàm

Nếu lấy tổng các số hạng nhỏ nhất tương ứng với các tổ hợp giá trị các biến mà hàm lấy giá trị 0 trong bảng chân lí, thì ta có dạng chuẩn tắc tuyến của đảo hàm. Ví dụ, từ bảng chân lí 3-2-3 ta có : $\overline{Z} = \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C}$

$\overline{Z}$ là đảo hàm của Z. Nếu ta lại lấy đảo lần nữa của $\overline{Z}$, và triển khai theo định lí triển khai, thì ta sẽ được dạng chuẩn tắc tuyến của Z mà ta đã có ở ví dụ 3-2-3 :

$$\begin{aligned} Z = \overline{\overline{Z}} &= \overline{\overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C}} \\ &= \overline{A\overline{1}\overline{B}\overline{C} + \overline{1}\overline{B}C + \overline{1}B\overline{C} + 1\overline{B}\overline{C} + A\overline{0}\overline{B}\overline{C} + \overline{0}\overline{B}C + \overline{0}B\overline{C} + 0\overline{B}\overline{C}} \\ &= \overline{A\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{B}C + B\overline{C}} \\ &= \overline{A(\overline{B}\overline{1}\overline{C} + \overline{B}\overline{0}C) + \overline{A}(\overline{B}\overline{1}\overline{C} + \overline{1}C + 1\overline{C} + B\overline{0}\overline{C} + \overline{0}C + 0\overline{C})} = \overline{A(\overline{B}.1 + \overline{B}C) + \overline{A}(BC + \overline{B}.0)} \\ &= \overline{AB + A\overline{B}C + \overline{A}BC} \\ &= \overline{AB(C + \overline{C}) + A\overline{B}C + \overline{A}BC} = \overline{ABC + AB\overline{C} + A\overline{B}C + \overline{A}BC} \\ &\text{phù hợp (3-2-1)} \end{aligned}$$

4) Dạng chuẩn tắc hội (tích các tổng)

Dạng chuẩn tắc hội có thể nhận được bằng phương pháp sau :

Từ bảng chân lí tìm dạng chuẩn tắc tuyến của đảo hàm, sau đó dùng định lí De Morgan để tìm đảo của đảo hàm.

Ví dụ, từ phần trên ta đã tìm được $\overline{Z} = \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C}$

$$\begin{aligned} Z = \overline{\overline{Z}} &= \overline{\overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C}} = \overline{\overline{A}\overline{B}\overline{C}} \cdot \overline{\overline{A}\overline{B}C} \cdot \overline{\overline{A}B\overline{C}} \cdot \overline{A\overline{B}\overline{C}} \\ &= (A + B + C)(A + B + \overline{C})(A + \overline{B} + C)(\overline{A} + B + C) \quad (3-2-2) \end{aligned}$$

Các thừa số của hàm số dạng chuẩn tắc hội có tính chất sau :

- Đều bao gồm tất cả các biến của hàm
- Mỗi biến đều xuất hiện một lần và chỉ một lần trong dạng tổng của thừa số, hoặc là nguyên biến, hoặc là đảo biến.

Các thừa số có tính chất nêu trên được gọi là thừa số lớn nhất. Tích các thừa số lớn nhất là dạng chuẩn tắc hội của hàm số.

(3-2-2) là biểu thức của hàm Z dạng chuẩn tắc hội.

Nói chung, đối với trường hợp hàm n biến, thừa số lớn nhất là một tổng của n số hạng, mỗi số hạng là một biến, xuất hiện một lần dưới dạng nguyên biến hoặc đảo biến, và chỉ xuất hiện một lần mà thôi. n biến có tương ứng 2^n thừa số lớn nhất. Bảng 3-2-5 là bảng chân lí của toàn bộ các thừa số lớn nhất tương ứng hàm 3 biến A, B, C :

Bảng 3-2-5

A	B	C	$A+B+C$	$A+B+\overline{C}$	$A+\overline{B}+C$	$A+\overline{B}+\overline{C}$	$\overline{A}+B+C$	$\overline{A}+B+\overline{C}$	$\overline{A}+\overline{B}+C$	$\overline{A}+\overline{B}+\overline{C}$
0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	1	1	1	1	1	1
0	1	0	1	1	0	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	0	1	1
1	1	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	0

Nhận xét bảng 3-2-5, ta thấy thừa số lớn nhất có các tính chất sau :

- Mỗi thừa số lớn nhất tương ứng với một tổ hợp giá trị của biến để nó bằng 0, và chỉ có một tổ hợp mà thôi.
- Tổng của hai thừa số lớn nhất bất kì luôn luôn bằng 1
- Tích của tất cả các thừa số lớn nhất luôn bằng 0

Cách kí hiệu các thừa số lớn nhất như sau : tổ hợp các giá trị biến số tương ứng với thừa số lớn nhất được xét chuyển hình thức số nhị phân sang số thập phân, con số này là kí hiệu của thừa số lớn nhất xét - Ví dụ , trong các thừa số lớn nhất của các biến A, B, C thì :

$A + B + C$	tương ứng tổ hợp	000,	chuyển thành	0_{10} ,	kí hiệu	M_0
$A + B + \overline{C}$		001		1_{10}		M_1
$A + \overline{B} + C$		010		2		M_2
$A + \overline{B} + \overline{C}$		011		3		M_3
$\overline{A} + B + C$		100		4		M_4
$\overline{A} + B + \overline{C}$		101		5		M_5
$\overline{A} + \overline{B} + C$		110		6		M_6
$\overline{A} + \overline{B} + \overline{C}$		111		7		M_7

Cách viết kí hiệu rất thuận tiện. Chú ý rằng m_i và M_i là đảo của nhau :

$$m_i = \overline{M_i}$$

Ví dụ : $m_0 = \overline{A} \overline{B} \overline{C} \quad M_0 = A + B + C$

$$m_0 = \overline{M_0} = \overline{A + B + C} = \overline{A} \overline{B} \overline{C}$$

$$m_5 = A \overline{B} C \quad \overline{M_5} = \overline{A} + B + \overline{C}$$

$$m_5 = \overline{M_5} = \overline{\overline{A} + B + \overline{C}} = A \overline{B} C$$

Thừa số lớn nhất cũng là phần tử cơ bản cấu trúc hàm logic. Biểu thức hàm số (3-2-2) có thể viết dưới dạng :

$$Z = M_0 M_1 M_2 M_4 = \Pi (0, 1, 2, 4)$$

Đặc điểm các biểu thức hàm số

Một hàm logic được biểu thị bằng biểu thức các phép toán VÀ, HOẶC, ĐẢO v... liên kết các biến số của nó với nhau. Ưu điểm của phương pháp biểu thức hàm số là :

- Dùng các kí hiệu logic biểu thị quan hệ logic giữa các biến làm cho cách viết gọn và tiện, tính khái quát và trừu tượng rất cao.

- Rất tiện sử dụng các công thức và định lí của đại số logic để biến đổi, làm toán.

- Tiện cho việc dùng sơ đồ logic để thực hiện hàm số. Chỉ cần dùng các kí hiệu logic của mạch điện cổng tương ứng thay thế phép toán xét trong biểu thức hàm số, ta được một sơ đồ logic. Vấn đề này còn được giới thiệu cụ thể sau.

Nhược điểm chủ yếu của phương pháp biểu thức hàm số là khó xác định giá trị hàm ứng với giá trị biến một cách trực tiếp đối với các hàm số phức tạp (không trực quan như bảng chân lí)

3.2.3. Bảng Karnaugh

Bảng Karnaugh là phương pháp hình vẽ biểu thị hàm logic, trong đó các giá trị hàm đầu ra tương ứng tổ hợp các biến đầu vào đều được biểu thị đầy đủ. Trên cơ sở bảng Karnaugh của các biến, diễn các số hạng nhỏ nhất của hàm số vào các ô tương ứng thì ta có bảng Karnaugh của hàm.

1) Bảng Karnaugh của biến logic

a) Hình 3-2-1 trình bày bảng Karnaugh 3 biến và 4 biến.

b) Quy tắc vẽ bảng Karnaugh của biến như sau :

- Bảng Karnaugh có dạng hình chữ nhật. n biến có 2^n ô, mỗi ô tương ứng với một số hạng nhỏ nhất. Ví dụ, hình 3-2-1, n = 3 tương ứng bảng $2^3 = 8$ ô, n = 4 tương ứng bảng $2^4 = 16$ ô.

- Giá trị các biến được sắp xếp thứ tự theo mã vòng. (Nếu không sắp xếp thứ tự theo mã vòng thì không còn là bảng Karnaugh nữa !)

Ví dụ : sự sắp xếp của AB và CD đều là 00, 01, 11, 10 (hình 3-2-1).

Mã vòng có thể suy ra từ mã số nhị phân như sau. Giả sử cho mã số nhị phân là $B_3B_2B_1B_0$, mã vòng tương ứng là $G_3G_2G_1G_0$, thì có thể tính $G_i = B_{i+1} \oplus B_i$. Cụ thể, $G_0 = B_1 \oplus B_0$; $G_1 = B_2 \oplus B_1$; $G_2 = B_3 \oplus B_2$; $G_3 = B_4 \oplus B_3 = 0 \oplus B_3 = B_3$ ($B_4 = 0$). Hình 3-2-2 là bảng Karnaugh 5 biến và 6 biến.

Bảng 3-2-6 là mã vòng tương ứng với mã nhị phân (3 bit)

		BC			
		00	01	11	10
A	0	m_0	m_1	m_3	m_2
	1	m_4	m_5	m_7	m_6

		BC			
		00	01	11	10
A	0				
	1				

		CD			
		00	01	11	10
AB	00				
	01				
	11				
	10				

		CD			
		00	01	11	10
AB	00	0	1	3	2
	01	4	5	7	6
	11	12	13	15	14
	10	8	9	11	10

Hình 3-2-1.

Bảng Karnaugh được xem như sơ đồ khối của các số hạng nhỏ nhất.

		CDE							
		000	001	011	010	110	111	101	100
AB	00								
	01								
	11								
	10								

		DEF							
		000	001	011	010	110	111	101	100
ABC	000								
	001								
	011								
	010								
ABC	110								
	111								
	101								
	100								

Hình 3-2-2 (a)

Hình 3-2-2 (b)

Bảng 3-2-6

B ₂	B ₁	B ₀	G ₂	G ₁	G ₀
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	1
0	1	1	0	1	0
1	0	0	1	1	0
1	0	1	1	1	1
1	1	0	1	0	1
1	1	1	1	0	0

c) *Đặc điểm bảng Karnaugh của biến :*

- Ưu điểm lớn nhất của bảng là làm nổi bật tính kế nhau của các số hạng nhỏ nhất. Các ô kế nhau bất kì trên bảng đều có các số hạng nhỏ nhất đều có tính kế nhau về logic. Sự sắp xếp giá trị các biến theo mã vòng bảo đảm đặc điểm quan trọng này.

Tính kế nhau bao gồm 3 tính hướng sau : các ô kế nhau, các ô đầu cuối của hàng và cột, các ô đối xứng đều phải có một giá trị đối nhau của biến và chỉ một mà thôi. Đặc điểm này của bảng cho phép dễ dàng nhớ và phân biệt, kiểm tra, tính toán bằng bảng, nhất là khi có đến 5, 6 biến (xem hình 3-2-2).

Như trên đã nói, nếu trong hai số hạng nhỏ nhất có và chỉ có 1 biến lấy giá trị khác nhau, còn tất cả các biến khác đều lấy giá trị như nhau, thì hai số hạng nhỏ nhất đó có tính kế nhau về logic. Ví dụ, trong hình 3-2-1, m_0 có tính kế nhau về logic với m_1 , m_2 và m_4 .

Khi cộng các số hạng nhỏ nhất có tính kế nhau, thì biến đối nhau trong đó sẽ bị khử. Ví dụ : $m_0 + m_1 = \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C = \overline{A}\overline{B}(\overline{C} + C) = \overline{A}\overline{B}$; $\overline{A}\overline{B}$ là thừa số chung của m_0 và m_1 ; $m_0 + m_2 = \overline{A}\overline{B}\overline{C} + \overline{A}B\overline{C} = \overline{A}\overline{C}$ khử mất B và $\overline{B}$; $m_0 + m_4 = \overline{A}\overline{B}\overline{C} + A\overline{B}\overline{C} = \overline{B}\overline{C}$ khử mất A và A.

- Nhược điểm chủ yếu của bảng Karnaugh : nếu số biến tăng thì độ phức tạp của bảng tăng nhanh. Ví dụ, nếu số biến từ 7 trở đi thì hình vẽ quá phức tạp, hơn nữa rất khó xét đoán tính kế nhau về logic của các số hạng nhỏ nhất. Vì vậy, bảng Karnaugh chỉ thích hợp để biểu thị hàm logic có số biến từ 6 trở lại.

2) *Bảng Karnaugh của hàm logic*

a) *Cách vẽ :* có 3 trường hợp.

Trường hợp 1 : đã cho bảng chân lí của hàm.

Trên bảng Karnaugh của biến, điền giá trị 1 vào ô mà hàm lấy giá trị 1 tương ứng tổ hợp giá trị các biến của ô xét, điền giá trị 0 vào ô mà hàm lấy giá trị 0 tương ứng tổ hợp giá trị các biến của ô xét.

Ví dụ 3-2-5 :

Cho bảng chân lí 3-2-7 (hình bên).

Hãy vẽ bảng Karnaugh của hàm Z.

Giải :

- Đầu tiên vẽ bảng Karnaugh cho 4 biến A, B, C, D.

- Tiếp theo điền các giá trị của hàm Z vào các ô tương ứng phù hợp với bảng chân lí.

- Kết quả : Hình 3-2-3

Bảng 3-2-7

A	B	C	D	Z
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

AB \ CD				
	00	01	11	10
00	0	0	0	0
01	0	0	1	0
11	0	1	1	1
10	0	0	1	0

Hình 3-2-3.

AB \ CD				
	00	01	11	10
00	0	1	3	2
01	4	5	7	6
11	12	13	15	14
10	8	9	11	10

Hình 3-2-4. a) Các ô có ghi kí hiệu số hạng nhỏ nhất

b) Các ô ghi giá trị 1 và 0 của hàm

AB \ CD				
	00	01	11	10
00	1	0	1	0
01	0	1	0	1
11	1	0	1	0
10	0	1	0	1

Trường hợp 2 : đã cho biểu thức của hàm dưới dạng chuẩn tắc tuyến trên bảng Karnaugh của biến, điền giá trị 1 vào các ô tương ứng với từng số hạng nhỏ nhất có trong biểu thức, các ô khác đều điền vào giá trị 0.

Ví dụ 3-2-6

Hãy vẽ bảng Karnaugh của hàm logic

$$Z = \sum (0, 3, 5, 6, 9, 10, 12, 15)$$

Giải :

- Vẽ bảng Karnaugh của 4 biến A, B, C, D
- Điền giá trị
- Kết quả : hình 3-2-4

Trường hợp 3 : cho biểu thức không chuẩn tắc của hàm

- Biến đổi hàm đã cho thành dạng tổng các tích
- Trên bảng Karnaugh của biến, điền giá trị 1 vào tất cả các ô tương ứng số hạng nhỏ nhất bao hàm trong số hạng dạng tích nói trên, sau đó điền giá trị 0 vào các ô còn lại.

Ví dụ 2-2-7 : hãy vẽ bảng Karnaugh của hàm $Z = \overline{(A \oplus B) (C + D)}$

Giải :

- Biến đổi hàm thành dạng tổng các tích :

$$Z = \overline{(A \oplus B) (C \oplus D)} = \overline{A \oplus B} + \overline{C \oplus D} \\ = \overline{A} \overline{B} + AB + \overline{C} \overline{D}$$

- Xác định mỗi số hạng bao gồm những số hạng nhỏ nhất nào :

$$\overline{A} \overline{B} = m_0 + m_1 + m_2 + m_3$$

$$AB = m_{12} + m_{13} + m_{14} + m_{15}$$

$$\overline{C} \overline{D} = m_0 + m_4 + m_8 + m_{12}$$

- Kết quả vẽ được như hình 3-2-5

(đối chiếu hình 3-2-4a)

AB \ CD				
	00	01	11	10
00	1	1	1	1
01	1	0	0	0
11	1	1	1	1
10	1	0	0	0

Hình 3-2-5.

b) Từ bảng Karnaugh kê ra bảng chân lí và viết biểu thức

Bảng chân lí, hàm dạng chuẩn tắc tuyến và bảng Karnaugh đều là duy nhất biểu thị cho một hàm, chúng tất có quan hệ chuyển đổi nhau. Thực tế ở các phần trên đã chuyển đổi rồi.

Ưu điểm nổi bật nhất của bảng Karnaugh là tính kế nhau về logic của các số hạng nhỏ nhất của hàm biểu thị rõ rệt thành sự liên kế hình học của các ô trong bảng, do đó dễ dàng tối thiểu hóa hàm đã cho. Vấn đề này sẽ giảng chi tiết ở phần sau.

3.2.4. Sơ đồ logic

Trong mạch số, sau khi dùng các kí hiệu logic biểu thị một cấu trúc logic trên một bản vẽ, ta được sơ đồ logic. Sơ đồ logic cũng là một phương pháp biểu thị hàm logic, hơn nữa lại có ưu điểm nổi bật là rất tiếp cận thực tế. Các kí hiệu logic thông thường đều có cấu kiện điện tử cụ thể tương ứng, vậy nên thường gọi sơ đồ logic là sơ đồ mạch logic.

1) Cách vẽ sơ đồ logic của hàm logic

Như trên đã nói, ta dùng kí hiệu logic của mạch điện tử thay thế phép tính logic có trong biểu thức hàm logic thì được sơ đồ logic của hàm.

Ví dụ 3-2-8 : cho hàm $Z = AB + BC + CA$

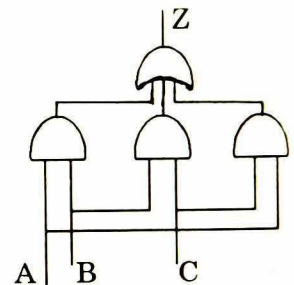
Hãy vẽ sơ đồ logic của Z.

Giải : quan hệ nhân logic của các biến A và B, B và C, C và A được thực hiện bằng các cổng AND. Quan hệ cộng logic của các số hạng AB, BC và CA được thực hiện bằng cổng OR. Kết quả : hình 3-2-6

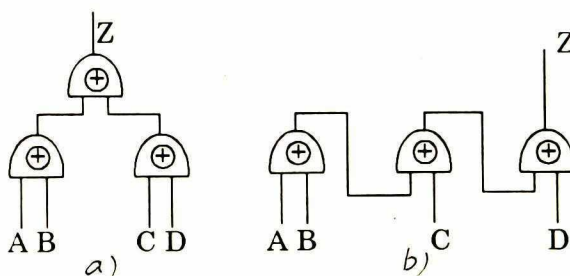
Ví dụ 3-2-9 : cho hàm $Z = A \oplus B \oplus C \oplus D$

Hãy vẽ sơ đồ logic của Z.

Giải : quan hệ cộng với phép loại trừ giữa các biến A, B, C, D được thực hiện bằng cổng XOR - Kết quả xem hình 3.2.7.



Hình 3-2-6.



Hình 3-2-7.

- a) Cấu trúc hình tháp (trễ truyền đạt nhỏ) ;
- b) Cấu trúc nối mắt xích (trễ truyền đạt lớn).

2) Cách xác định biểu thức từ sơ đồ logic

Trên sơ đồ logic, từ đầu vào đến đầu ra, viết biểu thức hàm đầu ra của từng cấp, cuối cùng được biểu thức hàm logic toàn sơ đồ.

Ví dụ 3-2-10 : cho sơ đồ hình 3-2-8

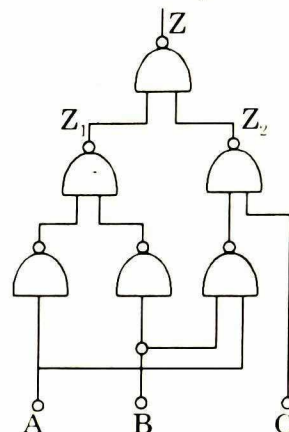
Hãy viết biểu thức hàm logic của sơ đồ

Giải :

$$Z_1 = \overline{A} \overline{B}$$

$$Z_2 = \overline{A} B C$$

$$Z = Z_1 Z_2 = \overline{A} \overline{B} \overline{A} B C$$



3) Đặc điểm của sơ đồ logic

Các kí hiệu logic trong sơ đồ logic có quan hệ phù hợp rõ ràng với cấu kiện điện tử trong thực tế, vậy sơ đồ logic tương đối tiếp cận thực tế công trình. Trong công tác, khi tìm hiểu chức năng logic của một hệ thống số nào đó hay là thiết bị được điều khiển số nào đó, thường ta cần dùng sơ đồ logic, vì rằng sơ đồ logic có thể biểu thị rõ ràng chức năng logic từng tầng của các mạch điện thực tế phức tạp. Trong việc chế tạo các thiết bị số, việc đầu tiên là thiết kế logic để vẽ ra sơ đồ logic, rồi chuyển từ sơ đồ logic thành mạch điện thực tế.

Hình 3-2-8.

3.3. PHƯƠNG PHÁP TỐI THIỂU HÓA HÀM LOGIC

Trực tiếp thiết kế sơ đồ mạch logic hàm số có được từ bảng chân lí thường là rất phức tạp. Nếu sau khi đã thực hiện tối thiểu hóa hàm logic, nói chung việc thực hiện thuận tiện hơn, không những chỉ dùng số cấu kiện ít hơn, mà nâng cao được độ tin cậy. Dưới đây sẽ nói đến khái niệm tối thiểu hóa, tiếp theo sẽ giới thiệu 2 phương pháp thường dùng để tối thiểu hóa.

3.3.1. Khái niệm về tối thiểu hóa

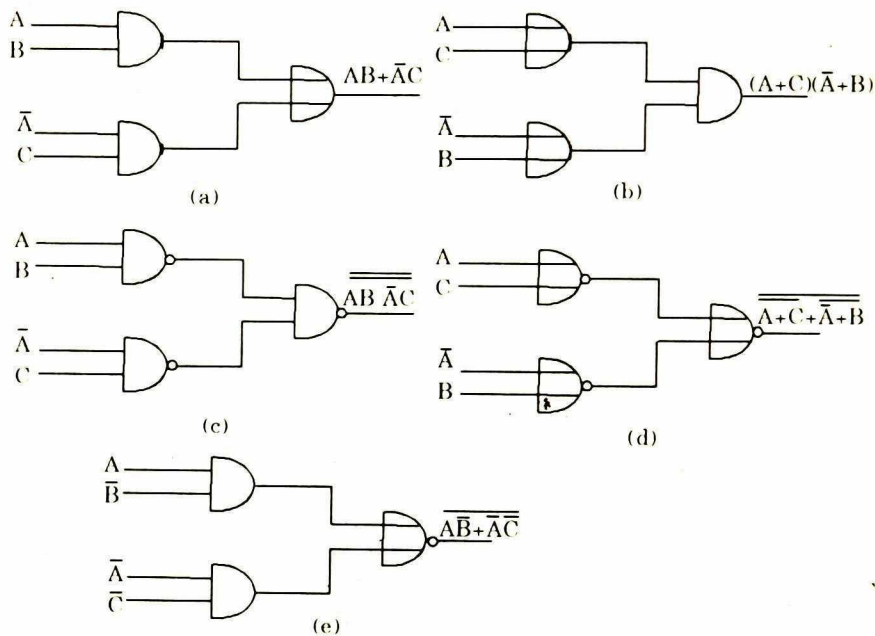
1) Các loại biểu thức logic và sự thực hiện bằng mạch điện

Ta đã biết, một hàm logic có thể có rất nhiều biểu thức khác nhau. Chúng ta có thể phân loại thô các hàm logic thành 5 loại căn cứ vào đặc điểm và quan hệ giữa các số hạng dạng tích trong hàm : OR-AND, AND-OR, NAND-NAND, NOR-NOR, NOR-AND. Ví dụ :

$Z = AB + \overline{A}C$	dạng biểu thức	OR-AND
$Z = (A + C)(\overline{A} + B)$		AND-OR
$Z = \overline{\overline{A} \overline{B} \overline{A} B}$		NAND-NAND
$Z = \overline{\overline{A + C} + \overline{A + B}}$		NOR-NOR
$Z = \overline{A \cdot \overline{B} + \overline{A} \overline{C}}$		NOR-AND

Khi dùng các cổng logic thực hiện các hàm logic này, tiện nhất là : hai loại đầu dùng cổng AND và cổng OR, loại thứ ba dùng NAND, loại thứ tư dùng NOR, loại thứ năm dùng NORAND

Hình 3-3-1 dưới đây giới thiệu mạch điện các hàm nói trên :



Hình 3-3-1.

Trên thực tế, khi chúng ta viết một hàm logic dưới một dạng nào đó, thì dạng có được không phải là duy nhất. Ví dụ, biểu thức OR-AND trong ví dụ trên có thể viết thành :

$$Z = AB + \overline{AC} \tag{3-3-1a}$$

$$= AB + \overline{AC} + BC \tag{3-3-1b}$$

$$= ABC + ABC\overline{C} + \overline{A}BC + \overline{A}\overline{B}C \tag{3-3-1c}$$

$$= \dots$$

Dùng các cổng AND và OR thực hiện (3.3.1a) ta có mạch đơn giản nhất. Nói chung, nếu biểu thức càng đơn giản thì mạch điện cũng càng đơn giản. Nhưng đối với các biểu thức dạng khác nhau, thì tiêu chuẩn về sự đơn giản có khác nhau. Ta sẽ làm rõ điều này qua ví dụ về biểu thức OR-AND.

2) Biểu thức OR-AND tối thiểu

a) Thế nào là tối thiểu

- Đầu tiên số các số hạng dạng tích phải là ít nhất
- Nếu điều kiện trên đã bảo đảm, thì số biến của mỗi số hạng cũng phải là ít nhất.

$$\text{Ví dụ : } Z = A\overline{C} + B\overline{C} + \overline{A}B + \overline{A}C \tag{3-3-2a}$$

$$= A\overline{C} + B\overline{C} + \overline{A}C \tag{3-3-2b}$$

$\overline{AB}$ được khử bỏ theo quy tắc của công thức 17. Rõ ràng (3-3-2b) đơn giản hơn (3-3-2a) vì nó ít hơn một số hạng.

b) Ý nghĩa việc tối thiểu hóa biểu thức OR-AND

Chúng ta tập trung nghiên cứu phương pháp tối thiểu hóa biểu thức OR-AND, vì chỉ cần có biểu thức OR-AND tối thiểu, ta sẽ dễ dàng có được các biểu thức dạng khác cũng là tối thiểu. Có hai lí do : một là, một biểu thức logic bất kì đều dễ dàng triển khai thành biểu thức dạng OR-AND ; Hai là, từ biểu thức dạng OR-AND tối thiểu, cũng dễ dàng có được các biểu thức tối thiểu dạng NAND-NAND, NORAND v.v...

3.3.2. Phương pháp tối thiểu hóa bằng công thức

Dựa vào các công thức và định lí trong đại số logic để thực hiện tối thiểu hóa. Vì trong thực tế, biểu thức logic rất đa dạng, lại không có một cách nào hoàn chỉnh như một quy trình, nên việc đạt đến một biểu thức logic tối thiểu một cách nhanh nhất sẽ hoàn toàn phụ thuộc kinh nghiệm, hiểu biết và thành thạo của chúng ta.

Các ví dụ về tối thiểu hóa :

Ví dụ 3-3-1 : Hãy tối thiểu hóa hàm $Z = \overline{A}BC + \overline{A}\overline{B}\overline{C}$

Giải : $Z = \overline{A}BC + \overline{A}\overline{B}\overline{C} = \overline{A}(BC + \overline{B}\overline{C}) = \overline{A}$ (công thức 14)

Ví dụ 3-3-2 : Hãy tối thiểu hóa hàm $Z = A(BC + \overline{B}\overline{C}) + \overline{A(BC + \overline{B}\overline{C})}$

Giải : $Z = A[(BC + \overline{B}\overline{C}) + \overline{(BC + \overline{B}\overline{C})}] = A$ (công thức 14)

Ví dụ : 3-3-3 : Hãy tối thiểu hóa hàm $Z = \overline{A}\overline{B} + \overline{A}BCD(E + F)$

Giải : $Z = \overline{A}\overline{B} + \overline{A}BCD(E + F) = \overline{A}\overline{B}$ (công thức 15)

Ví dụ : 3-3-4 : Hãy tối thiểu hóa hàm $Z = AB + \overline{A}C + \overline{B}C$

Giải : $Z = AB + \overline{A}C + \overline{B}C = AB + (\overline{A} + \overline{B})C$
 $= AB + \overline{A}\overline{B}C = AB + C$ (công thức 16)

Ví dụ 3-3-5 : Hãy tối thiểu hóa hàm $Z = \overline{A}\overline{B} + AC + ADE + \overline{C}D$

Giải : $Z = \overline{A}\overline{B} + AC + \overline{C}D + ADE = \overline{A}\overline{B} + AC + \overline{C}D$ (hệ quả công thức 17)

Việc khử đi số hạng hay biến trong số hạng là do chúng được bao hàm trong các số hạng khác. Điều này khác hẳn đại số thường !

Ví dụ 3-3-6 : Hãy tối thiểu hóa hàm $Z = \overline{A}\overline{B} + \overline{B}\overline{C} + \overline{B}C + \overline{A}B$

Giải : $Z = \overline{A}\overline{B} + \overline{B}\overline{C} + \overline{B}C + \overline{A}B$

$$Z = (\overline{A}\overline{B} + \overline{B}\overline{C} + \overline{A}\overline{C} + \overline{A}\overline{C}) + (\overline{B}\overline{C} + \overline{A}B)$$

$$Z = (\overline{A}\overline{B} + \overline{B}\overline{C} + \overline{A}\overline{C}) + (\overline{B}\overline{C} + \overline{A}B + \overline{A}\overline{C})$$

$$Z = (\overline{B}\overline{A} + \overline{B}\overline{C} + \overline{A}\overline{C}) + (\overline{B}\overline{C} + \overline{A}B + \overline{A}\overline{C})$$

$$Z = (\overline{B}\overline{C} + \overline{A}\overline{C}) + (\overline{A}B + \overline{A}\overline{C}) =$$

$$Z = (\overline{B}\overline{C} + \overline{A}\overline{C}) + (\overline{A}\overline{C} + \overline{A}\overline{C})$$

$$Z = \overline{B}\overline{C} + \overline{A}B + \overline{A}\overline{C}$$

Cách giải trên đây ứng dụng công thức 17, thêm vào và bớt đi rất linh hoạt. Chẳng hạn nếu thêm vào hay bớt đi $\overline{AC}$, thì hàm đã cho ở ví dụ 3-3-6 có dạng tối thiểu hóa mới :

$$Z = \overline{AB} + \overline{BC} + \overline{BC} + \overline{AB} = \overline{AB} + \overline{BC} + \overline{AC}$$

Theo công thức 11', ta có thể chỉ viết 1 số hạng $\overline{AC}$ nhưng ngầm hiểu có thể gộp nó vào nhiều nhóm. Trong ví dụ này, thêm vào chỉ một, nhờ gộp vào hai nhóm, nên bớt đi hai, kết quả là khử bớt 1 số hạng. Trong trường hợp tổng quát, ta thường ứng dụng nhiều công thức và định lí để có thể tối thiểu hóa một hàm phức tạp.

Ví dụ 3-3-7 : Hãy tối thiểu hóa hàm

$$Z = AD + \overline{A}\overline{D} + AB + \overline{AC} + BD + \overline{ACEF} + \overline{BEF} + DEFG$$

Giải :

- Dùng công thức 14 : $AD + \overline{A}\overline{D} = A$

$$Z = A + AB + \overline{AC} + BC + \overline{ACEF} + \overline{BEF} + DEFG$$

- Dùng công thức 15 : Khử bỏ $AB, \overline{ACEF}$

$$Z = A + \overline{AC} + BD + \overline{BEF} + DEFG$$

- Dùng công thức 16 : Khử bỏ $\overline{A}$ trong số hạng $\overline{AC}$

$$Z = A + C + BD + \overline{BEF} + DEFG$$

- Dùng công thức 17 : khử bỏ $DEFG$, vậy :

$$Z = A + C + BD + \overline{BEF}$$

3.3.3. Phương pháp tối thiểu hóa bằng hình vẽ

Phương pháp này dùng bảng Karnaugh.

1) Quy luật gộp (dán) các số hạng nhỏ nhất trên bảng Karnaugh

Trên bảng Karnaugh của biến, tất cả các số hạng nhỏ nhất kế nhau đều có thể gộp với nhau, khi gộp lại thì có thể khử bỏ biến liên quan. Cụ thể, cứ 2 số hạng nhỏ nhất gộp lại thì khử bỏ được một biến, cứ 4 số hạng nhỏ nhất gộp lại (thành một số hạng) thì khử bỏ được 2 biến, cứ 8 số hạng nhỏ nhất gộp lại thì khử được 3 biến. Nói tổng quát, 2^n số hạng nhỏ nhất gộp lại (thành một số hạng) thì khử được n biến. Vì rằng, 2^n số hạng nhỏ nhất cộng với nhau (gộp lại), trừ các thừa số chung rồi thì còn lại 2^n số hạng dạng tích, vừa đúng bằng toàn bộ số hạng nhỏ nhất của n biến cần khử bỏ. Ta đã biết tính chất của số hạng nhỏ nhất, tổng của chúng bằng 1.

Các hình 3-3-2, hình 3-3-3, hình 3-3-4 vẽ tương ứng các trường hợp có 2, 4, 8 số hạng nhỏ nhất được gộp.

A \ BC	00	01	11	10
	0	1	3	2
0				2
1				6

(a) $\bar{A}\bar{B}\bar{C} + A\bar{B}\bar{C} = \bar{B}\bar{C}$

A \ BC	00	01	11	10
	0	1	3	2
0		1		
1		5		

(b) $\bar{A}\bar{B}C + A\bar{B}C = \bar{B}C$

A \ BC	00	01	11	10
	0	1	3	2
0			3	2
1				

(c) $\bar{A}\bar{B}\bar{C} + \bar{A}B\bar{C} = \bar{A}\bar{B}$

AB \ CD	00	01	11	10
	00	01	11	10
00				
01				
11			15	
10			11	

(d) $\bar{A}\bar{B}CD + AB\bar{C}D = A\bar{C}D$

AB \ CD	00	01	11	10
	00	01	11	10
00				
01				
11		13	15	
10				

(f) $\bar{A}B\bar{C}D + AB\bar{C}D = \bar{A}BD$

AB \ CD	00	01	11	10
	00	01	11	10
00	0			
01				
11				
10	8			

(e) $\bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}C\bar{D} = \bar{A}\bar{B}\bar{C}$

AB \ CD	00	01	11	10
	00	01	11	10
00				
01	4			6
11				
10				

(g) $\bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} = \bar{A}\bar{B}D$

Hình 3-3-2.

A \ BC	00	01	11	10
	0	1	3	2
0			3	2
1			7	6

(a) $\bar{A}\bar{B}\bar{C} + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC = B$

AB \ CD	00	01	11	10
	00	01	11	10
00				
01				
11		13	15	
10		9	11	

(d) $\bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}B\bar{C}D + \bar{A}BC\bar{D} = \bar{A}D$

AB \ CD	00	01	11	10
	00	01	11	10
00				
01	4			6
11	12			14
10				

(f) $\bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}B\bar{C}D + \bar{A}BC\bar{D} = \bar{A}D$

A \ BC	00	01	11	10
	0	1	3	2
0	0	1		
1	4	5		

(b) $\bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}C + \bar{A}B\bar{C} + \bar{A}BC = \bar{A}$

AB \ CD	00	01	11	10
	00	01	11	10
00				
01	4	5	7	6
11				
10				

(e) $\bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}B\bar{C}D + \bar{A}BC\bar{D} = \bar{A}D$

AB \ CD	00	01	11	10
	00	01	11	10
00	0			2
01				
11				
10	8			10

(g) $\bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}B\bar{C}D + \bar{A}BC\bar{D} = \bar{A}D$

Hình 3-3-3

AB \ CD	00	01	11	10
00				
01	4	5	7	6
11	12	13	15	14
10				

(a) B

AB \ CD	00	01	11	10
00	0	1	3	2
01				
11				
10	8	9	11	10

(b) $\bar{B}$

AB \ CD	00	01	11	10
00	0			2
01	4			6
11	12			14
10	8			10

(c) $\bar{D}$

AB \ CD	00	01	11	10
00	0	1		
01	4	5		
11	12	13		
10	8	9		

(d) $\bar{C}$

Hình 3-3-4.

2) Dùng bảng Karnaugh tối thiểu hóa hàm logic

Nói chung, quy trình có 3 bước

- Vẽ bảng Karnaugh của hàm xét
- Gộp các số hạng nhỏ nhất
- Chọn số hạng viết biểu thức OR-AND tối thiểu

Ví dụ 3-3-8 : Dùng hình vẽ tối thiểu hóa hàm

$$Z = \sum (1,3,4,5,10,11,12,13)$$

Giải : - Vẽ bảng Karnaugh của hàm Z : Vẽ bảng Karnaugh của 4 biến A,B,C,D. Trên hình đánh dấu tất cả các số hạng nhỏ nhất của hàm. Xem hình 3-3-5

- Gộp các số hạng nhỏ nhất.

AB \ CD	00	01	11	10
00		1	3	
01	4	5		
11	12	13		
10			11	10

Hình 3-3-5.

Theo phương pháp đã giới thiệu trước đây, khoanh vòng các số hạng nhỏ nhất có thể gộp. Từ hình 3-3-5, ta có :

$$\sum(4,5,12,13) = B\bar{C}$$

$$\sum(1,3) = \bar{A}\bar{B}D$$

$$\sum(10,11) = A\bar{B}C$$

$$\sum(1,5) = \bar{A}\bar{C}D$$

$$\sum(3,11) = \bar{B}CD$$

- Chọn số hạng viết biểu thức OR-AND tối thiểu.

Nguyên tắc chọn số hạng :

- Phải bao gồm tất cả các số hạng nhỏ nhất của hàm
- Số các số hạng được chọn phải là ít nhất
- Số thừa số của mỗi số hạng cũng phải là ít nhất.

Trong ví dụ này, có thể chọn $B\bar{C}$, $\bar{A}\bar{B}D$, $A\bar{B}C$

Vậy kết quả tối thiểu hóa, ta có :

$$Z = B\bar{C} + \bar{A}\bar{B}D + A\bar{B}C$$

3) *Mấy vấn đề cần lưu ý*

- Vòng gộp phải càng to càng tốt. Tương ứng số các số hạng nhỏ nhất được gộp lại càng nhiều ; do đó, sau khi gộp, số hạng càng ít thừa số.

- Mỗi vòng gộp bao gồm ít nhất một số hạng nhỏ nhất không có trong vòng khác. Vòng nào bao gồm các số hạng đều đã có trong vòng khác, thì vòng đó là thừa. Mặt khác, mỗi số hạng nhỏ nhất có thể được sử dụng nhiều lần (có mặt trong nhiều vòng khác nhau)

- Phải khoanh vòng sao cho toàn bộ số hạng nhỏ nhất của hàm số đều có các vòng, không sót. Các thừa số tương ứng của số hạng vòng gộp xét làm thành số hạng của hàm đã tối thiểu hóa.

- Trong một số trường hợp, có thể có nhiều cách khoanh vòng, nghĩa là có thể có nhiều hàm tối thiểu. Những hàm tối thiểu này cần phải được so sánh, kiểm tra để chọn ra đâu là hàm tối thiểu thực sự (tối thiểu của tối thiểu !)

- Khi gộp các số hạng nhỏ nhất, nghĩa là khi khoanh vòng, có 2 điều sau đây dễ quên : một là, phải nhớ rằng 4 ô ở 4 góc bảng Karnaugh cũng có thể gộp với nhau (xem hình 3-3-3g) ; hai là, vẽ vòng lớn trước, vòng bé sau, kiểm tra xem : mỗi vòng có ít nhất một số hạng nhỏ nhất không có trong vòng khác. Không lưu ý đến những vấn đề này, biểu thức hàm số đạt được không chắc là tối thiểu.

Ví dụ 3-3-9 : Dùng hình vẽ tối thiểu hóa hàm

$$Z = \sum(1,4,5,3,8,12,13,15)$$

Giải :

- Vẽ bảng Karnaugh của hàm Z

xem hình 3-3-6

- Gộp các số hạng nhỏ nhất

Tuy vòng $m_4 + m_5 + m_{12} + m_{13}$ là to nhất, nhưng các vòng khác đã bao gồm m_4, m_5, m_{12}, m_{13} , nên vòng này thừa.

- Biểu thức OR-AND tối thiểu :

$$Z = \overline{A}\overline{C}D + \overline{A}B\overline{D} + A\overline{C}\overline{D} + ABD$$

Ví dụ 3-3-10 : Dùng hình vẽ tối thiểu hóa hàm

$$Z = A \oplus C - \overline{B}(\overline{A}\overline{C}\overline{D} + \overline{A}C\overline{D})$$

Giải :

- Biến đổi hàm Z thành dạng biểu thức OR-AND

$$\begin{aligned} Z &= A \oplus C - \overline{B}(\overline{A}\overline{C}\overline{D} + \overline{A}C\overline{D}) \\ &= \overline{A \oplus C} + \overline{B}(\overline{A}\overline{C}\overline{D} + \overline{A}C\overline{D}) \\ &= \overline{A}\overline{C} + AC + \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}B\overline{C}\overline{D} \end{aligned}$$

- Vẽ bảng Karnaugh như hình 3-3-7

- Gộp các số hạng nhỏ nhất

Lưu ý các ô 4 góc bảng có thể gộp là m_0, m_2, m_8, m_{10} . (Nếu gộp thành hai vòng nhỏ m_0, m_2 và m_8, m_{10} thì vẫn chưa được tối thiểu)

- Viết hàm tối thiểu : $Z = \overline{A}\overline{C} + AC + \overline{B}\overline{D}$

4) Dùng bảng Karnaugh tìm hàm OR-AND tối thiểu của hàm đảo

Nếu trên bảng Karnaugh của hàm số, ta gộp tất cả các số hạng nhỏ nhất ứng với giá trị 0 của hàm xét, thì ta được biểu thức OR-AND tối thiểu của hàm đảo $\overline{Z}$.

Ví dụ 3.3.11 : Cho $Z = AB + BC + CA$. Dùng hình vẽ tìm ra biểu thức OR-AND tối thiểu của $\overline{Z}$.

Giải :

- Vẽ bảng Karnaugh của hàm Z

Hình 3.3.8

- Gộp các số hạng nhỏ nhất ứng với $Z = 0$

$$\begin{aligned} m_0 + m_1 &= \overline{A}\overline{B}, \quad m_0 + m_2 = \overline{A}\overline{C}, \\ m_0 + m_4 &= \overline{B}\overline{C} \end{aligned}$$

- Viết biểu thức hàm OR-AND tối thiểu của $\overline{Z}$:

$$\overline{Z} = \overline{A}\overline{B} + \overline{B}\overline{C} + \overline{A}\overline{C}$$

AB \ CD	00	01	11	10
		1		
00		1		
01	1	1		1
11	1	1	1	
10	1			

Hình 3-3-6.

AB \ CD	00	01	11	10
	1	1		1
00	1	1		
01	1	1		
11			1	1
10	1		1	1

Hình 3-3-7.

A \ BC	00	01	11	10
	0	0	1	0
0	0	0	1	0
1	0	1	1	1

Hình 3-3-8.

3.3.4. Chuyển đổi biểu thức OR-AND tối thiểu thành biểu thức tối thiểu các dạng NAND-NAND, NORAND, NOR-NOR

Sau khi nghiên cứu xong phương pháp tối thiểu hóa biểu thức dạng OR-AND, chúng ta nghĩ ngay đến vấn đề : Làm thế nào từ biểu thức OR-AND tối thiểu để có được biểu thức tối thiểu các dạng khác.

1) Tính hoàn hảo của phép tính NAND và NOR

Mọi phép toán trong đại số logic đều có thể quy về 3 phép toán cơ bản AND, OR, ĐẢO. Sử dụng các phép toán NAND và NOR cũng rất dễ dàng thực hiện 3 phép toán cơ bản trên. Ví dụ :

$$Z = A \cdot B = \overline{\overline{A} \cdot \overline{B}} = \overline{\overline{A} + \overline{B}}$$

$$Z = A + B = \overline{\overline{A} \cdot \overline{B}} = \overline{\overline{A + B}}$$

$$Z = \overline{A} = \overline{A \cdot 1} = \overline{A + 0}$$

Vậy phép tính NAND và NOR là hoàn hảo, vạn năng. Cho nên, trong các mạch điện vi mạch số, các cổng NAND và NOR trở thành các phần tử cơ bản, điển hình.

2) Biểu thức NAND-NAND tối thiểu

Vì trong công tác thực tế ta dùng nhiều cổng NAND, nên việc chuyển đổi biểu thức OR-AND đã tối thiểu hóa thành biểu thức NAND-NAND là công việc vô cùng quan trọng.

Biểu thức NAND-NAND tối thiểu phải là :

- Kí hiệu đảo ít nhất (không kể đến đảo biến, đảo biến coi như có sẵn)
- Số cổng NAND cần có cũng ít nhất.
- Số biến vào ít nhất (số đầu vào của cổng NAND ít nhất)

Đối với mạch điện 2 cấp cổng NAND, dùng phương pháp ĐẢO 2 lần thì có thể chuyển đổi biểu thức OR-AND tối thiểu thành biểu thức NAND-NAND tối thiểu.

Ví dụ 3-3-12 : Hãy chuyển đổi hàm $Z = \overline{A}B + B\overline{C} + C\overline{A}$ thành biểu thức NAND-NAND tối thiểu.

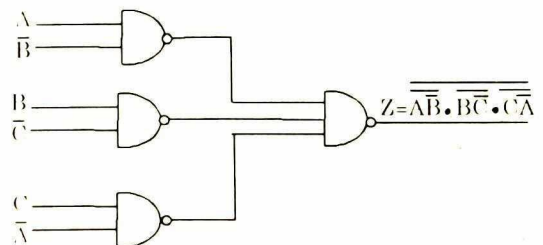
Giải : Áp dụng định lí De Morgan đến cấp số hạng (không đến cấp biến số) :

$$\overline{Z} = \overline{\overline{A}B + B\overline{C} + C\overline{A}} = \overline{\overline{A}B} \cdot \overline{B\overline{C}} \cdot \overline{C\overline{A}}$$

Lấy đảo lần nữa

$$Z = \overline{\overline{Z}} = \overline{\overline{\overline{A}B} \cdot \overline{B\overline{C}} \cdot \overline{C\overline{A}}}$$

Mạch điện dùng cổng NAND thực hiện xem hình 3-3-9



Hình 3-3-9.

3) Biểu thức NORAND tối thiểu

Chúng ta cần biểu thức NORAND tối thiểu khi muốn dùng cổng NORAND để thực hiện hàm logic. Nói chung, cho phép xuất hiện kí hiệu ĐẢO kết hợp với NORAND.

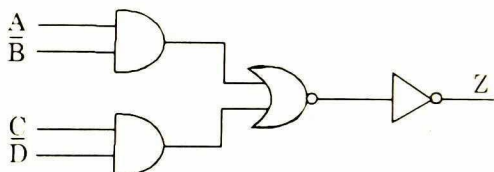
Có hai phương pháp chuyển đổi từ biểu thức OR-AND tối thiểu thành biểu thức NORAND 2 cấp tối thiểu.

a) Lấy ĐẢO hai lần đối với hàm Z

Ví dụ : $Z = AB + CD$

$$Z = \overline{\overline{AB + CD}}$$

Mạch điện thực hiện Z xem hình 3-3-10



Hình 3-3-10.

b) Tìm biểu thức OR-AND tối thiểu của $\bar{Z}$

Sau đó lấy đảo lần nữa.

Ví dụ $Z = AB + \bar{A}\bar{B}$

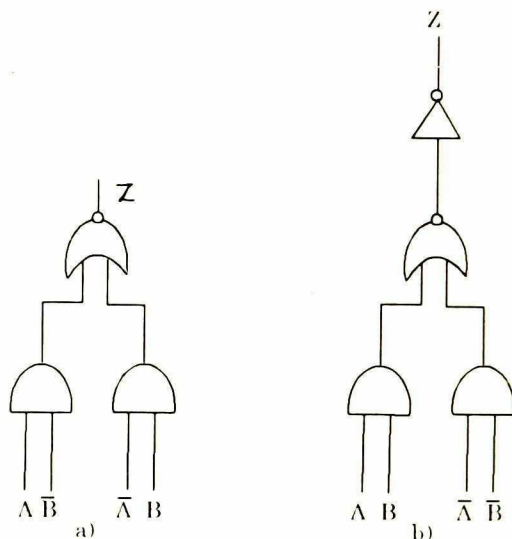
Tìm biểu thức OR-AND tối thiểu của

$$\bar{Z} = \overline{AB + \bar{A}\bar{B}}$$

Lấy đảo lần nữa, ta có

$$Z = \bar{\bar{Z}} = \overline{\overline{AB + \bar{A}\bar{B}}}$$

Mạch điện thực hiện Z xem hình 3-3-11a (Sơ đồ 3-3-11b là kết quả phương pháp lấy đảo 2 lần nói trên, rõ ràng phức tạp hơn).



Hình 3-3-11.

4) Biểu thức NOR-NOR tối thiểu

Biểu thức NOR-NOR tối thiểu được dùng khi chúng ta muốn thực hiện hàm logic bằng cổng NOR.

Biểu thức NOR-NOR tối thiểu là :

- Số cổng đảo ít nhất.
- Số đầu vào ít nhất.

Cách thực hiện hàm NOR-NOR tối thiểu (2 cấp) :

- Tìm biểu thức OR-AND tối thiểu của $\bar{Z}$
- Áp dụng định lí De Morgan để có biểu thức tối thiểu dạng AND-OR
- Lấy đảo 2 lần nữa để có biểu thức NOR-NOR tối thiểu.

Ví dụ 3-3-1 : Hãy viết hàm $Z = AB + BC + CA$ dưới dạng biểu thức NOR-NOR tối thiểu.

Giải :

- Tìm $\bar{Z}$ dạng OR-AND :

Vẽ bảng Karnaugh của hàm Z và gộp các số hạng nhỏ nhất tương ứng $Z = 0$ (hình 3-3-12)

Ta được : $\overline{Z} = \overline{A}\overline{B} + \overline{B}\overline{C} + \overline{C}\overline{A}$

- Áp dụng định lí De Morgan để có dạng AND-OR :

$$Z = \overline{\overline{Z}} = \overline{\overline{A}\overline{B} + \overline{B}\overline{C} + \overline{C}\overline{A}} = \overline{\overline{A}\overline{B}} \cdot \overline{\overline{B}\overline{C}} \cdot \overline{\overline{C}\overline{A}}$$

$$= (A + B) (B + C) (C + A)$$

- Lấy đảo 2 lần để có dạng NOR-NOR :

$$Z = \overline{\overline{Z}} = \overline{\overline{(A + B)(B + C)(C + A)}} = \overline{\overline{A + B} + \overline{B + C} + \overline{C + A}}$$

- Mạch điện logic xem hình 3-3-13

A \ BC	BC			
	00	01	11	10
0	0	0	1	0
1	0	1	1	1

Hình 3-3-12.

3.4. SỰ TỐI THIỂU HÓA HÀM LOGIC RÀNG BUỘC

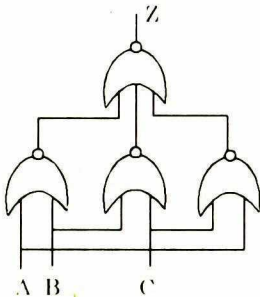
3.4.1. Khái niệm ràng buộc, điều kiện ràng buộc

1) Ràng buộc, phần tử ràng buộc, điều kiện ràng buộc

a) Ràng buộc : Ràng buộc là khái niệm quan trọng nói về mối quan hệ quy định lẫn nhau giữa các biến dạng trong một hàm logic.

Ví dụ 3-4-1 : Ngày lễ Quốc tế Phụ nữ 8-3, một đơn vị nọ tổ chức chiều đãi phim, vé chỉ phát cho phụ nữ của đơn vị. Hãy xem xét vấn đề logic đó.

Giải : Căn cứ để có thể liệt kê bảng chức năng 3-4-1 sau đây



Hình 3-3-13.

Bảng 3-4-1

Thuộc đơn vị không	nam hay nữ	có vé không	được vào rạp không	Thuyết minh
Không	nam	Không	Không	Không có trường hợp này
Không	nam	Có	Không	
Không	nữ	Không	Không	
Không	nữ	Có	Không	Không có trường hợp này
Có	nam	Không	Không	Không có trường hợp này
Có	nam	Có	Không	
Có	nữ	Không	Không	
Có	nữ	Có	Có	

Nếu dùng A, B, C biểu thị các biến logic tương ứng 3 cột đầu bảng 3-4-1, các biến lấy giá trị 0/1 tương ứng không/có thuộc đơn vị, nam/nữ, không/có vé, và nếu dùng Z biểu thị hàm logic $Z = 0/1$ tương ứng không/có được vào rạp xem phim, thì ta có bảng chân lí 3-4-2 sau :

Bảng 3-4-2

A	B	C	Z	Thuyết minh
0	0	0	0	Không xảy ra
0	0	1	x	
0	1	0	0	
0	1	1	x	Không xảy ra
1	0	0	0	Không xảy ra
1	0	1	x	
1	1	0	0	
1	1	1	1	

Bảng 3-4-2 cho biết rằng, các biến A, B, C chỉ lấy các giá trị có thể là 000, 010, 100, 110, 111 và không thể lấy các giá trị 001, 011, 101 vì vé xem phim chỉ phát cho phụ nữ của đơn vị. Vậy giữa các biến A,B,C có một quan hệ ràng buộc nhất định, hay là ta gọi chúng là một nhóm biến ràng buộc. Hàm logic ràng buộc là hàm có các biến ràng buộc.

b) *Phần tử ràng buộc* : Các số hạng nhỏ nhất có các tổ hợp giá trị không xảy ra, như trong ví dụ 3-4-1, là $\bar{A}\bar{B}C$, $\bar{A}BC$, $A\bar{B}C$. Những giá trị đó được gọi là số hạng ràng buộc.

Như ta đã biết về số hạng nhỏ nhất, mỗi số hạng nhỏ nhất có một tổ hợp giá trị các biến tương ứng để nó lấy giá trị 1, số hạng ràng buộc luôn bằng 0 vì tổ hợp giá trị các biến tương ứng để nó lấy giá trị 1 thuộc vào giá trị không xảy ra.

c) *Điều kiện ràng buộc* : Biểu thức logic cấu trúc bằng tổng các số hạng ràng buộc được gọi là điều kiện ràng buộc. Vì số hạng ràng buộc luôn bằng 0, nên tổng các số hạng ràng buộc cũng bằng 0, vậy điều kiện ràng buộc bằng 0.

2) Phương pháp biểu thị điều kiện ràng buộc

a) Trong bảng chân lí dùng dấu "x" biểu thị, xem ví dụ bảng 3-4-2 trên đây. Giá trị hàm số tương ứng tổ hợp giá trị biến của số hạng ràng buộc có dấu chéo "x".

b) Trong biểu thức logic dùng đẳng thức điều kiện ràng buộc bằng 0 để biểu thị. Ví dụ, từ bảng 3-4-2 ta có :

$$\bar{A}\bar{B}C + \bar{A}BC + A\bar{B}C = 0 \text{ hay là } \sum (1,3,5) = 0$$

hay dưới dạng OR-AND tối thiểu :

$$\bar{A}C + \bar{B}C = 0$$

c) Trong bảng Karnaugh dùng dấu "x" biểu thị, ví dụ, tương ứng với bảng 3-4-2 là bảng Karnaugh hình 3-4-1

A \ BC		00	01	11	10
		0	1	1	0
0		0	x	x	0
1		0	x	1	0

Hình 3-4-1.

3.4.2. Tối thiểu hóa hàm logic ràng buộc

Mấu chốt của vấn đề là dùng điều kiện ràng buộc như thế nào. Nói chung, nếu tận dụng điều kiện ràng buộc thì có thể nhận được biểu thức tối thiểu hóa.

1) Ứng dụng điều kiện ràng buộc để tối thiểu hóa

a) Phương pháp công thức

Trong phương pháp công thức, tùy yêu cầu, có thể tùy ý cộng thêm hoặc khử bỏ số hạng ràng buộc. Số hạng ràng buộc bằng 0, nên thêm bớt 0 vào biểu thức logic không làm thay đổi giá trị biểu thức đó. Ví dụ, bảng 3-4-2, ta có : $Z = ABC$

$$Z = ABC + \bar{A}C + \bar{B}C = C(AB + \bar{A} + \bar{B}) = C(AB + \overline{AB}) = C$$

b) Phương pháp hình vẽ

Trong phương pháp hình vẽ, tùy yêu cầu, có thể tùy ý khoanh vòng qua số hạng ràng buộc. Vì số hạng ràng buộc bằng 0, nên sự gộp thêm nó không làm thay đổi giá trị hàm số. Ví dụ, hình 3-4-1, có thể khoanh vòng 4 ô giữa, ta có :

$$Z = m_1 + m_3 + m_5 + m_4 = C$$

Phân tích bảng 3-4-1, 3-4-2, chúng ta sẽ rõ ý nghĩa thực tế của việc tối thiểu hóa dùng điều kiện ràng buộc. $Z = ABC$ nghĩa là người gác rạp chiếu phim phải kiểm tra vé, lại phải phân biệt giới tính và nơi công tác của người có vé : Phiền phức quá. $Z = C$ nghĩa là người gác rạp chiếu phim chỉ cần kiểm tra vé : Thật đơn giản. Tuy nhiên, điều kiện ràng buộc phải bảo đảm là vé chỉ phát cho phụ nữ của đơn vị mà thôi. Nếu không, người không được phép cũng vào xem phim. Nói một cách tổng quát, cần bảo đảm điều kiện ràng buộc khi tối thiểu hóa hàm logic ràng buộc. Nếu không, có thể sinh ra sai lầm.

2) Tối thiểu hóa hàm logic có biến loại trừ nhau

Trong một nhóm biến số, nếu chỉ có một biến lấy giá trị 1 thì giá trị các biến khác phải bằng 0. Đó là các loại trừ nhau.

Ví dụ 3-4-2 : Các biến A, B, C của hàm Z là loại trừ nhau.

Hãy kê bảng chân lí của Z và dùng phương pháp công thức, phương pháp hình vẽ để tìm biểu thức hàm số tối thiểu dạng ORAND.

Giải :

- Bảng 3-4-4 dưới đây căn cứ vào khái niệm các biến loại trừ nhau

Bảng 3-4-4 : DẤU × BIỂU THỊ TRƯỜNG HỢP KHÔNG XẢY RA.

A	B	C	Z
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	×
1	0	0	1
1	0	1	×
1	1	0	×
1	1	1	×

- Dùng công thức tối thiểu hóa

$$Z = \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C}$$

Điều kiện ràng buộc $\bar{A}BC + \bar{A}\bar{B}C + A\bar{B}\bar{C} + ABC = 0$

$$\begin{aligned} Z &= \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + \bar{A}BC + \bar{A}\bar{B}C + A\bar{B}\bar{C} + ABC \\ &= (\bar{A}\bar{B}C + \bar{A}B\bar{C}) + (\bar{A}BC + \bar{A}\bar{B}C) + (A\bar{B}\bar{C} + ABC) + ABC \\ &= \bar{A}C + B\bar{C} + (A\bar{B} + ABC) \\ &= \bar{A}C + B\bar{C} + A(\bar{B} + BC) \\ &= \bar{A}C + B\bar{C} + A\bar{B} + AC \\ &= (\bar{A}C + AC) + B\bar{C} + A\bar{B} \\ &= C + B\bar{C} + A\bar{B} \\ &= A + B + C \end{aligned}$$

- Dùng hình vẽ tối thiểu hóa vẽ bảng Karnaugh như hình 3-4-2.

Gộp theo khoanh vòng

$$m_4 + m_5 + m_6 + m_7 = A$$

$$m_2 + m_3 + m_6 + m_7 = B$$

$$m_1 + m_3 + m_5 + m_7 = C$$

Hàm tối thiểu hóa : $Z = A + B + C$

Đối với hàm logic mà các biến loại trừ nhau, bảng chân lí thường có dạng đơn giản đặc biệt, ví dụ, từ bảng 3-4-4 ta có bảng 3-4-5

Bảng 3-4-5

Biến	Hàm Z
A	1
B	1
C	1

A \ BC	00	01	11	10
	0	1	×	1
1	1	×	×	×

Hình 3-4-2.

Hàm logic có biểu thức dạng tổng các biến :
 $Z = A + B + C$

3) Ví dụ về tối thiểu hóa

Ví dụ 3-4-3 : Hãy tối thiểu hóa hàm
 $Z = AC + \bar{A}\bar{B}C$

điều kiện ràng buộc $\bar{B}\bar{C} = 0$

Giải :

- dùng công thức

$$Z = AC + \bar{A}\bar{B}C = AC + \bar{A}\bar{B}C + \bar{B}\bar{C} = C(A + \bar{A}\bar{B}) + \bar{B}\bar{C} = AC + \bar{B}\bar{C} + \bar{B}\bar{C}$$

$$Z = AC + \bar{B}$$

A \ BC	00	01	11	10
	×	1	0	0
1	×	1	1	0

Hình 3-4-3.

- Dùng hình vẽ (hình 3-4-3)

- Gộp khoanh vòng

$$m_0 + m_1 + m_4 + m_5 = \bar{B}$$

$$m_5 + m_7 = AC$$

$$Z = \bar{B} + AC$$

Ví dụ 3-4-4 : Cho bảng chân lí của hàm logic ràng buộc (bảng 3-4-6). Hãy tìm biểu thức tối thiểu hóa của hàm dạng OR-AND và dạng AND-OR.

Giải : Từ bảng chân lí 3-4-6 vẽ bảng Karnaugh hình 3-4-4.

Bảng 3-4-6

A	B	C	D	Z
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	×
1	0	1	1	×
1	1	0	0	×
1	1	0	1	×
1	1	1	0	×
1	1	1	1	×

AB \ CD				
	00	01	11	10
00	1	0	1	1
01	0	1	1	0
11	×	×	×	×
10	1	1	×	×

Hình 3-4-4.

- Tìm dạng OR-AND :

Khi khoanh vòng $m_{10}, m_{11}, m_{12}, m_{13}, m_{14}, m_{15}$ được tận dụng xử lí gộp, ta có :

$$Z = \bar{B}\bar{D} + \bar{B}C + BD + A \quad (3-4-1)$$

- Tìm dạng AND-OR :

Nếu trên đây gộp các số hạng ràng buộc vào vòng các ô giá trị 1, thì ở đây ta chia số hạng ràng buộc thành hai nhóm :

m_{12} và m_{14} gộp vào các ô giá trị 0, còn m_{10}, m_{11}, m_{12} và m_{15} gộp vào các ô giá trị 1. Ta có :
$$\bar{Z} = \bar{A}\bar{B}\bar{C}D + B\bar{D} \quad (3-4-2)$$

Lấy ĐẢO lần nữa, ta có :

$$\begin{aligned} Z &= \overline{\overline{Z}} = \overline{\overline{A} \overline{B} \overline{C} D + B \overline{D}} \\ &= \overline{\overline{A} \overline{B} \overline{C} D} \overline{B \overline{D}} \\ &= (A + B + C + \overline{D})(\overline{B} + D) \end{aligned}$$

Cần thuyết minh thêm điều sau đây : Hàm Z (3-4-1) và hàm đảo $\overline{Z}$ (3-4-2) không đơn giản là đảo của nhau, nếu quên đi điều kiện ràng buộc. Nói cách khác, nếu không có điều kiện ràng buộc thì (3-4-1) và (3-4-2) không thể là các biểu thức đảo của nhau. Xuất xứ của chúng là do trong quá trình xử lý các số hạng ràng buộc, ta gộp tất cả vào vòng các ô giá trị 1 để đi đến (3-4-1), nhưng lại chia chúng thành hai nhóm để đi đến (3-4-2). Muốn lấy đảo để chuyển đổi qua lại hai biểu thức hàm số (3-4-1) và (3-4-2), ta phải tận dụng điều kiện ràng buộc.

TÓM TẮT

Chương 3 giới thiệu 3 phần nội dung chính : các công thức và định lý cơ bản của đại số logic, phương pháp biểu thị và tối thiểu hóa hàm logic.

Đại số logic là phương pháp quan trọng nghiên cứu mạch số, dùng đại số logic có thể trừu tượng hóa các quan hệ logic của một mạch điện thành biểu thức đại số logic, hơn nữa, có thể dùng các phép toán logic để giải quyết những vấn đề phân tích và thiết kế mạch logic.

Sau khi đã nghiên cứu các khái niệm và công thức cơ bản của đại số logic, chúng ta đã học tập 4 phương pháp biểu thị hàm logic, đó là :

1 - Bảng chân lí

Bảng chân lí dùng bảng liệt kê để biểu thị quan hệ giữa giá trị hàm số và tổ hợp giá trị các biến số của nó. Ưu điểm là trực quan, rõ ràng, tiện để trừu tượng hóa những vấn đề logic thực tế thành vấn đề đại số logic. Nhược điểm là sự rối rắm tăng nhanh theo số biến của hàm.

2 - Biểu thức

Biểu thức hàm logic liên hệ hàm với biến thông qua các phép toán logic VÀ, HOẶC, ĐẢO v.v... Cả với những trường hợp quan hệ logic phức tạp và biến logic nhiều thì biểu thức là phương pháp biểu thị hàm logic đơn giản, gọn ghẽ hơn cả, tiện để thực hiện các phép toán logic và tối thiểu hóa bằng công thức.

3 - Sơ đồ logic

Đây là phương pháp biểu thị hàm logic tương đối tiếp cận thực tế công trình. Vì kí hiệu phân tử logic trong sơ đồ thông thường biểu thị một phần tử mạch điện cụ thể, nên đồng thời đó là sơ đồ mạch logic. Trong thực tế, khi tìm hiểu chức năng logic của hệ thống số hoặc một hệ điều khiển số, ta dựa vào sơ đồ logic, vì sơ đồ logic biến chức năng logic của một mạch điện thực tế rất phức tạp thành sơ đồ các quan hệ logic rõ ràng và có thứ tự. Khi thiết kế để sản xuất thiết bị số, đầu tiên phải thiết kế logic, vẽ sơ đồ logic, rồi mới chuyển sang mạch điện thực tế.

4 - Bảng Karnaugh

Bảng Karnaugh biểu thị hàm logic bằng sơ đồ các ô số hạng nhỏ nhất, dùng sự kề nhau về vị trí hình học các ô để biểu thị trực quan tính chất kề nhau về logic của các số hạng nhỏ nhất của hàm. Bảng Karnaugh là công cụ quan trọng để tối thiểu hóa hàm logic.

4 phương pháp biểu thị hàm logic nói trên là có thể chuyển đổi lẫn nhau. Tùy theo yêu cầu thực tế cần giải quyết, ta chọn một phương pháp tốt nhất để biểu thị một hàm logic cụ thể.

Chúng ta tập trung tìm hiểu 2 phương pháp tối thiểu hóa hàm logic, đó là :

1. Dùng công thức

Dùng các công thức và định lý của đại số logic, tiến hành các phép toán logic để đi tới biểu thức tối thiểu hóa. Ưu điểm là không có hạn chế nào. Nhược điểm là cần đến kinh nghiệm và kỹ xảo khi tối thiểu hóa các biểu thức phức tạp.

2. Dùng hình vẽ

Dùng bảng Karnaugh để tối thiểu hóa. Ưu điểm là trực quan, đơn giản, dễ hiểu, ít nhầm lẫn. Nhược điểm là hạn chế số biến của hàm dưới 6.

Trong hàm logic thực tế, thường có những quan hệ ràng buộc. Nếu tận dụng điều kiện ràng buộc để tối thiểu hóa, thường có được hàm logic cực kỳ đơn giản. Chúng ta cần hiểu chính xác các khái niệm ràng buộc, số hạng ràng buộc, điều kiện ràng buộc và nắm vững phương pháp biểu thị điều kiện ràng buộc, phương pháp xử lý điều kiện ràng buộc để tối thiểu hóa.

Cuối cùng cần nói thêm rằng, khi thiết kế thực tế, để làm giảm số vi mạch, thường kết hợp các loại mạch cổng trong một sơ đồ mạch. Khi đó, biểu thức hàm logic tối thiểu là hỗn hợp và chỉ tối ưu khi xem xét việc sử dụng các cổng logic được chọn.

BÀI TẬP

3-1. Ba phép toán logic cơ bản trong đại số logic là gì ?

3-2. Hàm logic và biến logic tại sao chỉ lấy 2 giá trị 0 và 1. Có thể xảy ra trường hợp nào khác ?

3-3. Trong các biểu thức hàm logic dưới đây, $Z = 1$ với tổ hợp giá trị nào của các biến A, B, C.

$$(1) Z = AB + BC + \bar{A}C$$

$$(2) Z = \bar{A}\bar{B} + \bar{B}\bar{C} + A\bar{C}$$

$$(3) Z = A\bar{B} + \bar{A}\bar{B}\bar{C} + \bar{A}B + AB\bar{C}$$

$$(4) Z = \overline{AB + BC}(A + B)$$

3-4. Chứng minh các đẳng thức sau :

$$(1) \overline{A + BC + D} = \bar{A} \cdot (\bar{B} + \bar{C}) \cdot \bar{D}$$

$$(2) \overline{AB + \bar{A}\bar{B} + \bar{C}} = (A \oplus B) \cdot C$$

$$(3) A + \overline{A(B + C)} = A + \overline{B} \overline{C}$$

$$(4) \overline{A} \overline{B} + \overline{A} B + A \overline{B} + AB = 1$$

3-5. Chứng minh các đẳng thức sau :

$$(1) AB + BCD + \overline{A}C + \overline{B}C = AB + C$$

$$(2) \overline{A} \overline{B} + BD + DCE + D\overline{A} = \overline{A} \overline{B} + D$$

$$(3) AB(C + D) + D + \overline{D}(A + B)(\overline{B} + \overline{C}) = A + \overline{B} \overline{C} + D$$

$$(4) ABCD + \overline{A} \overline{B} \overline{C} \overline{D} = \overline{A \overline{B} + B \overline{C} + C \overline{D} + D \overline{A}}$$

$$(5) \overline{A} \overline{B} + \overline{B} \overline{C} + \overline{C} \overline{A} = \overline{A} \overline{B} + \overline{B} \overline{C} + \overline{C} \overline{A}$$

$$(6) \overline{A \oplus B} \overline{B \oplus C} \overline{C \oplus D} = \overline{A \overline{B} + \overline{B} \overline{C} + \overline{C} \overline{D} + \overline{D} \overline{A}}$$

$$(7) \overline{\overline{A} \overline{B} \overline{C}} \overline{AB + BC + CA} + ABC = (\overline{A} + \overline{B} + \overline{C}) \overline{\overline{A} \overline{B} + \overline{B} \overline{C} + \overline{C} \overline{A} + \overline{A} \overline{B} \overline{C}}$$

$$(8) \overline{A} \overline{B} + \overline{A} \overline{B} + BC = \overline{A} \overline{B} + AC + \overline{A} \overline{B}$$

$$(9) ABC + \overline{A} \overline{B} \overline{C} + \overline{A} B \overline{C} + \overline{A} \overline{B} C = A \oplus B \oplus C$$

$$(10) A \oplus B \oplus C = ABC + (A + B + C) \overline{A \overline{B} + \overline{B} \overline{C} + \overline{C} \overline{A}}$$

3-6. Chứng minh các đẳng thức sau :

$$(1) \overline{A \oplus B} = \overline{A} \oplus B = A \oplus \overline{B}$$

$$(2) A \oplus B = \overline{A} \oplus \overline{B}$$

$$(3) \overline{A \oplus B \oplus C} = \overline{A} \oplus \overline{B} \oplus \overline{C}$$

$$(4) A(A \oplus B) = A \overline{B}$$

$$(5) AB(A \oplus B \oplus C) = ABC$$

3-7. Bảng chân lí là gì ? Bạn có thể từ biểu thức logic đã cho để kê ra bảng chân lí được không ?

3-8. Hãy liệt kê bảng chân lí của các hàm dưới đây. Thuyết minh quan hệ giữa F_1 và F_2

$$(1) \begin{cases} F_1 = \overline{A} \overline{B} + \overline{B} \overline{C} + \overline{C} \overline{A} \\ F_2 = \overline{A} \overline{B} + \overline{B} \overline{C} + \overline{C} \overline{A} \end{cases}$$

$$(2) \begin{cases} F_1 = ABC + \overline{A} \overline{B} \overline{C} \\ F_2 = \overline{A \overline{B} + \overline{B} \overline{C} + \overline{C} \overline{A}} \end{cases}$$

$$(3) \begin{cases} F_1 = \overline{A \oplus B + \oplus C} \\ F_2 = ABC + \overline{A} \overline{B} \overline{C} + \overline{A} B \overline{C} + \overline{A} \overline{B} C \end{cases}$$

$$(4) \begin{cases} F_1 = A \overline{C} \overline{D} + \overline{A} \overline{B} + BC \\ F_2 = \overline{A} \overline{B} \overline{C} + \overline{A} \overline{B} \overline{D} + \overline{B} \overline{C} \overline{D} \end{cases}$$

3-9. Dùng bảng chân lí nghiệm lại các đẳng thức ở đề bài tập 3-4.

3-10. Nói phương pháp tìm biểu thức hàm số từ bảng chân lí. Bạn có thể trực tiếp viết ra biểu thức hàm logic dạng ORAND và ANDOR từ bảng chân lí không ?

3-11. Cho bảng chân lí của các hàm logic $F_1 \div F_5$ như dưới đây. Hãy viết biểu thức hàm logic dạng ORAND chuẩn tắc.

A	B	C	F_1	F_2	F_3	F_4	F_5
0	0	0	0	0	0	0	1
0	0	1	1	0	1	1	0
0	1	0	1	0	1	1	0
0	1	1	0	1	0	1	1
1	0	0	1	0	1	0	0
1	0	1	0	1	0	0	0
1	1	0	0	1	0	0	1
1	1	1	1	1	0	1	0

3-12. Hãy viết biểu thức hàm logic $F_1 \div F_5$ trong bài tập 3-11 ở dạng AND-OR chuẩn tắc.

3-13. Số hạng nhỏ nhất là gì ? Tính chất của nó ? Phương pháp kí hiệu nó ?

3-14. Hãy triển khai các hàm logic sau đây thành biểu thức số hạng nhỏ nhất.

$$(1) Z = AB + BC + CA$$

$$(2) Z = S + \overline{R}Q$$

$$(3) Z = J\overline{Q} + \overline{K}Q$$

$$(4) Z = \overline{AB + AD + \overline{BC}}$$

$$(5) Z = \overline{\overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}\overline{C}}$$

3-15. Nói về phương pháp kí hiệu số hạng nhỏ nhất. Hãy dùng $Z = \sum m_i$ biểu thị các hàm số trong bài tập 3-14.

3-16. Thừa số lớn nhất là gì ? Tính chất và cách kí hiệu.

3-17. Hãy viết biểu thức các thừa số lớn nhất của các hàm số trong bài tập 3-14.

3-18. Bảng Karnaugh là gì ? Quy luật sắp xếp biến số trên bảng Karnaugh như thế nào ? Bạn có thể viết nhanh ra kí hiệu trên các ô của bảng Karnaugh không ?

3-19. Bạn có thành thạo vẽ ra bảng Karnaugh 3, 4 biến không ?

3-20. Hãy nói các bước cơ bản vẽ bảng Karnaugh của hàm logic.

3-21. Vẽ bảng Karnaugh của các hàm trong bài tập 3-3.

3-22. Dùng bảng Karnaugh chứng minh các đẳng thức ở bài tập 3-4.

3-23. Dùng bảng Karnaugh chứng minh các đẳng thức 1 ÷ 5 ở bài tập 3-5.

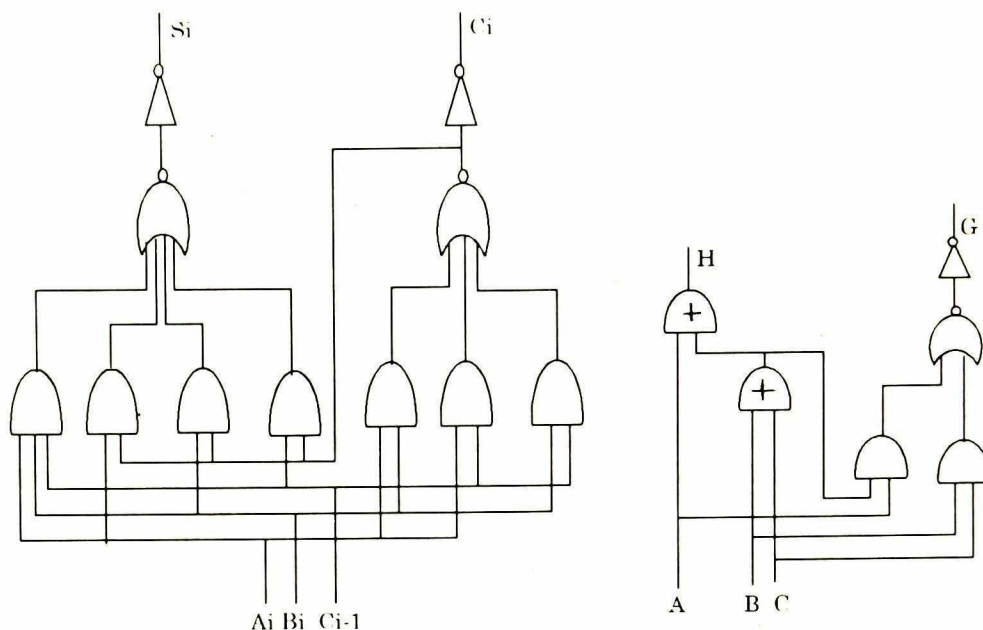
3-24. Sơ đồ logic là gì ? Đặc điểm của nó.

3-25. Bạn có thể vẽ sơ đồ logic từ biểu thức hàm số đã cho không ?

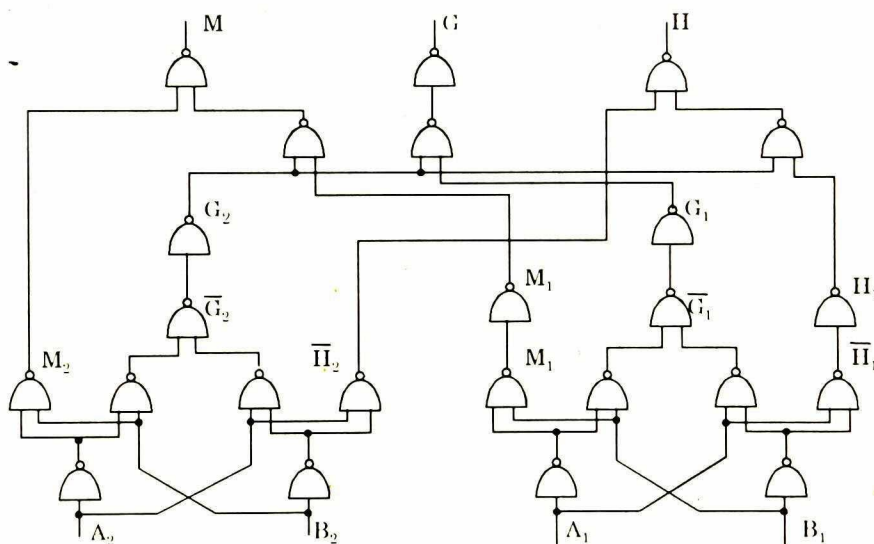
3-26. Hãy vẽ sơ đồ logic của các hàm số cho ở bài tập 3-3.

3-27. Hãy vẽ sơ đồ logic của các hàm số cho ở bài tập 3-14.

3-28. Hãy viết biểu thức hàm đầu ra của sơ đồ logic sau đây.



3-29. Hãy viết biểu thức hàm đầu ra của sơ đồ logic sau đây.



3-30. Biểu thức OR-AND tối thiểu là gì ? Việc tối thiểu hóa hàm logic có ý nghĩa thực tế gì ?

3-31. Phương pháp tối thiểu hóa bằng công thức là gì ? Ưu điểm của nó ?

3-32. Hãy dùng phương pháp công thức để tối thiểu hóa các hàm logic dưới đây thành dạng OR-AND tối thiểu.

$$(1) A(\bar{A} + B) + B(B + C) + B$$

$$(2) (\bar{A} + \bar{B} + \bar{C})(B + \bar{B} + C)(C + \bar{B} + \bar{C})$$

- (3) $AB + A\bar{B} + \bar{A}B + \bar{A}\bar{B}$
- (4) $(A + AB + ABC)(A + B + C)$
- (5) $(\bar{A}\bar{B} + \bar{A}B)(AB + \bar{A}\bar{B})$
- (6) $ABC + \bar{A}B + \bar{A}B\bar{C}$
- (7) $(\bar{A}B + A\bar{B} + \bar{A}\bar{B})(A + B + D + \bar{A}\bar{B}\bar{D})$
- (8) $(\bar{A}\bar{B} + D)(A + \bar{B})D$
- (9) $\bar{A}\bar{C} + \bar{A}\bar{B} + BC + \bar{A}\bar{C}\bar{D}$
- (10) $\bar{A}\bar{B} + C + \bar{A}\bar{C}D + B\bar{C}D$

3-33. Hãy dùng phương pháp công thức để tối thiểu hóa các hàm logic dưới đây thành dạng OR-AND tối thiểu.

- (1) $AB + \bar{A}C + \bar{B}C + \bar{C}D + \bar{D}$
- (2) $A(\bar{A}C + BD) + B(C+DE) + B\bar{C}$
- (3) $(\bar{A} + \bar{B} + \bar{C})(B + \bar{B}C + \bar{C})(D + \bar{D}E + \bar{E})$
- (4) $A + \bar{B} + \bar{C}D + \bar{A}D \cdot \bar{B}$
- (5) $\bar{A}\bar{B} + BD + DCE + D\bar{A}$
- (6) $AD + B\bar{C}\bar{D} + (\bar{A} + \bar{B})C$
- (7) $\bar{A} \cdot \bar{B} + AC + BC + \bar{B}\bar{C}\bar{D} + B\bar{C}E + \bar{B}CF$
- (8) $\bar{A} \cdot \bar{B} + AC + \bar{C}D + \bar{B}\bar{C}\bar{D} + B\bar{C}E + \bar{B}C\bar{G} + \bar{B}CF$

3-34. Hãy dùng phương pháp công thức để tối thiểu hóa các hàm logic dưới đây thành dạng OR-AND tối thiểu.

- (1) $\overline{AB + \bar{A}\bar{B}}$
- (2) $\overline{A \oplus B \cdot B \oplus C}$
- (3) $\overline{B\bar{C} + \bar{A}}$
- (4) $\overline{A\bar{B} + \bar{A}C + \bar{B}C}$
- (5) $\overline{BC + AB + A\bar{C}}$
- (6) $\overline{A\bar{C} + BD + \bar{A}BC}$
- (7) $\overline{\bar{A}\bar{B}D + \bar{A}\bar{C} + B\bar{C}\bar{D}} + \bar{B}D + B\bar{D}$
- (8) $\overline{CD + \bar{C}\bar{D} \cdot \bar{A}C + \bar{D}}$
- (9) $\overline{\bar{A}\bar{B}\bar{C} \cdot \bar{A}\bar{B} + \bar{B}\bar{C} + \bar{C}\bar{A}}$
- (10) $\overline{(A + B)CD + ACD + AB(C + \bar{D})}$

3-35. Dùng phương pháp công thức chứng minh các đẳng thức sau

- (1) $ABC + \bar{A}\bar{B}\bar{C} = \overline{\bar{A}B + \bar{B}C + \bar{C}A}$
- (2) $AB + \bar{A}\bar{B} = \overline{(A + B)(\bar{A} + \bar{B})}$
- (3) $\overline{A + C} + \overline{AD} + \overline{BC} = \overline{(A + D)BC} \cdot A + \overline{(\bar{B} + C)AD} \cdot C$
- (4) $A \oplus B \oplus C = (\bar{A} + \bar{B} + \bar{C})(\bar{A} + B + C)(A + \bar{B} + C)(A + B + \bar{C})$
- (5) $A \oplus B \oplus C \oplus D = A \oplus \bar{B} \oplus C \oplus \bar{D}$

3-36. Hãy tìm hàm đảo của các hàm logic sau đây (dùng định lí De Morgan, đưa hàm đảo về dạng OR-AND tối thiểu).

- (1) $(A + \overline{B})C + \overline{D}$
- (2) $(\overline{A}\overline{B} + \overline{B}\overline{D})(AC + BD)$
- (3) $A.B + \overline{C} + \overline{AD}$
- (4) $AB + \overline{BD} + \overline{BC} + \overline{CD}$
- (5) $D[\overline{C} + (AD + B)E]$
- (6) $A \oplus B \oplus C$
- (7) $(A \oplus B)C + \overline{B \oplus C} . D$
- (8) $\overline{\overline{A + B + CD} + \overline{C + D} + AB}$

3-37. Dùng định lí triển khai để tối thiểu hóa các hàm sau đây (về dạng OR-AND tối thiểu)

- (1) $F_1 = \overline{(A + C)(C + D) + \overline{A}\overline{B}\overline{D}}$
- (2) $F_2 = \overline{AC . \overline{BD} + CD . \overline{AB}}$
- (3) $F_3 = \overline{\overline{A}\overline{B} + ABD . (B + \overline{CD})}$
- (4) $F_4 = \overline{ABC + \overline{A}\overline{B}C + \overline{A}BC + \overline{A}\overline{B}\overline{C}}$

3-38. Dùng định lí triển khai để tối thiểu hóa các hàm sau đây (về dạng OR-AND tối thiểu)

- (1) $F_1 = \overline{\overline{A}\overline{B}C + ABD + \overline{A}\overline{B}\overline{D} + \overline{A}\overline{C}D}$
- (2) $F_2 = \overline{ABC + \overline{A}\overline{C}(B + D) . CD}$
- (3) $F_3 = \overline{AB + BC + \overline{A}\overline{B} . (\overline{A}\overline{B} + \overline{A}\overline{B} + \overline{B}C)}$
- (4) $F_4 = \overline{A(A + C)(B + C)(\overline{A} + \overline{C} + D)(\overline{A} + B + D)}$
- (5) $F_5 = \overline{ABC + BD(\overline{A} + C) + (B + D)AC}$
- (6) $F_6 = \overline{AC + \overline{B}\overline{C} + \overline{AD} + \overline{A}\overline{B}\overline{D} + \overline{A}BE + \overline{A}\overline{B}FG + ABH}$

3-39. Quy tắc gộp các số hạng nhỏ nhất trong bảng Karnaugh là gì ? Có thể gộp các số hạng nhỏ nhất liên kế với số các số hạng là 3, 5, 7, 9, 15 hay không ? Tại sao ?

3-40. Hãy viết ra dạng OR-AND tối thiểu của các hàm số biểu thị dưới đây.

A \ BC				
	00	01	11	10
0	1			1
1	1		1	1

(a)

A \ BC				
	00	01	11	10
0	1	1	1	1
1		1	1	

(b)

A \ BC				
	00	01	11	10
0				
1	1	1	1	

(c)

AB \ CD	00	01	11	10
00	1	1	1	1
01	1	1		
11				
10	1		1	1

(d)

AB \ CD	00	01	11	10
00	1			1
01	1	1	1	1
11	1			1
10	1			1

(c)

AB \ CD	00	01	11	10
00				1
01			1	1
11		1	1	1
10	1	1	1	1

(f)

AB \ CD	00	01	11	10
00	1	1		1
01		1	1	1
11	1	1	1	
10	1		1	1

(g)

AB \ CD	00	01	11	10
00		1	1	1
01	1	1		1
11	1		1	1
10	1	1	1	

(h)

AB \ CD	00	01	11	10
00			1	1
01		1	1	1
11	1	1	1	
10	1	1		

(i)

AB \ CD	00	01	11	10
00	1	1	1	1
01	1			1
11	1			1
10	1	1	1	1

(j)

AB \ CD	00	01	11	10
00		1	1	
01	1	1	1	1
11	1	1	1	1
10		1	1	

(k)

AB \ CD	00	01	11	10
00	1			1
01		1	1	
11		1	1	
10	1			1

(l)

3-41. Dùng phương pháp hình vẽ tối thiểu hóa các hàm sau đây về dạng OR-AND tối thiểu

$$(1) F(A, B, C) = \sum_m(0, 1, 2, 5)$$

$$(2) F(A, B, C) = \sum_m(0, 2, 4, 6, 7)$$

$$(3) F(A, B, C) = \sum_m(0, 1, 2, 3, 4, 5, 6)$$

$$(4) F(A, B, C) = \sum_m(0, 1, 2, 3, 6, 7)$$

$$(5) F(A, B, C, D) = \sum_m(0, 1, 8, 9, 10)$$

$$(6) F(A, B, C, D) = \sum_m(0, 1, 2, 3, 4, 9, 10, 12, 13, 14, 15)$$

$$(7) F(A, B, C) = \sum_m(0, 4, 6, 8, 10, 12, 14)$$

$$(8) F(A, B, C, D) = \sum_m(1, 3, 8, 9, 10, 11, 14, 15)$$

$$(9) F(A, B, C, D) = \sum_m(3, 5, 8, 9, 11, 13, 14, 15)$$

$$(10) F(A, B, C, D) = \sum_m(0, 2, 3, 4, 8, 10, 11)$$

$$(11) F(A, B, C, D) = \sum_m(0, 1, 2, 3, 4, 9, 10, 11, 12, 13, 14, 15)$$

3-42. Dùng phương pháp hình vẽ tối thiểu hóa các hàm số dưới đây về dạng OR-AND tối thiểu.

- (1) $F = \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}CD + \bar{A}\bar{B}C\bar{D} + A\bar{B}\bar{C}\bar{D} + A\bar{B}CD + A\bar{B}C\bar{D}$
- (2) $F = \bar{A}\bar{C}D + \bar{A}B\bar{D} + ABD + A\bar{C}\bar{D}$
- (3) $F = A\bar{B} + B\bar{C}\bar{D} + ABD + \bar{A}B\bar{C}D$
- (4) $F = \bar{A}\bar{B}C + AD + B\bar{D} + C\bar{D} + A\bar{C} + \bar{A}\bar{D}$
- (5) $F = A\bar{B}\bar{C}\bar{D} + \bar{A}B + \bar{A}\bar{B}\bar{D} + B\bar{C} + BCD$
- (6) $F = \bar{A}\bar{B}D + \bar{A}B\bar{C} + BCD + A\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D}$

3-43. Dùng phương pháp hình vẽ tối thiểu hóa các hàm số dưới đây về dạng OR-AND tối thiểu.

- (1) $F(A, B, C, D) = \sum_m(0, 1, 4, 6, 8, 9, 10, 12, 13, 14, 15)$
- (2) $F(A, B, C, D) = \sum_m(0, 2, 3, 4, 5, 6, 8, 9, 10, 11, 12, 13, 14, 15)$
- (3) $F(A, B, C, D) = \sum_m(2, 4, 5, 6, 7, 11, 12, 14, 15)$
- (4) $F(A, B, C, D, E) = \sum_m(0, 3, 4, 6, 7, 8, 11, 15, 16, 17, 20, 22, 25, 27, 29, 30, 31)$

3-44. Khái niệm ràng buộc, số hạng ràng buộc, điều kiện ràng buộc là gì.

3-45. Trong phương pháp tối thiểu hóa (công thức hoặc hình vẽ), tại sao có thể tùy ý thêm bớt các số hạng ràng buộc theo yêu cầu?

3-46. Dùng phương pháp hình vẽ để tối thiểu hóa về dạng OR-AND tối thiểu các hàm sau đây với điều kiện ràng buộc $AB + AC = 0$

1. $F(A, B, C, D) = \sum_m(0, 1, 2, 3, 4, 5, 6, 8, 9)$
2. $F(A, B, C, D) = \sum_m(0, 2, 4, 5, 7, 8)$
3. $F(A, B, C, D) = \sum_m(0, 1, 3, 5, 8, 9)$
4. $F(A, B, C, D) = \sum_m(0, 1, 2, 3, 4, 5, 6)$

3-47. Dùng phương pháp hình vẽ tối thiểu hóa về dạng OR-AND tối thiểu các hàm sau đây với điều kiện ràng buộc $\sum_d = 0$

1. $F(A, B, C, D) = \sum_m(0, 1, 2, 3, 6, 8) + \sum_d(10, 11, 12, 13, 14, 15)$
2. $F(A, B, C, D) = \sum_m(3, 6, 8, 9, 11, 12) + \sum_d(0, 1, 2, 13, 14, 15)$
3. $F(A, B, C, D)' = \sum_m(0, 1, 4, 9, 12, 13) + \sum_d(2, 3, 6, 10, 11, 14)$
4. $F(A, B, C, D) = \sum_m(0, 1, 2, 3, 4, 7, 15) + \sum_d(8, 9, 10, 11, 12, 13)$
5. $F(A, B, C, D) = \sum_m(0, 2, 4, 5, 7, 13) + \sum_d(8, 9, 10, 11, 14, 15)$
6. $F(A, B, C, D) = \sum_m(2, 4, 6, 7, 12, 15) + \sum_d(0, 1, 3, 8, 9, 11)$
7. $F(A, B, C, D) = \sum_m(1, 2, 4, 12, 14) + \sum_d(5, 6, 7, 8, 9, 10)$
8. $F(A, B, C, D) = \sum_m(0, 2, 3, 4, 5, 6, 11, 12) + \sum_d(8, 9, 10, 13, 14, 15)$

3-48. Các hàm logic dạng OR-AND dưới đây có phải đã là tối thiểu chưa. Nếu chưa, hãy tối thiểu hóa chúng.

1. $F_1 = A\bar{B} + \bar{A}C + \bar{A}B + B\bar{C}$
2. $F_2 = \bar{A}B + \bar{B}C + B\bar{C} + A\bar{C}$
3. $F_3 = ABD + \bar{A}B\bar{D} + A\bar{C}\bar{D} + \bar{A}\bar{C}D + B\bar{C}$
4. $F_4 = A\bar{B} + C\bar{D} + ABD + \bar{A}BC$

Chương 4

MẠCH LOGIC TỔ HỢP

4.1. ĐẶC ĐIỂM CƠ BẢN VÀ PHƯƠNG PHÁP THIẾT KẾ CỦA MẠCH LOGIC TỔ HỢP

4.1.1. Phương pháp biểu thị và phân tích đặc điểm cơ bản và chức năng logic của mạch logic tổ hợp

Căn cứ vào đặc điểm và chức năng logic, chúng ta phân loại mạch số thành hai loại chính : mạch tổ hợp và mạch dây (mạch dây được trình bày trong chương sau)

1) Đặc điểm cơ bản của mạch tổ hợp

Trong mạch số, mạch tổ hợp là mạch mà trị số ổn định của tín hiệu đầu ra ở thời điểm bất kì chỉ phụ thuộc vào tổ hợp các giá trị tín hiệu đầu vào ở thời điểm đó. Trong mạch tổ hợp, trạng thái mạch điện trước thời điểm xét, tức trước khi có tác động của tín hiệu đầu vào, không ảnh hưởng đến tín hiệu đầu ra. Đặc điểm cấu trúc mạch tổ hợp là được cấu trúc nên từ các cổng logic. Vậy các mạch điện cổng ở chương 2 và các mạch logic đã gặp ở chương 3 đều là mạch tổ hợp.

2) Phương pháp biểu thị chức năng logic

Các phương pháp thường dùng để biểu thị chức năng logic của mạch tổ hợp là hàm số logic, bảng chân lí, sơ đồ logic, bảng Karnaugh, cũng có khi biểu thị bằng đồ thị thời gian dạng sóng.

Đối với vi mạch cỡ nhỏ (SSI) thường biểu thị bằng hàm logic. Đối với vi mạch cỡ vừa thường biểu thị bằng bảng chân lí, hay là bảng chức năng. Bảng chức năng dùng hình thức bảng kê, với mức logic cao (H) và mức logic thấp (L), để mô tả quan hệ logic giữa tín hiệu đầu ra với tín hiệu đầu vào của mạch điện xét. Chỉ cần thay giá trị logic cho trạng thái trong bảng chức năng, thì ta có bảng chân lí tương ứng.

Như hình 4-1-1 cho biết, thường có nhiều tín hiệu đầu vào và nhiều tín hiệu đầu ra. Một cách tổng quát, hàm logic của tín hiệu đầu ra có thể viết dưới dạng :

$$z_1 = f_1(x_1, x_2, \dots, x_n)$$

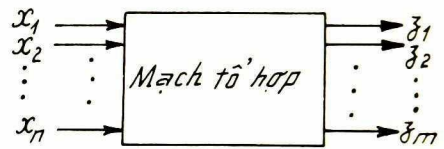
$$z_2 = f_2(x_1, x_2, \dots, x_n)$$

...

$$z_m = f_m(x_1, x_2, \dots, x_n)$$

Cũng có thể viết dưới dạng đại lượng vectơ như sau :

$$Z = F(X)$$



Hình 4-1-1 :

Sơ đồ khối mạch tổ hợp.

3) Phương pháp phân tích chức năng logic

Chương 2 cũng đã đề cập. Bây giờ giới thiệu các bước phân tích, bắt đầu từ sơ đồ mạch logic đã cho, để cuối cùng tìm ra hàm logic hoặc bảng chân lí :

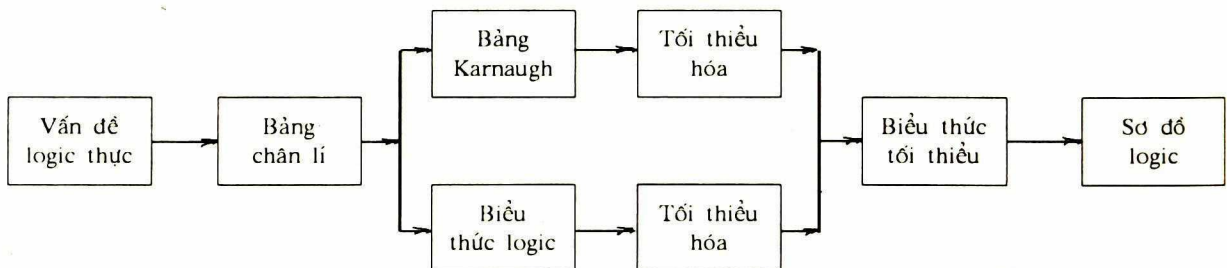
a) *Viết biểu thức* : tuân tự từ đầu vào đến đầu ra (hay cũng có thể ngược lại) viết ra biểu thức hàm logic của tín hiệu đầu ra.

b) *Rút gọn* : khi cần thiết thì rút gọn đến tối thiểu biểu thức trên đây bằng phương pháp đại số hay phương pháp hình vẽ.

c) *Kê bảng chân lí* : khi cần thiết thì tìm ra bảng chân lí bằng cách tiến hành tính toán các giá trị hàm logic tín hiệu đầu ra tương ứng với tổ hợp có thể của các giá trị tín hiệu đầu vào.

4.1.2. Phương pháp thiết kế logic mạch tổ hợp

Phương pháp thiết kế logic là các bước cơ bản tìm ra sơ đồ mạch điện logic từ yêu cầu nhiệm vụ logic đã cho.



Hình 4-1-2. Các bước thiết kế mạch logic tổ hợp.

Hình 4-1-2 là quá trình thiết kế nói chung của mạch tổ hợp, trong đó bao gồm 4 bước chính :

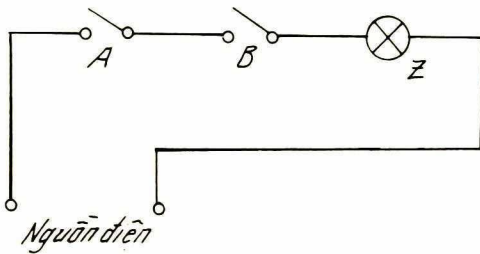
1) Phân tích yêu cầu

Yêu cầu nhiệm vụ thiết kế của vấn đề logic thực có thể là một đoạn văn, cũng có thể là một bài toán logic cụ thể. Nhiệm vụ phân tích là xác định cái nào là biến số đầu vào, cái nào là hàm số đầu ra và mối quan hệ logic giữa chúng với nhau. Muốn phân tích đúng thì phải tìm hiểu xem xét một cách sâu sắc yêu cầu thiết kế. Việc đó là một việc khó nhưng quan trọng trong quá trình thiết kế.

2) Kê bảng chân lí

Nói chung, đầu tiên, chúng ta liệt kê thành bảng về quan hệ tương ứng nhau giữa trạng thái tín hiệu đầu vào với trạng thái hàm số đầu ra. Đó là bảng kê yêu cầu chức năng logic, gọi tắt là bảng chức năng. Việc này có vẻ dễ và trực quan. Tiếp theo, ta thay giá trị logic cho trạng thái, tức là dùng các số 0, số 1 biểu thị các trạng thái tương ứng của đầu vào và đầu ra. Kết quả ta có bảng các giá trị thực logic, gọi tắt là bảng chân lí. Đây chính là hình thức đại số của yêu cầu thiết kế.

Cần lưu ý rằng từ một bảng chức năng có thể được bảng chân lí khác nhau nếu thay giá trị logic khác nhau (tức là quan hệ logic giữa đầu ra với đầu vào cũng phụ thuộc việc thay giá trị). Ví dụ, sơ đồ mạch nguyên lí hình 4-1-3 dùng 2 chuyển mạch A, B mắc nối tiếp điều khiển bóng đèn Z.



Hình 4-1-3. Mạch điện hai chuyển mạch nối tiếp

Bảng 4-1-1 : BẢNG CHỨC NĂNG

Chuyển mạch A	Chuyển mạch B	bóng đèn Z
ngắt	ngắt	tắt
ngắt	nối	tắt
nối	ngắt	tắt
nối	nối	sáng

Bảng chức năng 4-1-1 có được từ xem xét trực tiếp các khả năng có thể của mạch điện hình 4-1-3. Nếu thay thế giá trị logic theo 4 cách khác nhau thì từ các bảng chân lí 4-1-2a, b, c, d ta được các biểu thức logic khác nhau.

Bảng 4-1-2 : BẢNG CHÂN LÍ TRONG 4 TÌNH HUỐNG THAY GIÁ TRỊ KHÁC NHAU

A	B	Z
0	0	0
0	1	0
1	0	0
1	1	1

- a) 0 biểu thị ngắt và tắt
1 biểu thị nối và sáng $Z = A.B$

A	B	Z
1	1	1
1	0	1
0	1	1
0	0	0

- b) 0 biểu thị nối và sáng
1 biểu thị ngắt và tắt $Z = A + B$

A	B	Z
0	0	1
0	1	1
1	0	1
1	1	0

- c) 0 biểu thị ngắt và sáng
1 biểu thị nối và tắt $Z = A.B$

A	B	Z
1	1	0
1	0	0
0	1	0
0	0	1

- d) 0 biểu thị nối và tắt
1 biểu thị ngắt và sáng $Z = A + B$

Từ bảng 4-1-2, ta thấy rằng chúng ta sẽ có mối quan hệ logic khác nhau nếu thay giá trị theo cách khác nhau. Chúng ta phải căn cứ vào giá trị thay thế trạng thái để xác định ý nghĩa cụ thể của 0 và 1 (tức là ý nghĩa thực tế của bảng chân lí)

Khi liệt kê bảng chức năng hoặc bảng chân lí, có thể không liệt kê các tổ hợp trạng thái tín hiệu đầu vào nào không thể có hay bị cấm. Những tổ hợp này cũng có thể được liệt kê, nhưng tại đầu ra, ở trạng thái tương ứng ta ghi một dấu chéo "×", thường sử dụng các trạng thái đánh dấu chéo để tối thiểu hóa hàm logic.

3) Tiến hành tối thiểu hóa

Nếu số biến số tương đối ít thì có thể dùng phương pháp hình vẽ. Nếu số biến số tương đối nhiều, khi đó không tiện dùng phương pháp hình vẽ, thì dùng phương pháp đại số.

4) Vẽ sơ đồ logic

Kết quả việc tối thiểu hóa là biểu thức logic OR - AND. Căn cứ việc chọn lựa loại cổng logic cụ thể, cần biến đổi biểu thức logic đó thành dạng phù hợp. Ví dụ, nếu chọn dùng cổng NAND thì phải có biểu thức dạng NAND, nếu chọn dùng cổng NOR thì phải có biểu thức dạng NOR, nếu chọn dùng cổng NORAND thì phải có biểu thức dạng NORAND.

Cần lưu ý rằng, những bước thiết kế trên đây không phải là bắt buộc áp dụng máy móc, mà là nên được vận dụng linh hoạt theo tình huống cụ thể của thiết kế thực tế.

Trong hoạt động thực tiễn của loài người, các bài toán, và tương ứng các mạch điện của mạch logic tổ hợp là nhiều không kể hết. Các mạch tổ hợp hiện nay thường gặp trong hệ thống số là bộ mã hóa, bộ giải mã, bộ chọn kênh, bộ cộng, bộ kiểm tra chẵn lẻ (parity checker), ROM, v.v..

Dưới đây lần lượt giới thiệu một số mạch tổ hợp về cấu trúc mạch, nguyên lí công tác và đặc điểm của chúng, kết hợp soi sáng phương pháp thiết kế phân tích mạch tổ hợp.

4.2. BỘ MÃ HÓA

4.2.1. Khái niệm mã hóa

Nói một cách khái quát, mã hóa là dùng văn tự, kí hiệu hay mã để biểu thị một đối tượng xác định. Có thể thấy biết bao ví dụ về mã hóa trong đời sống như đặt tên cho trẻ sơ sinh, mỗi vận động viên có một số thay thế trong thi đấu. Tên trẻ là văn tự, vận động viên đánh số theo hệ đếm thập phân. Văn tự và hệ đếm thập phân không tiện dùng cho mạch số. Mã hóa nhị phân là quá trình dùng mã nhị phân để biểu thị đối tượng xét đến (đối tượng này là tín hiệu). Mã nhị phân chỉ có hai chữ số 0 và 1, dễ dàng biểu thị bằng trạng thái mạch điện, nên được dùng rộng rãi trong mạch số. Biểu thị số lượng nhiều thì tăng số bit (Binary digit) trong cách viết số dựa theo vị trí. Mã nhị phân 1 bit có 2 trạng thái (0, 1) tương

ứng 2 tín hiệu. Mã nhị phân 2 bit có 4 trạng thái (00, 01, 10, 11) tương ứng 4 tín hiệu. Tổng quát mà nói, mã nhị phân n bit có 2^n trạng thái, có thể biểu thị 2^n tín hiệu. Vậy, để tiến hành mã hóa N tín hiệu cần sử dụng n bit, theo công thức $2^n \geq N$.

Bộ mã hóa là mạch điện thực hiện thao tác mã hóa. Căn cứ vào yêu cầu và đặc điểm khác nhau của tín hiệu được mã hóa, chúng ta có các bộ mã hóa khác nhau, như bộ mã hóa nhị phân, bộ mã hóa nhị – thập phân, bộ mã hóa ưu tiên v.v...

4.2.2. Bộ mã hóa nhị phân

Bộ mã hóa nhị phân là mạch điện dùng n bit để mã hóa $N = 2^n$ tín hiệu. Chúng ta xét ví dụ dưới đây để thuyết minh nguyên lí công tác và quá trình thiết kế bộ mã hóa nhị phân

Ví dụ 4-2-1

Hãy thiết kế bộ mã hóa thực hiện mã hóa 8 tín hiệu $Y_0, Y_1, \dots, Y_7$ theo mã nhị phân.

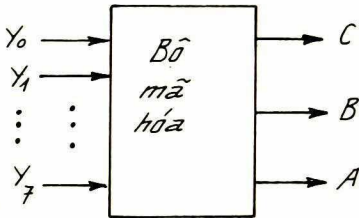
Bài giải :

1. Phân tích yêu cầu.

Đối tượng được mã hóa là 8 tín hiệu đầu vào, tức là $Y_0, Y_1, \dots, Y_7$. Căn cứ vào công thức $N = 2^n = 8$ ta thấy đầu ra là mã nhị phân n = 3 bit, dùng A, B, C biểu thị. Xem hình 4-2-1.

2. Kê bảng chân lí

Việc mã hóa được tiến hành chỉ với 1 tín hiệu đầu vào ở một thời điểm. Ở đầu vào không cho phép có đồng thời từ 2 tín hiệu trở lên là logic 1, tức là $Y_0, Y_1, \dots, Y_7$ không cùng nhau. Vậy quan hệ logic giữa đầu ra với đầu vào có thể biểu thị bằng bảng chân lí hay bảng mã hóa.



Hình 4-2-1.

Sơ đồ khối yêu cầu thiết kế

Bảng 4.2.1

	C	B	A
Y_0	0	0	0
Y_1	0	0	1
Y_2	0	1	0
Y_3	0	1	1
Y_4	1	0	0
Y_5	1	0	1
Y_6	1	1	0
Y_7	1	1	1

a) Phương án 1

	C	B	A
Y_0	0	0	0
Y_1	0	0	1
Y_2	0	1	1
Y_3	0	1	0
Y_4	1	1	0
Y_5	1	1	1
Y_6	1	0	1
Y_7	1	0	0

b) Phương án 2

Dùng mã nhị phân 3 bit biểu thị 8 tín hiệu đầu vào có thể có nhiều phương án khác nhau, Bảng 4.2.1 giới thiệu 2 phương án. Phương án 1 theo số đếm nhị phân. Phương án 2 là mã chu kì 3 bit.

3. Tối thiểu hóa

$Y_0 \div Y_7$ là không đồng thời. Chỉ cần lấy các biến nào làm cho hàm số đầu ra bằng 1 cộng lại thì ta có biểu thức tối thiểu hóa dạng OR-AND. Từ bảng 4.2.1.a (Phương án 1) ta có biểu thức hàm số đầu ra :

$$\begin{aligned} C &= Y_4 + Y_5 + Y_6 + Y_7 \\ B &= Y_2 + Y_3 + Y_6 + Y_7 \\ A &= Y_1 + Y_3 + Y_5 + Y_7 \end{aligned}$$

Từ bảng 4.2.1.b (Phương án 2) ta có biểu thức hàm số đầu ra :

$$\begin{aligned} C &= Y_4 + Y_5 + Y_6 + Y_7 \\ B &= Y_2 + Y_3 + Y_4 + Y_5 \\ A &= Y_1 + Y_2 + Y_5 + Y_6 \end{aligned}$$

4. Vẽ sơ đồ logic

Chọn dùng cổng NAND. Vậy cần biến đổi dạng AND-OR thành dạng NAND. Cụ thể như sau.

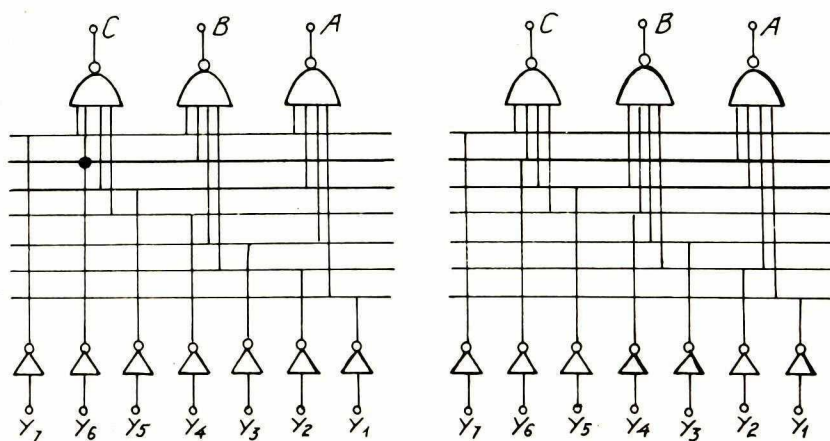
Phương án 1

$$\begin{aligned} C &= \overline{\overline{Y_4 + Y_5 + Y_6 + Y_7}} = \overline{\overline{Y_4} \cdot \overline{Y_5} \cdot \overline{Y_6} \cdot \overline{Y_7}} \\ B &= \overline{\overline{Y_2 + Y_3 + Y_6 + Y_7}} = \overline{\overline{Y_2} \cdot \overline{Y_3} \cdot \overline{Y_6} \cdot \overline{Y_7}} \\ A &= \overline{\overline{Y_1 + Y_3 + Y_5 + Y_7}} = \overline{\overline{Y_1} \cdot \overline{Y_3} \cdot \overline{Y_5} \cdot \overline{Y_7}} \end{aligned}$$

Phương án 2 :

$$\begin{aligned} C &= \overline{\overline{Y_4 + Y_5 + Y_6 + Y_7}} = \overline{\overline{Y_4} \cdot \overline{Y_5} \cdot \overline{Y_6} \cdot \overline{Y_7}} \\ B &= \overline{\overline{Y_2 + Y_3 + Y_4 + Y_5}} = \overline{\overline{Y_2} \cdot \overline{Y_3} \cdot \overline{Y_4} \cdot \overline{Y_5}} \\ A &= \overline{\overline{Y_1 + Y_2 + Y_5 + Y_6}} = \overline{\overline{Y_1} \cdot \overline{Y_2} \cdot \overline{Y_5} \cdot \overline{Y_6}} \end{aligned}$$

Hình 4-2-2.
Bộ mã hóa nhị
phân 3 bit



a) Mạch phương án 1

b) Mạch phương án 2

Cần lưu ý rằng, trong sơ đồ logic hình 4.2.2, sự mã hóa của Y_0 được ngầm định : Khi $Y_1 \div Y_7$ đều bằng 0, trạng thái đầu ra của mạch (CBA = 000) là mã của Y_0 .

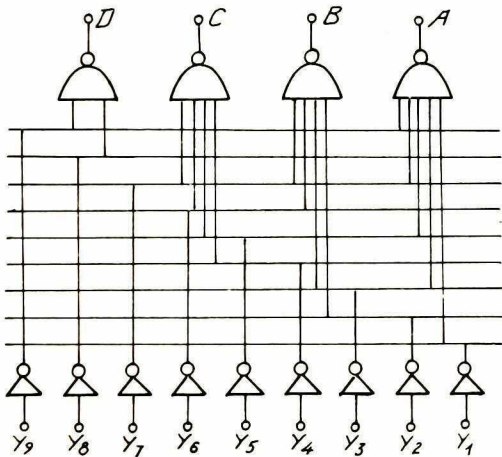
Trong bài toán phân tích, từ sơ đồ logic bộ mã hóa đã cho, ta phân tích mối quan hệ logic giữa đầu vào và đầu ra, tuần tự cho tín hiệu đầu vào đến bộ mã hóa, rồi căn cứ vào mức logic (0 hoặc 1) của các đầu ra mạch điện, tìm ra mã tương ứng, liệt kê thành bảng mã hóa.

4.2.3. Bộ mã hóa nhị - thập phân

Bộ mã hóa nhị - thập phân là mạch điện chuyển mã hệ thập phân bao gồm 10 chữ số 0, 1, 2, 3, 4, 5, 6, 7, 8, 9 thành mã hệ nhị phân.

Đầu vào là 10 chữ số, đầu ra là nhóm mã số nhị phân, gọi là mã nhị - thập phân (BCD - Binary - Coded - Decimal). Căn cứ vào công thức $2^n \geq N = 10$, ta có $n = 4$. Mã nhị phân 4 bit có 16 trạng thái (từ mã). Chỉ cần chọn 10 từ mã tùy ý trong số đó là đủ để biểu thị 10 tín hiệu đầu vào. Vậy có rất nhiều phương án. Một số mã nhị - thập phân thường dùng xem giới thiệu ở 4.2.5. Cùng với lí do như đã biết ở ví dụ 4.2.1, 10 tín hiệu đầu vào tồn tại độc lập nhau.

Nguyên lí công tác và quá trình thiết kế của bộ mã hóa nhị - thập phân tương tự như bộ mã hóa nhị phân xét ở ví dụ 4.2.1. Dưới đây lấy mã 8421 làm ví dụ để thuyết minh. Bảng 4.2.2 là bảng mã hóa BCD 8421 rất thường dùng.



Hình 4-2-3.

Sơ đồ logic bộ mã hóa (dùng mã 8421).

Bảng 4-2-2 : BẢNG MÃ HÓA BCD 8421

Số thập phân	D	C	B	A
0(Y_0)	0	0	0	0
1(Y_1)	0	0	0	1
2(Y_2)	0	0	1	0
3(Y_3)	0	0	1	1
4(Y_4)	0	1	0	0
5(Y_5)	0	1	0	1
6(Y_6)	0	1	1	0
7(Y_7)	0	1	1	1
8(Y_8)	1	0	0	0
9(Y_9)	1	0	0	1

$$\begin{aligned}
 D &= Y_8 + Y_9 = \overline{\overline{Y_8} \cdot \overline{Y_9}} \\
 C &= Y_4 + Y_5 + Y_6 + Y_7 \\
 C &= \overline{\overline{Y_4} \cdot \overline{Y_5} \cdot \overline{Y_6} \cdot \overline{Y_7}} \\
 B &= Y_2 + Y_3 + Y_6 + Y_7 = \overline{\overline{Y_2} \cdot \overline{Y_3} \cdot \overline{Y_6} \cdot \overline{Y_7}} \\
 A &= Y_1 + Y_3 + Y_5 + Y_7 + Y_9 = \overline{\overline{Y_1} \cdot \overline{Y_3} \cdot \overline{Y_5} \cdot \overline{Y_7} \cdot \overline{Y_9}}
 \end{aligned}$$

4.2.4. Bộ mã hóa ưu tiên

Trong các bộ mã hóa xét trên đây, tín hiệu đầu vào tồn tại độc lập, (không có tình huống có 2 tín hiệu trở lên đồng thời tác động). Bộ mã hóa ưu tiên thì khác, có thể có nhiều tín hiệu đồng thời đưa đến, nhưng mạch điện chỉ tiến hành mã hóa tín hiệu đầu vào nào có cấp ưu tiên cao nhất ở thời điểm xét. Việc xác định cấp ưu tiên cho mỗi tín hiệu đầu vào là công việc của người thiết kế mạch, tất nhiên xuất phát từ yêu cầu thực tiễn. Bây giờ chúng ta sẽ xem xét nguyên lý công tác và quá trình thiết kế của bộ mã hóa ưu tiên qua ví dụ có 10 đầu vào, 4 đầu ra.

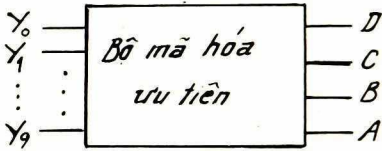
Ví dụ 4-2-2 :

Hãy thiết kế một mạch điện tổ hợp để mã hóa nhị phân đối với 10 tín hiệu đầu vào $Y_0, Y_1, \dots, Y_9$ sao cho mức độ ưu tiên từ cao nhất giảm dần theo chiều $Y_9, Y_8, \dots, Y_0$. Nếu có nhiều tín hiệu đồng thời xuất hiện ở đầu vào thì chỉ tín hiệu nào có mức ưu tiên cao nhất trong số đó mới được mã hóa. Giả thiết cả tín hiệu đầu vào, lẫn tín hiệu đầu ra đều tích cực ở mức thấp.

Bài giải

1. Phân tích yêu cầu

Căn cứ công thức $2^n \geq N = 10$, Vậy ta dùng mã nhị phân $n = 4$ bit.



Hình 4-2-4.
Sơ đồ khối bộ mã hóa ưu tiên.

Bảng 4-2-3 : BẢNG CHỨC NĂNG

Y_9	Y_8	Y_7	Y_6	Y_5	Y_4	Y_3	Y_2	Y_1	Y_0	D	C	B	A
H	H	H	H	H	H	H	H	H	L	H	H	H	H
H	H	H	H	H	H	H	H	L	X	H	H	H	L
H	H	H	H	H	H	H	L	X	X	H	H	L	H
H	H	H	H	H	H	L	X	X	X	H	H	L	L
H	H	H	H	H	L	X	X	X	X	H	L	H	H
H	H	H	H	L	X	X	X	X	X	H	L	H	L
H	H	H	L	X	X	X	X	X	X	H	L	L	H
H	H	L	X	X	X	X	X	X	X	H	L	L	L
H	L	X	X	X	X	X	X	X	X	L	H	H	H
L	X	X	X	X	X	X	X	X	X	L	H	H	L

Bảng 4-2-4 : BẢNG MÃ HÓA ƯU TIÊN

Y ₉	Y ₈	Y ₇	Y ₆	Y ₅	Y ₄	Y ₃	Y ₂	Y ₁	Y ₀	D	C	B	A
1	1	1	1	1	1	1	1	1	0	1	1	1	1
1	1	1	1	1	1	1	1	0	X	1	1	1	0
1	1	1	1	1	1	1	0	X	X	1	1	0	1
1	1	1	1	1	1	0	X	X	X	1	1	0	0
1	1	1	1	1	0	X	X	X	X	1	0	1	1
1	1	1	1	0	X	X	X	X	X	1	0	1	0
1	1	1	0	X	X	X	X	X	X	1	0	0	1
1	1	0	X	X	X	X	X	X	X	1	0	0	0
1	0	X	X	X	X	X	X	X	X	0	1	1	1
0	X	X	X	X	X	X	X	X	X	0	1	1	0

Theo đề bài, sự mã hóa thực hiện theo mức độ ưu tiên Y₉ đến Y₀, khi các tín hiệu cùng tác động thì các tín hiệu có mức ưu tiên thấp không tác dụng, nghĩa là bất kể mức logic của nó thế nào đều không ảnh hưởng đến đầu ra.

2. Kê bảng chân lí - Bảng mã hóa ưu tiên

Bảng chức năng 4.2.3 phản ánh yêu cầu thiết kế, mã hóa theo cấp ưu tiên, những biến số tương ứng mức ưu tiên thấp không tác dụng gì đến đầu ra có đánh dấu chéo "×". Mã nhị phân 4 bit đầu ra có rất nhiều phương án, trong bảng 4.2.4 là phương án mã 8421 với mức logic âm.

3. Tối thiểu hóa

Vì có quá nhiều biến số, nên dùng phương pháp đại số để tối thiểu hóa. Chúng ta sẽ dùng cổng NORAND trong sơ đồ mạch. Đầu tiên ta tìm biểu thức tối thiểu hóa của hàm logic đầu ra dưới dạng OR-AND của hàm đảo, rồi lấy đảo để được dạng NORAND. Khi viết hàm logic từ bảng mã hóa 4.2.4, một cách hình thức, ta không cần để ý những vị trí có dấu "×". Kết quả ta được các hàm logic đầu ra dưới dạng NORAND như sau :

$$\overline{D} = \overline{Y}_9 + Y_9 \cdot \overline{Y}_8 = \overline{Y}_9 + \overline{Y}_8$$

$$D = \overline{\overline{Y}_9 + \overline{Y}_8}$$

$$\begin{aligned} \overline{C} &= Y_9 Y_8 \overline{Y}_7 + Y_9 Y_8 Y_7 \overline{Y}_6 + Y_9 Y_8 Y_7 Y_6 \overline{Y}_5 + Y_9 Y_8 Y_7 Y_6 Y_5 \overline{Y}_4 = \\ &= Y_9 Y_8 \overline{Y}_7 + Y_9 Y_8 \overline{Y}_6 + Y_9 Y_8 \overline{Y}_5 + Y_9 Y_8 \overline{Y}_4 \end{aligned}$$

$$C = \overline{Y_9 Y_8 \overline{Y}_7 + Y_9 Y_8 \overline{Y}_6 + Y_9 Y_8 \overline{Y}_5 + Y_9 Y_8 \overline{Y}_4}$$

$$\begin{aligned} \overline{B} &= Y_9 Y_8 \overline{Y}_7 + Y_9 Y_8 Y_7 \overline{Y}_6 + Y_9 Y_8 Y_7 Y_6 Y_5 Y_4 \overline{Y}_3 \\ &\quad + Y_9 Y_8 Y_7 Y_6 Y_5 Y_4 Y_3 \overline{Y}_2 \end{aligned}$$

$$= Y_9 Y_8 \overline{Y}_7 + Y_9 Y_8 \overline{Y}_6 + Y_9 Y_8 Y_5 Y_4 \overline{Y}_3 + Y_9 Y_8 Y_5 Y_4 \overline{Y}_2$$

$$B = \overline{Y_9 Y_8 \overline{Y}_7 + Y_9 Y_8 \overline{Y}_6 + Y_9 Y_8 Y_5 Y_4 \overline{Y}_3 + Y_9 Y_8 Y_5 Y_4 \overline{Y}_2}$$

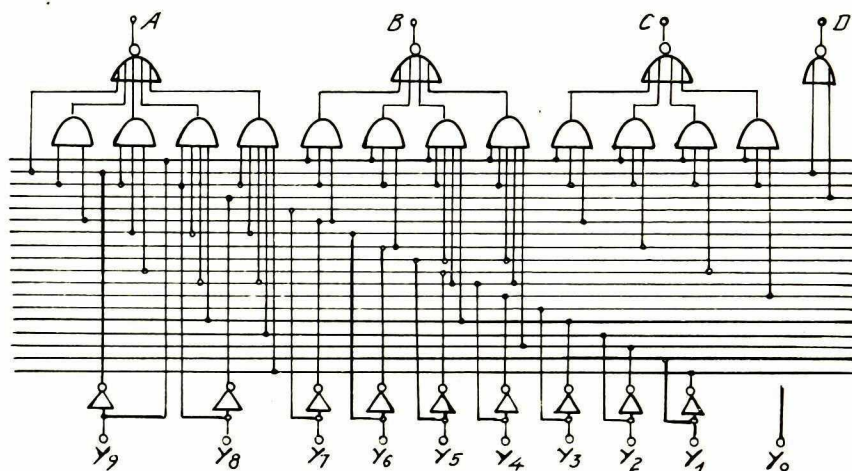
$$\bar{A} = \bar{Y}_9 + Y_9 Y_8 \bar{Y}_7 + Y_9 Y_8 Y_7 Y_6 \bar{Y}_5 + Y_9 Y_8 Y_7 Y_6 Y_5 Y_4 \bar{Y}_3 + Y_9 Y_8 Y_7 Y_6 Y_5 Y_4 Y_3 Y_2 \bar{Y}_1$$

$$A = \bar{Y}_9 + Y_8 \bar{Y}_7 + Y_8 Y_6 \bar{Y}_5 + Y_8 Y_6 Y_4 \bar{Y}_3 + Y_8 Y_6 Y_4 Y_2 \bar{Y}_1$$

4. Vẽ sơ đồ logic

Hình 4-2-5 là sơ đồ logic thực hiện các hàm đầu ra D, C, B, A dưới dạng cổng NORAND.

Chúng ta có thể nghiệm chứng rằng sơ đồ hình 4-2-5 thỏa mãn yêu cầu thiết kế bằng cách phân tích logic, tìm ra quan hệ logic giữa đầu ra với đầu vào của mạch logic hình 4-2-5.

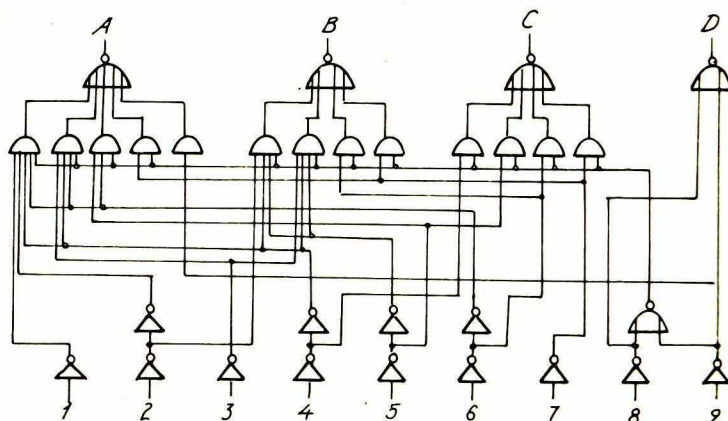


Hình 4-2-5. Bộ mã hóa ưu tiên.

Chẳng hạn, nếu tất cả đầu vào đều tích cực (mức logic 0) thì DCBA = 0110, đây là mã tương ứng với đầu vào Y_9 (có mức ưu tiên cao nhất, cao hơn $Y_8 \div Y_0$). Nếu tất cả đầu vào không có tín hiệu (mức logic 1) thì DCBA = 1111, đây là mã (ngầm định) tương ứng với đầu vào Y_0 .

4.2.5. Vi mạch cỡ vừa (MSI) bộ mã hóa ưu tiên

Hình 4-2-6 là vi mạch cỡ vừa bộ mã hóa ưu tiên. Tuy rằng hình 4-2-5 và hình 4-2-6 có đội chỗ khác nhau, nhưng chúng đều có một chức năng logic duy nhất. Đầu vào, đầu ra đều tích cực mức thấp. Trong hình 4-2-6, để đơn giản, các tín hiệu đầu vào được kí hiệu 0, 1, 2, ..., 9 (thay cho $Y_0, Y_1, Y_2, \dots, Y_9$). Căn cứ vào sơ đồ logic hình 4-2-6, ta viết ra biểu thức hàm đầu ra như sau :



Hình 4-2-6. Bộ mã hóa ưu tiên (MSI).

$$D = \overline{\overline{9}} + \overline{\overline{8}}$$

$$C = \overline{\overline{9}} + \overline{\overline{87}} + \overline{\overline{9}} + \overline{\overline{86}} + \overline{\overline{9}} + \overline{\overline{85}} + \overline{\overline{9}} + \overline{\overline{84}} = 9.8.\overline{7} + 9.8.\overline{6} + 9.8.\overline{5} + 9.8.\overline{4}$$

$$B = \overline{\overline{9}} + \overline{\overline{87}} + \overline{\overline{9}} + \overline{\overline{86}} + \overline{\overline{9}} + \overline{\overline{85.4.3}} + \overline{\overline{9}} + \overline{\overline{85.4.2}}$$

$$= 9.8.\overline{7} + 9.8.\overline{6} + 9.8.5.4.\overline{3} + 9.8.5.4.\overline{2}$$

$$A = \overline{\overline{9}} + \overline{\overline{9}} + \overline{\overline{87}} + \overline{\overline{9}} + \overline{\overline{86.5}} + \overline{\overline{9}} + \overline{\overline{86.4.3}} + \overline{\overline{9}} + \overline{\overline{86.4.2.2}}$$

$$= \overline{\overline{9}} + 9.8.\overline{7} + 9.8.6.\overline{5} + 9.8.6.4.\overline{3} + 9.8.6.4.2.\overline{1}$$

$$= \overline{\overline{9}} + 8.\overline{7} + 8.6.\overline{5} + 8.6.4.\overline{3} + 8.6.4.2.\overline{1}$$

4.2.6. Một số mã thông dụng

1) Mã nhị - thập phân thông dụng

Xem bảng 4-2-5

Bảng 4-2-5 : MÃ NHỊ - THẬP PHÂN THÔNG DỤNG

Loại Số thập phân	8421	Dư 3	2421(A)	2421(B)	5211	Vòng dư 3	Dịch phải
0	0000	0011	0000	0000	0000	0010	00000
1	0001	0100	0001	0001	0001	0110	10000
2	0010	0101	0010	0010	0100	0111	11000
3	0011	0110	0011	0011	0101	0101	11100
4	0100	0111	0100	0100	0111	0100	11110
5	0101	1000	0101	1011	1000	1100	11111
6	0110	1001	0110	1100	1001	1101	01111
7	0111	1010	0111	1101	1100	1111	00111
8	1000	1011	1110	1110	1101	1110	00011
9	1001	1100	1111	1111	1111	1010	00001
Trọng số	8421		2421	2421	5211		

Cần lưu ý rằng, trong bảng 4.2.5, tuy mỗi vị trí (bit) chỉ có hai trạng thái 0 và 1, nhưng không nhất thiết phải có quan hệ về giá trị chuyển vị của số nhị phân (như 8421), mà nói chung thì 4 bit làm thành một từ mã để trở thành một kí hiệu hàm ý xác định nào đó. Cũng có thể nói chính xác hơn, Bảng 4.2.5 giới thiệu các loại mã 4 bit hai trạng thái.

a) Mã 8421

Trong từ mã 8421, mỗi bit 1 đại biểu cho một trị số cố định. Nếu cộng tất cả trị số của các bit đại biểu trong từ mã, thì ta được trị số tương ứng của số thập phân mà từ mã đó đại biểu. Trong mã 8421 thì trọng số của mỗi bit là cố định, nên nó thuộc loại mã có trọng số.

b) Mã dư 3

Mã dư 3 được tạo thành từ mã nhị phân bằng cách cộng thêm 0011 (giá trị số 3 thập phân) vào từ mã nhị phân tương ứng.

c) Mã 2421

Hai loại mã 2421 (A và B) đều là mã có trọng số, nhưng sự tuần tự các bit của các từ mã khác số nhị phân (trọng số không đơn trị)

d) Mã 5211

Mã 5211 có tính chất tương tự mã 2421, đó là mã có trọng số không đơn trị.

e) Mã vòng dư 3 (mã Gray dư 3)

Mã vòng (mã Gray) sẽ được giới thiệu ở bảng 4.2.6. Mã vòng dư 3 không bắt đầu từ 0000 như mã vòng, mà lệch đi 3 hàng. (Từ mã 0010 là mã hóa số 3 của mã vòng, lại là mã hóa số 0 của mã dư 3. Từ mã 0110 là mã hóa số 4 của mã vòng, lại là mã hóa số 1 của mã dư 3. v.v..) Mã vòng dư 3 không phải là mã có trọng số.

g) Mã dịch phải

Mã dịch phải có đặc điểm là hai từ mã kế cận bất kì chỉ khác nhau 1 bit (trên bảng 4-2-5, ta thấy sự dịch sang phải của các bit) mã dịch phải không tận dụng tất cả các trạng thái của mã nhị phân 5 bit. Đây là nhược điểm loại mã này (phải thêm 1 bit so với các loại mã khác)

2) Mã Gray

Mã Gray còn gọi là mã vòng, bảng 4-2-6 giới thiệu bảng mã Gray 4 bit.

Bảng 4-2-6 : MÃ GRAY 4 BIT

Số thập phân	Mã Gray	Số thập phân	Mã Gray
0	0 0 0 0	8	1 1 0 0
1	0 0 0 1	9	1 1 0 1
2	0 0 1 1	10	1 1 1 1
3	0 0 1 0	11	1 1 1 0
4	0 1 1 0	12	1 0 1 0
5	0 1 1 1	13	1 0 1 1
6	0 1 0 1	14	1 0 0 1
7	0 1 0 0	15	1 0 0 0

Ta có thể thấy rõ đặc điểm mã Gray từ bảng 4-2-6 : sự biến đổi giá trị bit ở một vị trí xác định trong từ mã có tính chất tuần hoàn với chu-kì cố định từ từ-mã này sang từ-mã khác. Chu kì của bit thứ nhất là 0110, chu kì của bit thứ hai là 00111100, chu kì của bit thứ ba là 0000111111110000 v.v. ..

Mã Gray không có trọng số. Ưu điểm chính của mã Gray là chỉ có 1 bit khác nhau trong 2 từ mã kế cận. Nhược điểm là thiếu trực quan.

3) Mã ISO (International standardization Organization)

Cơ quan tiêu chuẩn hóa quốc tế ISO đưa ra mã nhị phân 8 bit, chủ yếu dùng để truyền tin. Mã này có 10 chữ số ($0 \div 9$), 26 chữ cái Anh, và 20 dấu, kí hiệu, tất cả là 56 kí tự. Xem bảng 4.2.7. Trong bảng, các bit được biểu thị bằng $b_7, b_6, \dots, b_1$. Bit thứ 8 là bit bù để biến từ mã bất kì thành từ mã có số bit 1 là số chẵn, mục đích phát hiện lỗi truyền tin.

Bảng 4-2-7 : MÃ ISO

b₇b₆b₅ Kí tự b₄b₃b₂b₁	000	001	010	011	100	101	110	111
0000	NUL		SP	0		P		
0001				1	A	Q		
0010				2	B	R		
0011				3	C	S		
0100			\$	4	D	T		
0101			%	5	E	U		
0110				6	F	V		
0111				7	G	W		
1000	BS		(	8	H	X		
1001	HT	EM	)	9	I	Y		
1010	LF		*	:	J	Z		
1011			+		K			
1100			,		L			
1101	CR		-	=	M			
1110			.		N			4
1111			/		O			DEL

Đặc điểm các kí tự trong bảng 4-2-7 như sau : các chữ số đều có chung 3 bit $b_7b_6b_5 = 011$, các chữ cái có chung 2 bit $b_7b_6 = 10$; Các chữ số được chuyển thành mã ISO theo kiểu mã nhị phân của $b_4b_3b_2b_1$; thứ tự các chữ cái A ÷ Z (từ 1 đến 26) cũng là mã nhị phân của $b_5b_4b_3b_2b_1$.

4) Mã ASCII (American National Standard Code for Information Interchange)

4.3. BỘ GIẢI MÃ

Khi mã hóa, mỗi từ mã nhị phân đều được gán một hàm ý xác định, tức là mỗi từ mã biểu thị một tin tức hoặc một đối tượng xác định. Giải mã là quá trình phiên dịch hàm ý đã gán cho từ mã. Mạch điện thực hiện việc giải mã được gọi là bộ giải mã. Vậy bộ giải mã phiên dịch từ mã thành tín hiệu đầu ra, biểu thị tin tức vốn có. Tùy theo yêu cầu sử dụng tin tức được giải mã, tín hiệu đầu ra có thể là xung hay mức điện áp. Có nhiều loại bộ giải mã, nhưng chúng đều có nguyên lý công tác và phương pháp thiết kế tương tự nhau. Dưới đây ta sẽ thuyết minh cụ thể qua vài ví dụ.

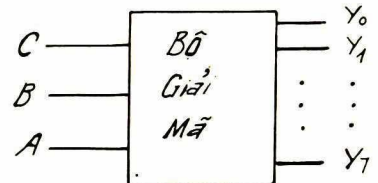
4.3.1. Bộ giải mã nhị phân

Bộ giải mã nhị phân phiên dịch các từ mã nhị phân thành tín hiệu đầu ra.

Ví dụ 4.3.1

Hãy thiết kế bộ giải mã nhị phân 3 bit.

Bài giải :



Hình 4-3-1. Sơ đồ mạch yêu cầu.

Bảng 4-3-1 : BẢNG CHÂN LÍ CỦA BỘ GIẢI MÃ

C	B	A	Y ₀	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

1. Phân tích yêu cầu. Đầu vào là nhóm từ mã nhị phân 3 bit. Đầu ra là 8 tín hiệu tương ứng các từ mã.

2. Kê bảng chân lí. Xem bảng 4-3-1. Cần lưu ý rằng $Y_0 \div Y_7$ là 8 tín hiệu độc lập nhau tương ứng với 8 từ mã (Mỗi Y_i là một hàm của các biến vào, bảng chân lí của nó là một cột tương ứng bên phải với 3 cột biến số bên trái. Tuy nhiên để tiện lợi, chúng ta gộp 8 bảng chân lí vào làm một)

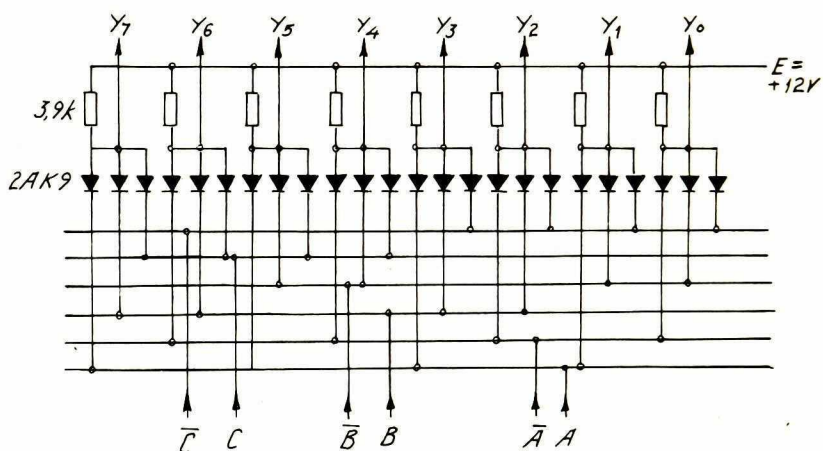
3. Tối thiểu hóa. Căn cứ vào bảng 4-3-1, ta có :

$$\begin{aligned} Y_0 &= \overline{C}\overline{B}\overline{A} & Y_1 &= \overline{C}\overline{B}A & Y_2 &= \overline{C}B\overline{A} & Y_3 &= \overline{C}BA \\ Y_4 &= C\overline{B}\overline{A} & Y_5 &= C\overline{B}A & Y_6 &= CB\overline{A} & Y_7 &= CBA \end{aligned}$$

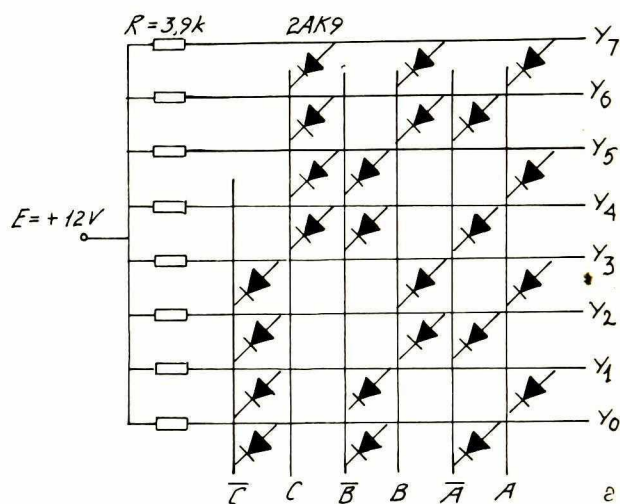
4. Vẽ sơ đồ logic

Các hàm logic trên đây có thể dùng cổng AND điốt thực hiện (hình 4-3-2, hình 4-3-3), hay cũng có thể dùng cổng NAND (TTL) thực hiện (hình 4-3-4)

Hình 4-3-2.
Bộ giải mã cổng AND
dùng điốt.

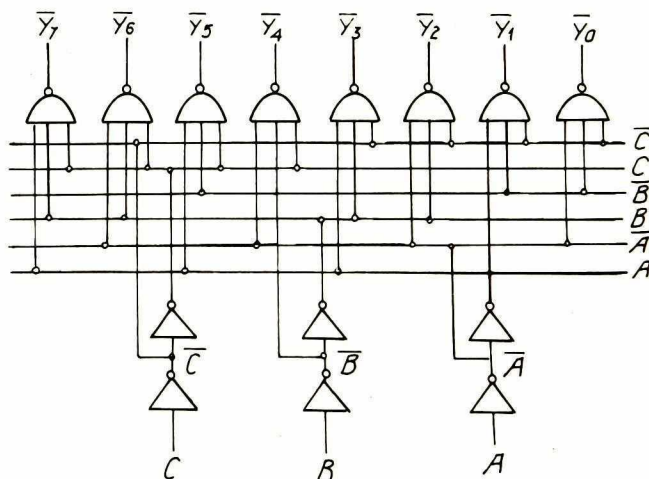


Trong bộ giải mã nhị phân, nếu từ mã đầu vào có n bit thì sẽ có 2^n tín hiệu đầu ra tương ứng với mỗi từ mã. Bộ giải mã này có khi còn được gọi là bộ giải mã biến số, vì toàn bộ các từ mã của biến số đầu vào đều được giải mã.



Hình 4-3-3. Vẽ lại sơ đồ hình 4.3.2.

Hình 4-3-4.
Bộ giải mã
dùng NAND (TTL).



4.3.2. Bộ giải mã (BCD) – thập phân

Bộ giải mã thực hiện chuyển đổi từ mã BCD thành 10 tín hiệu đầu ra tương ứng 10 chữ số của hệ thập phân (hình 4-3-5)

Xem bảng chức năng 4-3-2, trong đó H là mức cao, L là mức thấp, tín hiệu ra tích cực ở mức logic thấp.



Hình 4-3-5. Sơ đồ khối mạch yêu cầu.

Bảng 4-3-2 : BẢNG CHỨC NĂNG CỦA BỘ GIẢI MÃ TỪ MÃ BCD SANG MÃ THẬP PHÂN

D	C	B	A	Y ₀	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇	Y ₈	Y ₉
L	L	L	L	L	H	H	H	H	H	H	H	H	H
L	L	L	H	H	L	H	H	H	H	H	H	H	H
L	L	H	L	H	H	L	H	H	H	H	H	H	H
L	L	H	H	H	H	H	L	H	H	H	H	H	H
L	H	L	L	H	H	H	H	L	H	H	H	H	H
L	H	L	H	H	H	H	H	H	L	H	H	H	H
L	H	H	L	H	H	H	H	H	H	L	H	H	H
L	H	H	H	H	H	H	H	H	H	H	L	H	H
H	L	L	L	H	H	H	H	H	H	H	H	L	H
H	L	L	H	H	H	H	H	H	H	H	H	H	L

Bảng 4-3-3 là bảng chân lí dùng logic dương. Trong đó, phía trái là mã BCD 8421 đầu vào ; bên phải là đầu ra giải mã, tích cực ở logic 0. 6 từ mã (6 trạng thái) từ 1010 đến 1111 không được dùng. Chúng không xuất hiện trong tình huống bình thường của bộ giải mã. Các trạng thái này được đánh dấu chéo " ×" trong bảng 4-3-3 và trong các bảng Karnaugh (Hình 4-3-6)

Tối thiểu hóa hàm logic đầu ra Y_i bằng phương pháp hình vẽ : bảng Karnaugh. Cụ thể, ta tìm hàm đảo $\overline{Y}_i$ (tương ứng lấy giá trị 0), sau đó lại lấy đảo của hàm đảo đó, ta sẽ được hàm Y_i cần tìm.

Bảng 4-3-3 : BẢNG CHÂN LÍ CỦA BỘ GIẢI MÃ TỪ BCD SANG THẬP PHÂN

D	C	B	A	Y ₀	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇	Y ₈	Y ₉
0	0	0	0	0	1	1	1	1	1	1	1	1	1
0	0	0	1	1	0	1	1	1	1	1	1	1	1
0	0	1	0	1	1	0	1	1	1	1	1	1	1
0	0	1	1	1	1	1	0	1	1	1	1	1	1
0	1	0	0	1	1	1	1	0	1	1	1	1	1
0	1	0	1	1	1	1	1	1	0	1	1	1	1
0	1	1	0	1	1	1	1	1	1	0	1	1	1
0	1	1	1	1	1	1	1	1	1	1	0	1	1
1	0	0	0	1	1	1	1	1	1	1	0	1	1
1	0	0	1	1	1	1	1	1	1	1	1	0	1
1	0	1	0	×	×	×	×	×	×	×	×	×	×
1	0	1	1	×	×	×	×	×	×	×	×	×	×
1	1	0	0	×	×	×	×	×	×	×	×	×	×
1	1	0	1	×	×	×	×	×	×	×	×	×	×
1	1	1	0	×	×	×	×	×	×	×	×	×	×
1	1	1	1	×	×	×	×	×	×	×	×	×	×

DC \ BA	00	01	11	10
00	1	1	1	1
01	1	1	1	1
11	×	×	×	×
10	1	0	×	×

(a)

DC \ BA	00	01	11	10
00	1	1	1	1
01	1	1	1	1
11	×	×	×	×
10	0	1	×	×

(b)

DC \ BA	00	01	11	10
00	1	1	1	1
01	1	1	0	1
11	×	×	×	×
10	1	1	×	×

(c)

DC \ BA	00	01	11	10
00	1	1	1	1
01	1	1	1	0
11	×	×	×	×
10	1	1	×	×

(d)

DC \ BA	00	01	11	10
00	1	1	1	1
01	1	0	1	1
11	×	×	×	×
10	1	1	×	×

(e)

DC \ BA	00	01	11	10
00	1	1	1	1
01	0	1	1	1
11	×	×	×	×
10	1	1	×	×

(f)

DC \ BA	00	01	11	10
00	1	1	0	1
01	1	1	1	1
11	×	×	×	×
10	1	1	×	×

(g)

DC \ BA	00	01	11	10
00	1	1	1	0
01	1	1	1	1
11	×	×	×	×
10	1	1	×	×

(h)

DC \ BA	00	01	11	10
00	1	0	1	1
01	1	1	1	1
11	×	×	×	×
10	1	1	×	×

(i)

DC \ BA	00	01	11	10
00	0	1	1	1
01	1	1	1	1
11	×	×	×	×
10	1	1	×	×

(j)

Hình 4-3-6.

Bảng Karnaugh của hàm $Y_9 \div Y_0$.

Hàm logic tối thiểu dạng NAND của chúng là :

(a) $\bar{Y}_9 = DA$

(b) $\bar{Y}_8 = D\bar{A}$

$Y_9 = \overline{D\bar{A}}$

$Y_8 = \overline{D\bar{A}}$

(c) $\bar{Y}_7 = CBA$

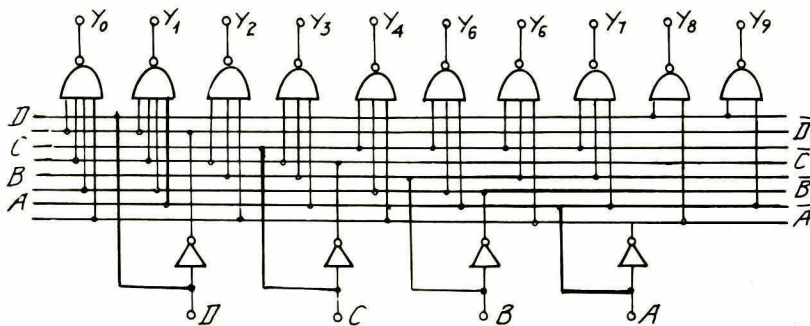
(d) $\bar{Y}_6 = C\bar{B}\bar{A}$

$Y_7 = \overline{C\bar{B}\bar{A}}$

$Y_6 = \overline{C\bar{B}\bar{A}}$

$$\begin{aligned}
 (e) \quad \bar{Y}_5 &= \bar{C}BA & (f) \quad \bar{Y}_4 &= \bar{C}\bar{B}\bar{A} \\
 Y_5 &= \overline{\bar{C}BA} & Y_4 &= \overline{\bar{C}\bar{B}\bar{A}} \\
 (g) \quad \bar{Y}_3 &= \bar{C}BA & (h) \quad \bar{Y}_2 &= \bar{C}B\bar{A} \\
 Y_3 &= \overline{\bar{C}BA} & Y_2 &= \overline{\bar{C}B\bar{A}} \\
 (i) \quad \bar{Y}_1 &= \bar{D}\bar{C}\bar{B}\bar{A} & (j) \quad \bar{Y}_0 &= \bar{D}\bar{C}\bar{B}\bar{A} \\
 Y_1 &= \overline{\bar{D}\bar{C}\bar{B}\bar{A}} & Y_0 &= \overline{\bar{D}\bar{C}\bar{B}\bar{A}}
 \end{aligned}$$

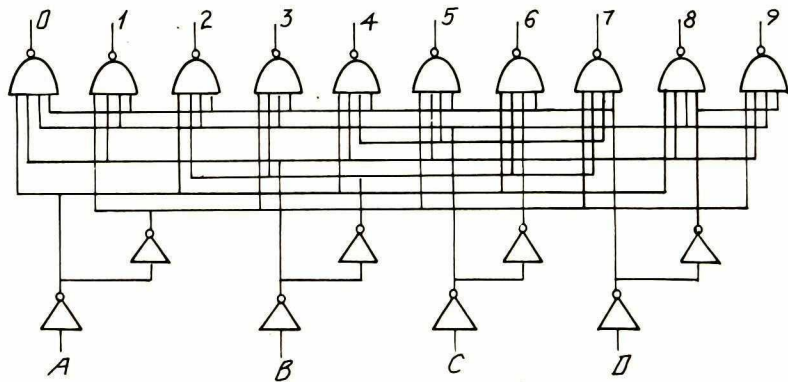
Sơ đồ logic hình 4-3-7 bao gồm 10 cổng NAND và 4 cổng đảo



Hình 4-3-7. Bộ giải mã từ BCD sang thập phân.

Hình 4-3-8 là vi mạch MSI (đơn phiên) thực hiện giải mã từ BCD sang thập phân. IC này có 8 cổng đảo và 10 cổng NAND 4 đầu vào. Sự giải mã của IC là triệt để, hàm logic đầu ra xác định đơn trị. (Cần để ý rằng đối với mạch hình 4-3-7, do sử dụng các giá trị dấu chéo "X" của hàm logic trong tối thiểu hóa để xây dựng sơ đồ mạch, nên nếu đầu vào xuất hiện từ mã không được dùng, thì đầu ra có thể hướng ứng sai).

Hình 4-3-8.
Vi mạch MSI
giải mã BCD
sang thập phân.



Nhận xét sơ đồ hình 4-3-8, ta thấy : các cổng đảo làm thành mạch đệm và bảo đảm phụ tải tiêu chuẩn đối với các tín hiệu vào A,B,C,D. (Sơ đồ hình 4-3-7 biểu thị phụ tải nặng, không đều đối với nguồn tín hiệu vào)

4.3.3. Bộ giải mã của hiển thị kí tự

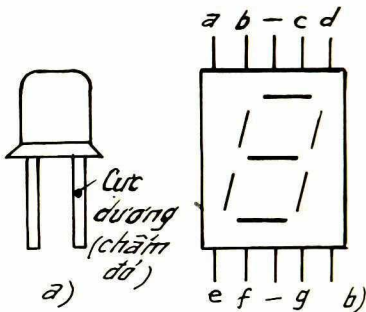
Trong hệ thống số, thường cần giải mã các kí tự đã mã hóa nhị phân thành các tín hiệu có thể hiển thị dưới dạng quen thuộc của con người. Vì phương thức làm việc của các linh kiện hiển thị khác nhau là khác nhau, nên trước hết ta hãy thuyết minh ngắn gọn về một số linh kiện hiển thị kí tự thông dụng.

1) Hai loại hiển thị số

a) Linh kiện hiển thị bán dẫn.

Nguyên lí :

Một số vật liệu bán dẫn đặc biệt như hợp chất GaAsP, khi làm thành chuyển tiếp PN, nếu có điện áp thuận đặt vào, thì có thể bức xạ quang, tức là biến điện năng thành quang năng. Sử dụng các chuyển tiếp PN bức xạ quang có thể chế tạo các linh kiện như diốt phát quang LED, đèn hiển thị 7 thanh hay đèn hiển thị ma trận điểm. Ví dụ : hình 4-3-9, mạch kích sáng



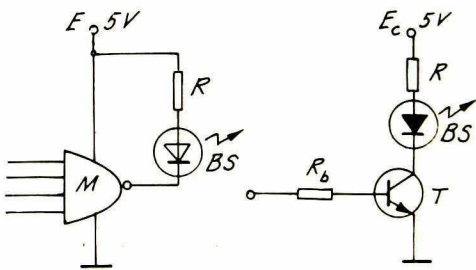
Hình 4-3-9. Hiển thị bán dẫn :
a) LED ; b) đèn 7 thanh.

Hình 4-3-10 giới thiệu mạch điện dùng để kích sáng thực hiện bằng cổng NAND (TTL) hay bằng tranzito. Trong hình, BS là LED (hay 1 thanh trong đèn 7 thanh). Cổng M thông hay T bão hòa sẽ làm BS sáng. R là điện trở hạn dòng. Điện áp công tác của BS cỡ 1,5 ÷ 3V, dòng điện công tác của BS cỡ trên dưới 10mA. Điều chỉnh R có thể làm thay đổi độ sáng của BS.

Đặc điểm cơ bản :

Quang phổ phát xạ của hiển thị bán dẫn phù hợp với cảm thụ thị giác, điện áp công tác thấp (1,5 ÷ 3V), thể tích nhỏ, tuổi thọ cao (hơn ngàn giờ làm việc), tốc độ hưởng ứng cao (1 ÷ 100ns), có nhiều màu.

Bảng 4-3-4. Giới thiệu tham số hiển thị số 7 thanh.



Hình 4-3-10. Mạch kích sáng.

Bảng 4-3-4 : THAM SỐ ĐẶC TÍNH ĐÈN 7 THANH

Kí hiệu	Độ sáng (FL)	Điện áp công tác thuận (V)	Dòng điện dò ngược (μA)	Điện áp ngược đánh thủng (V)	Dòng điện cực đại (mA)
BS201A	> 15 (7 thanh)	1,5 ÷ 3	<50	> 5	150 (7 thanh)
ES202A	> 15 (7 thanh)	1,5 ÷ 3	<50	> 5	150 (7 thanh)

b) Đèn hiện số 7 thanh chân không

Nguyên lí :

Hình 4-3-11 giới thiệu đèn hiển thị số chân không. Katốt phát xạ nhiệt điện tử, điện trường của cực lưới gia tốc điện tử để chúng đủ động năng đập vào anốt.

Trên bề mặt anốt có phủ lớp huỳnh quang oxyt kẽm sẽ phát xạ quang màu lục. Các anốt có cấu trúc hiện số 7 thanh. Chuyển mạch K điều khiển sự cấp điện áp cho anốt ; anốt nào được cấp điện áp thì sẽ phát sáng.

Mạch kích sáng :

Xem hình 4-3-12. R là điện trở hạn dòng, giá trị của R xác định theo dòng colectơ cực đại I_{CM} của tranzito T. Khi cổng NANDM (TTL) đưa ra mức cao làm T bão hòa, thì

$$I_c \approx \frac{E_a}{R} < I_{CM}$$

Thay đổi R sẽ điều chỉnh độ sáng hiển thị. R_b cũng là điện trở hạn dòng. R_b xác định theo giá trị giới hạn I_{LM} của cổng NAND (TTL). Khi M ngắt, T bão hòa thì $I_B = (V_{OH} - V_{BE}) \times \frac{1}{R_b} < I_{LM}$.

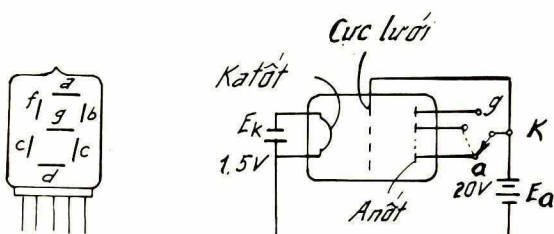
Đặc điểm cơ bản :

Về ưu điểm : điện áp công tác tương đối thấp, dòng điện nhỏ, hiển thị phù hợp thị giác, ổn định và tin cậy, tấm hiển thị khá lớn, tuổi thọ cao.

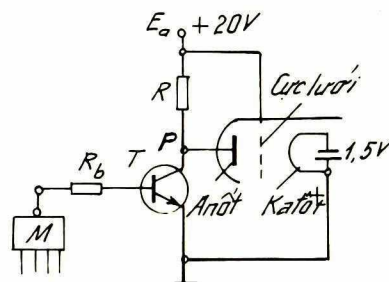
Về nhược điểm : cần nguồn điện công suất đáng kể cung cấp cho sợi đốt, không thuận tiện cho lắp ráp. Bảng 4-3- 5 giới thiệu chỉ tiêu chủ yếu của một số đèn hiện số 7 thanh chân không thông dụng :

Bảng 4-3-5 : CHỈ TIÊU CHỦ YẾU ĐÈN HIỆN SỐ 7 THANH CHÂN KHÔNG

Kí hiệu	Điện áp anốt (V)	Dòng điện anốt (mA)	Điện áp lưới (V)	Dòng điện lưới (mA)	Điện áp sợi đốt (V) ≈	Dòng điện sợi đốt (mA)
YS9-1	20	≤ 2	20	< 2	1,2	28
YS13-3	20	< 1,5	20	< 3	1,2	28
YS18-3	20	< 2	20	< 2	1,2	50
YS27-3	20	≤ 2,5	20	2,5	1,2	80



Hình 4-3-11. Đèn hiện số 7 thanh chân không.



Hình 4-3-12. Mạch kích sáng Đèn hiển thị số chân không.

2) Bộ giải mã hiển thị

Chúng ta sẽ thuyết minh nguyên lý công tác và quá trình thiết kế của bộ giải mã hiển thị qua ví dụ bộ giải mã kích cho hiển thị 7 thanh LED.

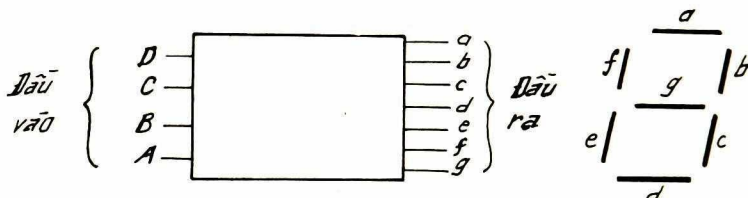
Ví dụ 4-3-2 : hãy thiết kế bộ giải mã hiển thị kích cho hiển thị 7 thanh LED với tín hiệu đầu vào là mã BCD 8421.

Bài giải :

Phân tích yêu cầu thiết kế :

Xem sơ đồ khối hình 4-3-13.

Các đầu vào D, C, B, A là mã BCD 8421, trong đó 6 trạng thái 1010 ÷ 1111 không được sử dụng, đánh dấu chéo "X" để xử lý tối thiểu hóa. Tín hiệu đầu ra a, b, ..., g là để kích sáng LED tương ứng của hiển thị 7 thanh. Căn cứ mạch kích sáng hình 4-3-10, tín hiệu đầu ra bộ giải mã phải tích cực ở mức thấp (LED sáng khi tín hiệu kích mức thấp). Kê bảng chân lí :



Hình 4-3-13. Bộ giải mã 7 thanh.

Bảng 4-3-6 : BẢNG CHỨC NĂNG BỘ GIẢI MÃ

D	C	B	A	a	b	c	d	e	f	g	Số được hiển thị
L	L	L	L	L	L	L	L	L	L	H	0
L	L	L	H	H	L	L	H	H	H	H	1
L	L	H	L	L	L	H	L	L	H	L	2
L	L	H	H	L	L	L	L	H	H	L	3
L	H	L	L	H	L	L	H	H	L	L	4
L	H	L	H	L	H	L	L	H	L	L	5
L	H	H	L	L	H	L	L	L	L	L	6
L	H	H	H	L	L	L	H	H	H	H	7
H	L	L	L	L	L	L	L	L	L	L	8
H	L	L	H	L	L	L	L	H	L	L	9

Bảng 4-3-7 : BẢNG CHÂN LÍ BỘ GIẢI MÃ

D	C	B	A	A	B	C	D	E	F	G
0	0	0	0	0	0	0	0	0	0	1
0	0	0	1	1	0	0	1	1	1	1
0	0	1	0	0	0	1	0	0	1	0
0	0	1	1	0	0	0	0	1	1	0
0	1	0	0	1	0	0	1	1	0	0
0	1	0	1	0	1	0	0	1	0	0
0	1	1	0	0	1	0	0	0	0	0
0	1	1	1	0	0	0	1	1	1	1
1	0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	1	0	0

Bảng chức năng 4-3-6 được liệt kê từ kết quả phân tích yêu cầu thiết kế.

Các từ mã đầu vào của mã BCD8421 quyết định số được hiển thị. Nhưng do cấu trúc không gian của các LED a, b, ..., g (hình 4-3-13) mà các giá trị tín hiệu đầu ra bộ giải mã được xác định sao cho :

- mức thấp L : LED sáng
- mức cao H : LED tắt
- các LED sáng hình thành số được hiển thị.

Bảng 4-3-7 là bảng chân lí tương ứng bảng 4-3-6.

Tối thiểu hóa

Dùng phương pháp hình vẽ. Chúng ta chọn dùng cổng NORAND trong sơ đồ. Do đó, đầu tiên ta tối thiểu hóa hàm đảo bằng dạng ORAND đối với các giá trị 0 của hàm đầu ra, sau đó lấy đảo thì được dạng NORAND đối với các giá trị 1 của hàm đầu ra.

Xem các bảng Karnaugh hình 4-3-14.

Ví dụ : xét LED thanh a.

Tối thiểu hóa dạng chuẩn tắc tuyến đối với các ô trong bảng Karnaugh có giá trị 0 để xác định hàm đảo :

$$\bar{a} = D + B + CA + \bar{C}\bar{A} \quad (\text{dạng ORAND})$$

$$\text{Lấy đảo : } a = \bar{\bar{a}} = \overline{D + B + CA + \bar{C}\bar{A}} \quad (\text{dạng NORAND})$$

		BA			
		00	01	11	10
DC	00	0	1	0	0
	01	1	0	0	0
	11	×	×	×	×
	10	0	0	×	×

(a)

		BA			
		00	01	11	10
DC	00	0	0	0	0
	01	0	1	0	1
	11	×	×	×	×
	10	0	0	×	×

(b)

		BA			
		00	01	11	10
DC	00	0	0	0	1
	01	0	0	0	0
	11	×	×	×	×
	10	0	0	×	×

(c)

		BA			
		00	01	11	10
DC	00	0	1	0	0
	01	1	0	1	0
	11	×	×	×	×
	10	0	0	×	×

(d)

		BA			
		00	01	11	10
DC	00	0	1	1	0
	01	1	1	1	0
	11	×	×	×	×
	10	0	1	×	×

(e)

		BA			
		00	01	11	10
DC	00	0	1	1	1
	01	0	0	1	0
	11	×	×	×	×
	10	0	0	×	×

(f)

		BA			
		00	01	11	10
DC	00	1	1	0	0
	01	0	0	1	0
	11	×	×	×	×
	10	0	0	×	×

(g)

Hình 4-3-14.

Bảng Karnaugh và hàm logic đầu ra của các LED hiển thị a, b, c, d, e, f, g.

$$(b) \bar{b} = \bar{C} + BA + \bar{B}\bar{A}$$

$$b = \overline{\bar{C} + BA + \bar{B}\bar{A}}$$

$$(c) \bar{c} = C + \bar{B} + A$$

$$c = \overline{C + \bar{B} + A}$$

$$(d) \bar{d} = D + \bar{C}B + \bar{B}\bar{A} + \bar{C}\bar{A} + C\bar{B}A$$

$$d = \overline{D + \bar{C}B + \bar{B}\bar{A} + \bar{C}\bar{A} + C\bar{B}A}$$

$$(e) \bar{e} = \bar{C}\bar{A} + \bar{B}\bar{A}$$

$$e = \overline{\bar{C}\bar{A} + \bar{B}\bar{A}}$$

$$(f) \bar{f} = D + \bar{C}\bar{B} + C\bar{A} + \bar{B}\bar{A}$$

$$f = \overline{D + \bar{C}\bar{B} + C\bar{A} + \bar{B}\bar{A}}$$

$$(g) \bar{g} = D + C\bar{B} + \bar{C}B + \bar{B}\bar{A}$$

$$g = \overline{D + C\bar{B} + \bar{C}B + \bar{B}\bar{A}}$$

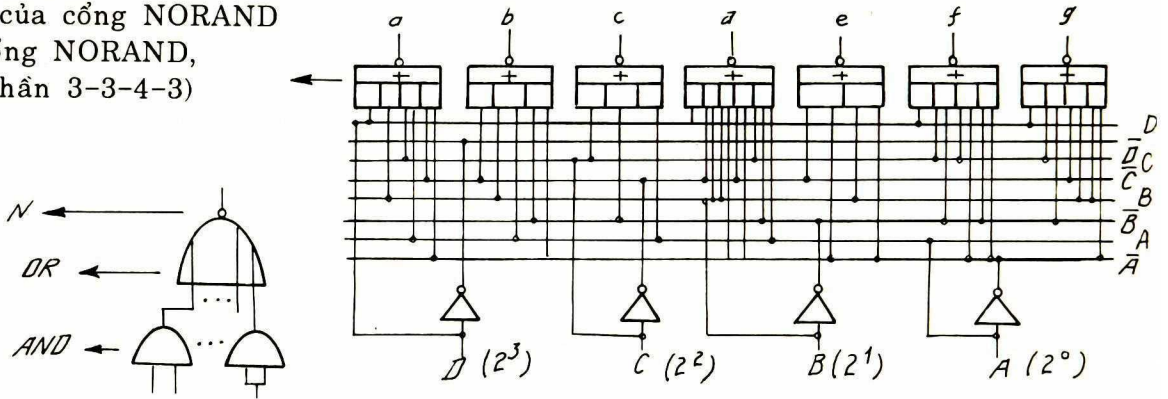
Vẽ sơ đồ logic :

Sơ đồ logic hình 4-3-15 xuất phát từ các hàm logic tối thiểu hóa bằng bảng Karnaugh hình 4-3-14. Trong hình 4-3-15, tín hiệu ra tích cực ở mức thấp. Ví dụ,

DCBA = 1000, số được hiển thị là 8 với các LED abcdefg = 0000000 sáng.

DCBA = 0101, số được hiển thị là 5 với các LED acdfg sáng và be tắt.

Một dạng kí hiệu mạch của cổng NORAND (Về cổng NORAND, xem phần 3-3-4-3)



Hình 4-3-15. Bộ giải mã kích hiển thị LED 7 thanh.

4.4. BỘ SO SÁNH

Trong các hệ thống số, đặc biệt là trong máy tính, thường thực hiện việc so sánh hai số, để biết số nào lớn hơn, hay chúng bằng nhau. Hai số cần so sánh có thể là các số nhị phân, cũng có thể là các kí tự đã mã hóa nhị phân. Bộ so sánh có thể công tác theo kiểu nối tiếp hay kiểu song song. Ở chương này, ta sẽ xem xét nguyên lí công tác và quá trình thiết kế bộ so sánh song song qua ví dụ bộ so sánh số nhị phân 4 bit $A = a_3a_2a_1a_0$ và $B = b_3b_2b_1b_0$.

4.4.1. Bộ so sánh bằng nhau

Bộ so sánh bằng nhau là mạch điện thực hiện chức năng logic xét hai số có bằng nhau hay không bằng nhau.

1) Bộ so sánh bằng nhau 1 bit

Xét hai bit a_i và b_i , gọi g_i là kết quả so sánh bằng nhau giữa a_i và b_i , với $g_i = 1$ biểu thị $a_i = b_i$, $g_i = 0$ biểu thị $a_i \neq b_i$. Vậy ta có bảng chân lí 4-4-1.

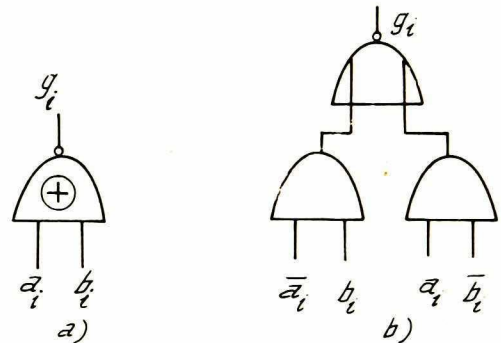
Bảng 4-4-1 : BẢNG CHÂN LÍ CỦA BỘ SO SÁNH 1 BIT

a_i	b_i	g_i	Thuyết minh
0	0	1	bằng nhau
0	1	0	khác nhau
1	0	0	khác nhau
1	1	1	bằng nhau

Từ bảng 4-4-1, ta có

$$g_i = \bar{a}_i \bar{b}_i + a_i b_i = \overline{\bar{a}_i b_i + a_i \bar{b}_i} = \overline{a_i \oplus b_i}$$

Có thể dùng nhiều sơ đồ thực hiện hàm logic trên, hình 4-4-1a là cổng hàm tương đương, hình 4-4-1b là cổng NORAND đều thực hiện chức năng so sánh bằng nhau.



Hình 4-4-1. Bộ so sánh 1 bit.

2) Bộ so sánh bằng nhau 4 bit

So sánh số nhị phân 4 bit $A = a_3 a_2 a_1 a_0$ với $B = b_3 b_2 b_1 b_0$, ta thấy rằng $A = B$ nếu $a_3 = b_3$, $a_2 = b_2$, $a_1 = b_1$, $a_0 = b_0$. Vậy nếu gọi g_i là các bộ so sánh 1 bit, chúng ta xây dựng được bảng chân lí 4-4-2.

Từ bảng 4-4-2, ta có

$$G = g_3 \cdot g_2 \cdot g_1 \cdot g_0$$

với

$$g_3 = \overline{a_3 \oplus b_3}$$

$$g_2 = \overline{a_2 \oplus b_2}$$

$$g_1 = \overline{a_1 \oplus b_1}$$

$$g_0 = \overline{a_0 \oplus b_0}$$

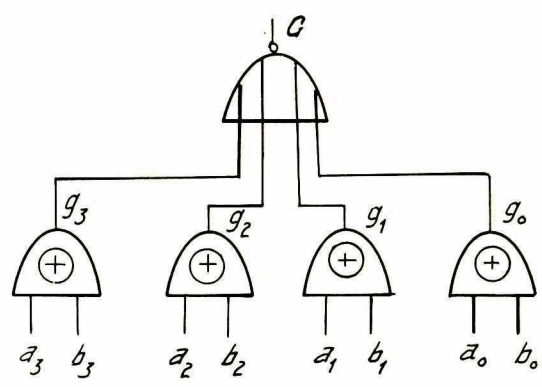
Bảng 4-4-2 : BẢNG CHÂN LÍ BỘ SO SÁNH BẰNG NHAU 4 BIT

g_3	g_2	g_1	g_0	G
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

Vậy ta có :

$$\begin{aligned}
 G &= g_3 \cdot g_2 \cdot g_1 \cdot g_0 \\
 G &= \overline{a_3 \oplus b_3} \cdot \overline{a_2 \oplus b_2} \cdot \overline{a_1 \oplus b_1} \cdot \overline{a_0 \oplus b_0} \\
 G &= \overline{(a_3 \oplus b_3) + (a_2 \oplus b_2) + (a_1 \oplus b_1) + (a_0 \oplus b_0)}
 \end{aligned}$$

Hình 4-4-2.
Sơ đồ logic
bộ so sánh
bằng nhau 4 bit.



4.4.2. Bộ so sánh

Bộ so sánh là mạch điện thực hiện chức năng logic xác định số nào lớn hơn trong hai số được so sánh.

1) Bộ so sánh 1 bit

Xét hai bit a_i và b_i , kết quả so sánh $l_i = 1$ biểu thị $a_i > b_i$, $m_i = 1$ biểu thị $a_i < b_i$. Ta có bảng chân lí 4-4-3.

Bảng 4-4-3 : BẢNG CHÂN LÍ CỦA BỘ SO SÁNH 1 BIT

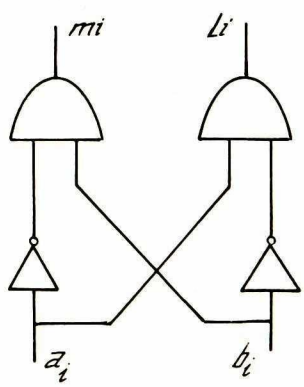
a_i	b_i	l_i	m_i	thuyết minh
0	0	0	0	$a_i = b_i$
0	1	0	1	$a_i < b_i$
1	0	1	0	$a_i > b_i$
1	1	0	0	$a_i = b_i$

Từ bảng 4-4-3, ta có :

$$l_i = a_i \bar{b}_i \qquad m_i = \bar{a}_i b_i$$

Căn cứ vào hàm logic trên đây, ta xây dựng sơ đồ logic hình 4-4-3.

Hình 4-4-3.
Bộ so sánh 1 bit.



2) Bộ so sánh 4 bit

a) Phương pháp so sánh hai số nhị phân nhiều bit

Quá trình so sánh hai số nhị phân nhiều bit phải bắt đầu từ bit có trọng số cao nhất, chỉ khi nào bit có trọng số cao nhất bằng nhau thì mới tiếp tục so sánh đến bit có trọng số thấp hơn liên kế. Ý nghĩa trọng số khiến việc so sánh quyết định bởi số có trọng số lớn. (Ví dụ quen thuộc : so sánh 901 và 899, so sánh số hàng trăm $9 > 8$, kết luận luôn $901 > 899$, không để ý đến số hàng chục và hàng đơn vị của chúng)

b) Bộ so sánh 4 bit

So sánh hai số nhị phân $A = a_3a_2a_1a_0$ và $B = b_3b_2b_1b_0$

Kết quả so sánh $G = 1$ nếu $A = B$; $g_i = 1$ nếu $a_i = b_i$

$L = 1$ nếu $A > B$; $l_i = 1$ nếu $a_i > b_i$

$M = 1$ nếu $A < B$; $m_i = 1$ nếu $a_i < b_i$

Bảng 4-4-4 : BẢNG CHÂN LÍ CỦA L

g_3	g_2	g_1	g_0	l_3	l_2	l_1	l_0	L	Thuyết minh
x	x	x	x	1	x	x	x	1	A > B
1	x	x	x	x	1	x	x	1	
1	1	x	x	x	x	1	x	1	
1	1	1	x	x	x	x	1	1	

Bảng 4-4-5 : BẢNG CHÂN LÍ CỦA M

g_3	g_2	g_1	g_0	m_3	m_2	m_1	m_0	M	Thuyết minh
x	x	x	x	1	x	x	x	1	A < B
1	x	x	x	x	1	x	x	1	
1	1	x	x	x	x	1	x	1	
1	1	1	x	x	x	x	1	1	

Khi liệt kê bảng 4-4-4 và bảng 4-4-5, cần lưu ý các quan hệ phủ định nhau của các biến logic và một số giá trị của biến logic không ảnh hưởng gì đến hàm logic. Ví dụ : Xét bảng 4 -4-4.

Hàng thứ nhất, $l_3 = 1$ chứng tỏ $a_3 > b_3$, $g_3 \neq 1$ ($l_3 = 1$ phủ định $g_3 = 1$). Vì a_3 , b_3 có trọng số lớn nhất, nên $A > B$, $L = 1$ không phụ thuộc gì vào g_2 , g_1 , g_0 , l_2 , l_1 , l_0 , nên tương ứng với các dấu chéo "X".

Hàng thứ hai, $g_3 = 1$ chứng tỏ $a_3 = b_3$, $l_3 \neq 1$. $l_2 = 1$ chứng tỏ $a_2 > b_2$, vì chúng có trọng số thứ hai, nên $A > B$, $L = 1$ không phụ thuộc gì vào g_2 , g_1 , g_0 , l_1 , l_0 , tương ứng với các dấu chéo "X".

Hàng thứ ba, $g_3 = g_2 = 1$ chứng tỏ $a_3 = b_3$, $a_2 = b_2$, $l_3 \neq 1$, $l_2 \neq 1$, $l_1 = 1$) chứng tỏ $a_1 > b_1$, do đó $A > B$, $L = 1$, không phụ thuộc vào g_1 , g_0 , l_0 tương ứng với các dấu chéo "X".

Hàng thứ tư, $g_3 = g_2 = g_1 = 1$ ($a_3 = b_3$, $a_2 = b_2$, $a_1 = b_1$, $l_3 \neq 1$, $l_2 \neq 1$, $l_1 \neq 1$) $l_0 = 1$ chứng tỏ $a_0 > b_0$, do đó $A > B$, $L = 1$, $g_0 \neq 1$. Tương ứng các giá trị $\neq 1$ đều đánh dấu chéo "X".

Bảng 4-4-5 cũng được tìm hiểu và kê ra một cách tương tự.

Từ bảng 4-4-4 ta có : $L = l_3 + g_3 \cdot l_2 + g_3 g_2 l_1 + g_3 g_2 g_1 l_0$

Từ bảng 4-4-5 ta có : $M = m_3 + g_3 m_2 + g_3 g_2 m_1 + g_3 g_2 g_1 m_0$

Sơ đồ logic hàm L , M thực hiện bằng cổng AND và OR trên hình 4-4-4

g_3, g_2, g_1 là tín hiệu đầu ra

Bộ so sánh bằng nhau 1 bit

$$g_3 = \overline{a_3 \oplus b_3}$$

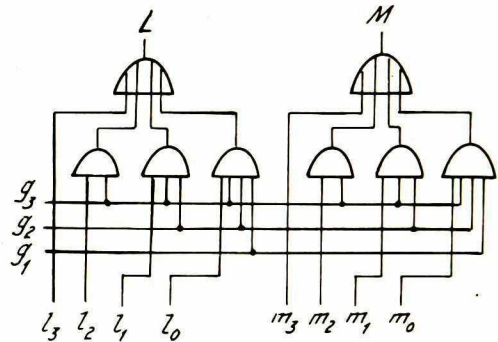
$$g_2 = \overline{a_2 \oplus b_2}$$

$$g_1 = \overline{a_1 \oplus b_1}$$

l_3, l_2, l_1, l_0 và m_3, m_2, m_1, m_0 là các bộ so sánh 1 bit

$$l_3 = a_3 \bar{b}_3 ; l_2 = a_2 \bar{b}_2 ; l_1 = a_1 \bar{b}_1 ; l_0 = a_0 \bar{b}_0$$

$$m_3 = \bar{a}_3 b_3 ; m_2 = \bar{a}_2 b_2 ; m_1 = \bar{a}_1 b_1 ; m_0 = \bar{a}_0 b_0$$



Hình 4-4-4. Bộ so sánh 4 bit.

4.4.3. ICMSI bộ so sánh 4 bit

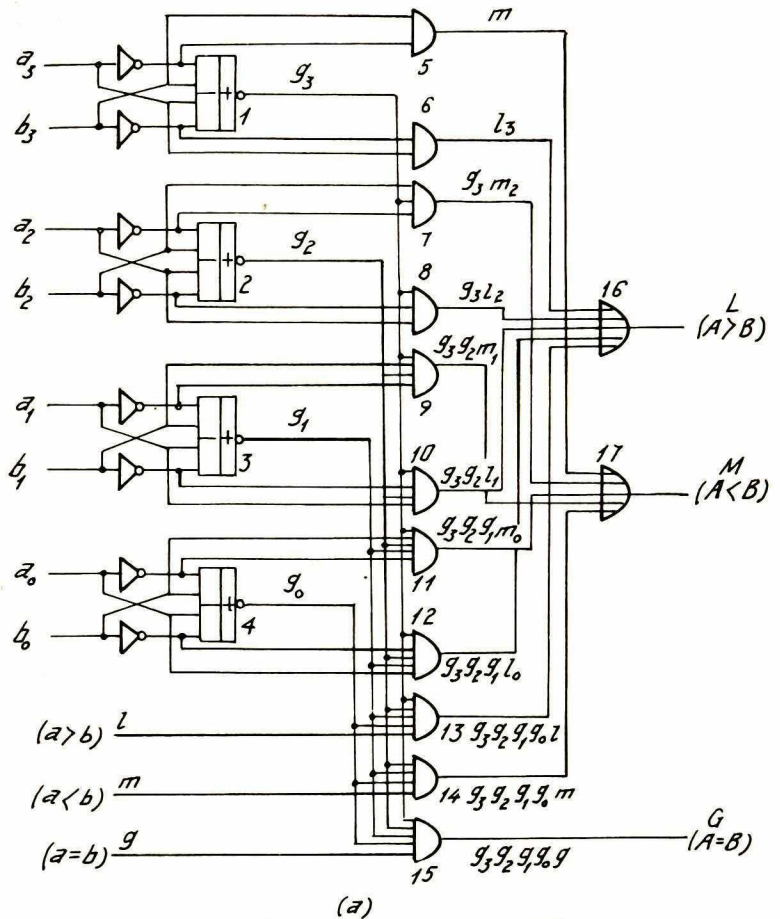
Hình 4-4-5 là vi mạch MSI bộ so sánh 4 bit

Nhận xét sơ đồ hình 4-4-5, ta thấy rằng MSI này có sơ đồ mạch phù hợp với các sơ đồ bộ so sánh đã trình bày trên, nó có thêm 3 cổng AND và 3 đầu vào điều khiển $a > b$, $a < b$, $a = b$.

Các biểu thức hàm logic đầu ra L , M , G hoàn toàn không khác gì với các biểu thức đã dẫn ở trên. Bảng chân lí của bộ so sánh 4 bit hình 4-4-5 là bảng 4-4-6. Cho $l = m = 0$, $g = 1$, từ sơ đồ logic hình 4-4-5, theo từng cấp từ đầu ra, ta có thể viết các hàm đầu ra như sau

$$\begin{aligned} L &= l_3 + g_3 l_2 + g_3 g_2 l_1 + g_3 g_2 g_1 l_0 + g_3 g_2 g_1 l \\ &= l_3 + g_3 l_2 + g_3 g_2 l_1 + g_3 g_2 g_1 l_0 + 0 \\ &= a_3 \bar{b}_3 + \overline{a_3 \oplus b_3} a_2 \bar{b}_2 + \overline{a_3 \oplus b_3} \overline{a_2 \oplus b_2} a_1 \bar{b}_1 \\ &\quad + \overline{a_3 \oplus b_3} \overline{a_2 \oplus b_2} \overline{a_1 \oplus b_1} a_0 b_0 \end{aligned}$$

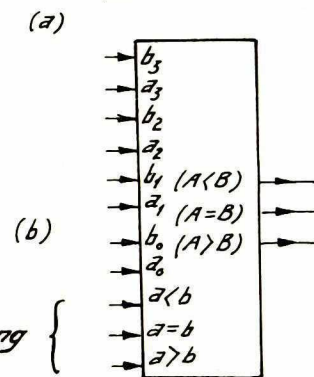
$$M = m_3 + g_3 m_2 + g_3 g_2 m_1 + g_3 g_2 g_1 m_0 + g_3 g_2 g_1 g m$$



Hình 4-4-5. Bộ so sánh 4 bit (MSI)

a) Sơ đồ mạch điện ;

b) Kí hiệu.



$$= m_3 + g_3 m_2 + g_3 g_2 m_1 + g_3 g_2 g_1 m_0 + 0$$

$$= \bar{a}_3 b_3 + \overline{a_3 \oplus b_3} \bar{a}_2 b_2 + \overline{a_3 \oplus b_3} \overline{a_2 \oplus b_2} \bar{a}_1$$

$$+ \overline{a_3 \oplus b_3} \overline{a_2 \oplus b_2} \overline{a_1 \oplus b_1} \bar{a}_0 b_0$$

$$G = g_3 g_2 g_1 g_0 g$$

$$= g_3 g_2 g_1 g_0$$

$$= \overline{a_3 \oplus b_3} \overline{a_2 \oplus b_2} \overline{a_1 \oplus b_1} \overline{a_0 \oplus b_0}$$

Bảng 4-4-6 : BẢNG CHÂN LÍ BỘ SO SÁNH 4 BIT

Dấu vào so sánh				Dấu vào điều khiển			Dấu ra		
a ₃ b ₃	a ₂ b ₂	a ₁ b ₁	a ₀ b ₀	l a > b	m a < b	g a = b	L A > B	M A < B	G A = B
a ₃ > b ₃	X	X	X	X	X	X	1	0	0
a ₃ < b ₃	X	X	X	X	X	X	0	1	0
a ₃ = b ₃	a ₂ > b ₂	X	X	X	X	X	1	0	0
a ₃ = b ₃	a ₂ < b ₂	X	X	X	X	X	0	1	0
a ₃ = b ₃	a ₂ = b ₂	a ₁ > b ₁	X	X	X	X	1	0	0
a ₃ = b ₃	a ₂ = b ₂	a ₁ < b ₁	X	X	X	X	0	1	0
a ₃ = b ₃	a ₂ = b ₂	a ₁ = b ₁	a ₀ > b ₀	X	X	X	1	0	0
a ₃ = b ₃	a ₂ = b ₂	a ₁ = b ₁	a ₀ < b ₀	X	X	X	0	1	0
a ₃ = b ₃	a ₂ = b ₂	a ₁ = b ₁	a ₀ = b ₀	1	0	0	1	0	0
a ₃ = b ₃	a ₂ = b ₂	a ₁ = b ₁	a ₀ = b ₀	0	1	0	0	1	0
a ₃ = b ₃	a ₂ = b ₂	a ₁ = b ₁	a ₀ = b ₀	0	0	1	0	0	1

4.5. BỘ CỘNG

Thực hiện các phép tính là nhiệm vụ cơ bản của máy tính số. Trong máy tính, các phép cộng trừ nhân chia đều quy về phép tính cộng theo một cách nào đó, vậy phép cộng là phép tính cơ bản nhất của máy tính.

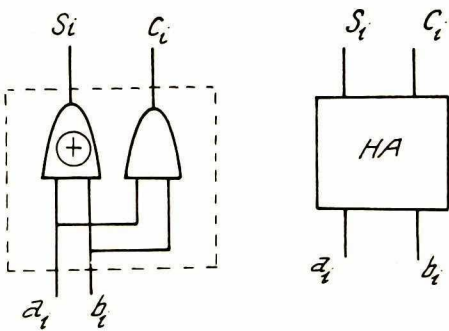
4.5.1. Bộ cộng nửa

Bộ cộng nửa là mạch điện thực hiện phép cộng nửa, tức là phép cộng 2 số 1 bit. Bảng 4-5-1 là bảng chân lí của phép cộng nửa, S_i là tổng, a_i và b_i là các số hạng được cộng, c_i là số nhớ sang bit trọng số lớn hơn. Bảng chân lí 4-5-1 chỉ thực hiện phép tính đối với bản thân hai số a_i, b_i mà không kể đến số nhớ chuyển vị từ bit có trọng số bé hơn. Vậy mới có tên là cộng nửa. Từ bảng 4-5-1 ta có :

S_i = a_ib_i + a_ib_i = a_i ⊕ b_i

c_i = a_ib_i

Hình 4-5-1 là sơ đồ logic và kí hiệu bộ cộng nửa



Bảng 4-5-1 : BẢNG CHÂN LÍ BỘ CỘNG NỬA

a _i	b _i	S _i	C _i
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Hình 4-5-1. Bộ cộng nửa.

4.5.2. Bộ cộng đủ

Bộ cộng nửa không đáp ứng yêu cầu thực tế cộng hai số nhiều bit. Ví dụ cộng hai số $A = a_3a_2a_1a_0 = 1011$ và $B = b_3b_2b_1b_0 = 1110$

	bit 3	bit 2	bit 1	bit 0	
	1	0	1	1	A
	1	1	1	0	B
1	1	1	0		số nhớ chuyển lên
1	1	0	0	1	

Qua ví dụ, ta thấy : việc cộng các bit 3, bit 2, bit 1 đều kèm theo số nhớ, nghĩa là có 3 số hạng tham gia, gồm 2 bit được cộng và số nhớ chuyển lên từ phép cộng bit trọng số bé liền kề. Phép cộng có nhớ được gọi là cộng đủ, mạch điện thực hiện tương ứng được gọi là bộ cộng đủ. (Full Adder)

Bảng 4-5-2 là bảng chân lí của bộ cộng đủ, trong đó a_i , b_i là hai bit được cộng, c_{i-1} là số nhớ chuyển lên từ bit $i-1$ (bé liền kề) s_i là tổng và c_i là số nhớ (phải chuyển lên phép cộng đủ của bit $i + 1$).

Tiến hành tối thiểu hóa bằng bảng Karnaugh, xem hình 4-5-2

Bảng 4-5-2 : BẢNG CHÂN LÍ CỦA BỘ CỘNG ĐỦ

a_i	b_i	c_{i-1}	s_i	c_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Hình 4-5-2.

Bảng Karnaugh của hàm logic đầu ra s_i , c_i .

		$b_i c_{i-1}$			
		00	01	11	10
a_i	0	0	1	0	1
	1	1	0	1	0

a) S_i

		$b_i c_{i-1}$			
		00	01	11	10
a_i	0	0	0	1	0
	1	0	1	1	1

b) C_i

Từ hình 4-5-2a, ta có :

$$\begin{aligned}
 s_i &= \bar{a}_i \bar{b}_i c_{i-1} + \bar{a}_i b_i \bar{c}_{i-1} + a_i \bar{b}_i \bar{c}_{i-1} + a_i b_i c_{i-1} \\
 &= \bar{a}_i (\bar{b}_i c_{i-1} + b_i \bar{c}_{i-1}) + a_i (\bar{b}_i \bar{c}_{i-1} + b_i c_{i-1}) \\
 &= \bar{a}_i (b_i \oplus c_{i-1}) + a_i \overline{(b_i \oplus c_{i-1})} \\
 &= a_i \oplus b_i \oplus c_{i-1}
 \end{aligned}$$

Từ hình 4-5-2b, ta có :

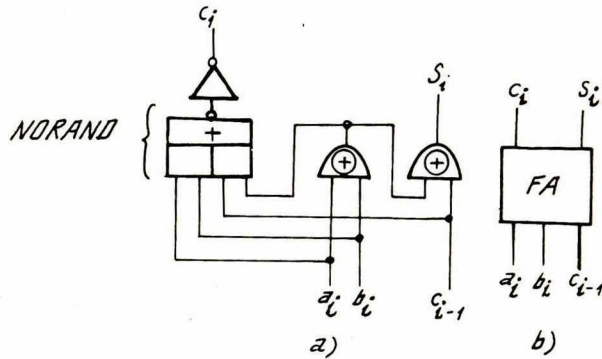
$$\begin{aligned} c_i &= \bar{a}_i b_i c_{i-1} + a_i \bar{b}_i c_{i-1} + a_i b_i \\ &= (\bar{a}_i b_i + a_i \bar{b}_i) c_{i-1} + a_i b_i \\ &= (a_i \oplus b_i) c_{i-1} + a_i b_i \end{aligned}$$

Hàm logic của c_i không ở dạng tối giản mà có $a_i \oplus b_i$ giống như trong hàm s_i , nhờ vậy sơ đồ chung lại đơn giản. Xem hình 4-5-3

Hình 4-5-3.

Bộ cộng đủ :

- a) Sơ đồ logic ;
- b) Kí hiệu.

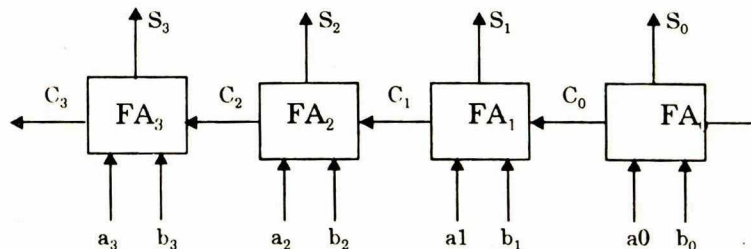


4.5.3. Bộ cộng có nhớ nối tiếp

Sau khi đã giới thiệu bộ cộng đủ 1 bit, bây giờ chúng ta xem xét bộ cộng số nhị phân nhiều bit. Có rất nhiều mạch điện khác nhau thực hiện việc này. Ta hãy xem xét cụ thể bộ cộng hai số nhị phân 4 bit, trong đó số liệu được cộng các bit đưa vào song song, số nhớ chuyển nối tiếp từ bit thấp nhất lên.

Hình 4-5-4 giới thiệu bộ cộng 4 bit được cấu trúc bằng 4 bộ cộng đủ 1 bit. Vì phải đợi số nhớ từ FA bit thấp hơn đưa lên, nên phép FA của bit cao thực hiện sau phép FA của bit thấp. Số nhớ chuyển nối tiếp từ FA bit thấp lên, từng bước một theo số bit.

Ưu điểm của bộ cộng các bit song song có nhớ nối tiếp là : mạch điện đơn giản. Nhược điểm của nó là : tốc độ thấp. Để nâng cao tốc độ phép cộng, ta phải tìm cách rút ngắn thời gian thực hiện FA của bit cao, trong đó có cách số nhớ chuyển sớm tới FA của bit cao.



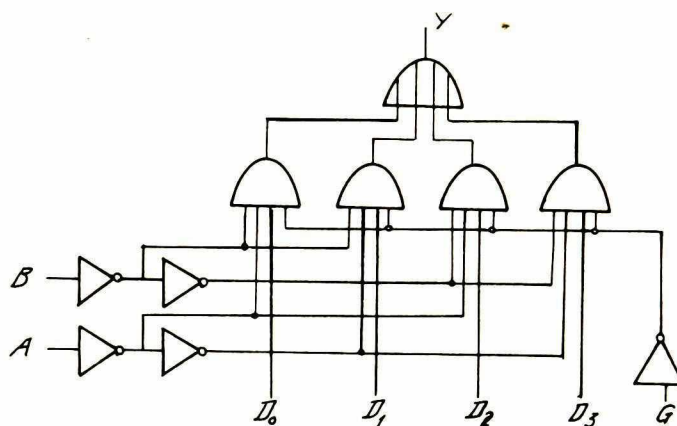
Hình 4-5-4. Bộ cộng 4 bit.

4.6. BỘ CHỌN KÊNH

Bộ chọn kênh còn gọi là bộ dẫn kênh (MUX), cũng gọi là bộ chọn dữ liệu (DATA SELECTOR). Bộ chọn kênh thực hiện dưới dạng một mạng các cổng NORAND (hay ORAND). Ứng dụng của nó rất rộng. Chức năng logic cơ bản của bộ chọn kênh là dưới sự điều khiển của tín hiệu chọn (n đầu vào điều khiển) thực hiện sự chọn ra một kênh (trong số 2^n kênh đầu vào) để thông tín hiệu kênh được chọn đến đầu ra (1 đầu ra).

Hình 4-6-1 giới thiệu bộ chọn kênh có 4 đầu vào để chọn.

Trong hình, B và A là $n = 2$ đầu vào điều khiển, D_3, D_2, D_1, D_0 là $2^n = 4$, đầu vào dữ liệu được chọn, Y là đầu ra, còn G là đầu chọn chip (cho phép bộ chọn kênh làm việc).



Hình 4-6-1. Bộ chọn kênh (MUX).

Từ sơ đồ logic hình 4-6-1 ta viết hàm logic đầu ra :

$$Y = \bar{G} \bar{B} \bar{A} D_0 + \bar{G} \bar{B} A D_1 + \bar{G} B \bar{A} D_2 + \bar{G} B A D_3$$

$$= \bar{G} (\bar{B} \bar{A} D_0 + \bar{B} A D_1 + B \bar{A} D_2 + B A D_3) \quad (4-6-1)$$

Khi $G = 1$ thì $Y = 0$, tức là bộ chọn kênh bị cấm, nó không làm việc

$$\text{Khi } G = 0 \text{ thì } Y = \bar{B} \bar{A} D_0 + \bar{B} A D_1 + B \bar{A} D_2 + B A D_3 \quad (4-6-2)$$

Kênh nào được chọn, phụ thuộc tín hiệu chọn (đầu vào điều khiển).

Nếu $BA = 00$ thì $Y = D_0$, nếu $BA = 01$ thì $Y = D_1$, nếu $BA = 10$ thì $Y = D_2$, Nếu $BA = 11$ thì $Y = D_3$. Bảng 4-6-1 là bảng chức năng của bộ chọn kênh.

Bảng 4-6-1 : BẢNG CHỨC NĂNG BỘ CHỌN KÊNH

B	A	D_0	D_1	D_2	D_3	G	H
X	X	X	X	X	X	H	L
L	L	L	X	X	X	L	L
L	L	H	X	X	X	L	H
L	H	X	L	X	X	L	L
L	H	X	H	X	X	L	H
H	L	X	X	L	X	L	L
H	L	X	X	H	X	L	H
H	H	X	X	X	L	L	L
H	H	X	X	X	H	L	H

Có thể viết rút gọn bảng 4-6-1 thành dạng đơn giản như bảng 4-6-2

Bảng 4-6-2 : BẢNG CHỨC NĂNG RÚT GỌN CỦA BỘ CHỌN KÊNH

B	A	G	Y
X	X	H	L
L	L	L	D ₀
L	H	L	D ₁
H	L	L	D ₂
H	H	L	D ₃

4.7. ROM (bộ nhớ chỉ đọc - Read Only Memory)

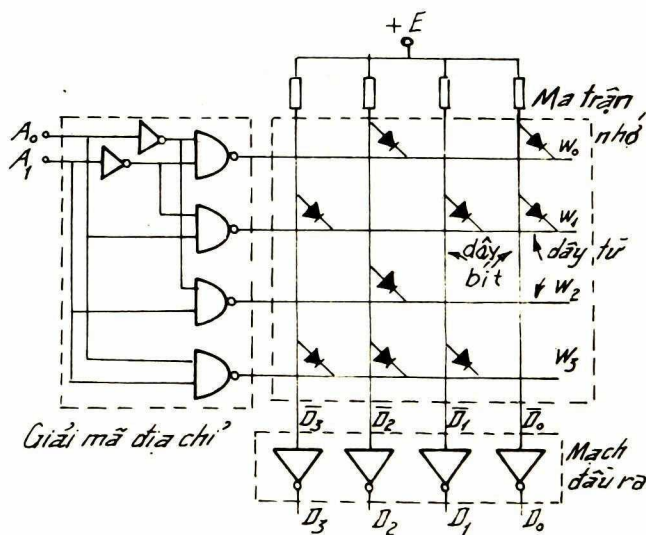
ROM còn gọi là bộ nhớ cố định. Vì dữ liệu lưu giữ trong ROM không dễ gì thay đổi, dữ liệu nói chung không thay đổi, chỉ đọc ra. Phần tử nhớ trong ROM rất đơn giản, do đó IC ROM có độ tích hợp cao. Có nhiều chủng loại ROM. Căn cứ vào phần tử nhớ trong ROM, thì có 3 loại : ROM diốt, ROM tranzito lưỡng cực và ROM tranzito trường (MOS). Căn cứ cách viết dữ liệu vào ROM, cũng có 3 loại : ROM cố định (ROM mặt nạ - Maskable ROM), PROM và EPROM. ROM cố định khi chế tạo thì nhà máy nạp sẵn dữ liệu thông qua công đoạn mặt nạ, nội dung đó không thể thay đổi trong quá trình sử dụng. PROM (ROM có thể nạp chương trình - Programable ROM) thì người sử dụng có thể nạp chương trình vào (bằng một thiết bị đặc biệt), nhưng dữ liệu chỉ được viết vào PROM một lần mà thôi, sau đó không thể thay đổi. Nội dung lưu giữ trong EPROM (erasable ROM) thì có thể thay đổi (viết mới) bằng một thiết bị đặc biệt. Nhưng do quá trình viết mới phiền phức, nên thông thường chỉ tiến hành đọc.

4.7.1. Bộ nhớ cố định chỉ đọc (ROM)

ROM cố định có 3 phần mạch : bộ giải mã địa chỉ, ma trận phần tử nhớ, và mạch điện đầu ra. Hình 4-7-1 giới thiệu mạch điện đơn giản nhất là ROM diốt.

Hình 4-7-1.

ROM diốt.



Dùng phương pháp phân tích logic, ta viết được :

Hàm logic tín hiệu trên các dây từ :

$$W_3 = \overline{A_1 A_0} \quad W_2 = \overline{A_1 \overline{A_0}} \quad W_1 = \overline{\overline{A_1} A_0} \quad W_0 = \overline{\overline{A_1} \overline{A_0}}$$

Hàm logic tín hiệu đầu ra :

$$D_3 = \overline{W_3 W_1} = \overline{\overline{A_1 A_0} \cdot \overline{\overline{A_1} A_0}} = A_1 A_0 + \overline{A_1} A_0 = A_0$$

$$D_2 = \overline{W_3 W_2 W_0} = \overline{\overline{A_1 A_0} \cdot \overline{A_1 \overline{A_0}} \cdot \overline{\overline{A_1} \overline{A_0}}} = A_1 A_0 + A_1 \overline{A_0} + \overline{A_1} \overline{A_0} \\ = A_1 + \overline{A_0}$$

$$D_1 = \overline{W_3 W_1} = A_0$$

$$D_0 = \overline{W_1 W_0} = \overline{\overline{A_1 A_0} \cdot \overline{\overline{A_1} \overline{A_0}}} = \overline{A_1} A_0 + \overline{A_1} \overline{A_0} = \overline{A_1}$$

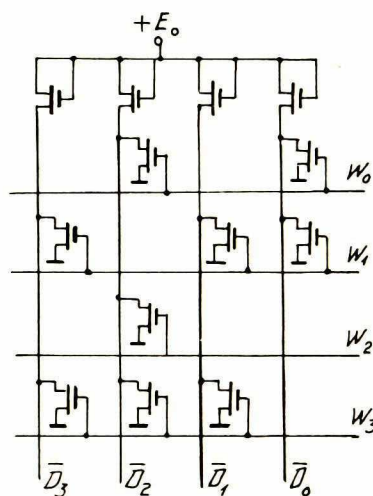
Bảng 4-7-1 : BẢNG CHÂN LÍ CỦA ROM ĐIỐT

A ₁	A ₀	D ₃	D ₂	D ₁	D ₀
0	0	0	1	0	1
0	1	1	0	1	1
1	0	0	1	0	0
1	1	1	1	1	0

Từ bảng chân lí, ta thấy sơ đồ hình 4-7-1 thực chất là một bộ chuyển mã từ mã $A_1 A_0$ sang mã $D_3 D_2 D_1 D_0$. Quá trình diễn ra như sau : bộ giải mã địa chỉ tiến hành giải mã $A_1 A_0$, ma trận 4 cổng AND điốt (đầu ra của AND điốt là dây bit, đầu vào của AND điốt là dây từ qua điốt nối dây bit tương ứng) và bộ đảo (mạch điện đầu ra) thực hiện việc mã hóa đối với tín hiệu đầu ra bộ giải mã. Cuối cùng ta có mã $D_3 D_2 D_1 D_0$.

Trong mạch điện hình 4-7-1, các từ mã của tín hiệu đầu vào và đầu ra có quan hệ đơn trị. Vì vậy, người ta thường xem từ mã đầu vào $A_1 A_0$ là địa chỉ của từ mã $D_3 D_2 D_1 D_0$ được lưu giữ trong ROM, còn bản thân $D_3 D_2 D_1 D_0$ được xem là nội dung dữ liệu được lưu giữ ở địa chỉ tương ứng $A_1 A_0$. Trong ma trận phần tử nhớ, đường ngang để chọn từ gọi tắt là dây từ, đường dọc để chọn bit gọi tắt là dây bit. Chỗ giao nhau giữa dây từ và dây bit được gọi là phần tử nhớ. Tại phần tử nhớ, nếu có điốt thì dữ liệu lưu giữ là 1, nếu không có điốt thì dữ liệu lưu giữ là 0. Nội dung dữ liệu lưu giữ trong ma trận nhớ không thể thay đổi sau khi hoàn thành chế tạo ra ROM, tức là chỉ đọc mà không viết được...

Hình 4-7-2 là ma trận phần tử nhớ dùng tranzito trường MOS (có nội dung nhớ như mạch hình 4-7-1). Tại phần tử nhớ (nơi giao nhau giữa dây từ và dây



Hình 4-7-2. Ma trận nhớ của ROM NMOS.

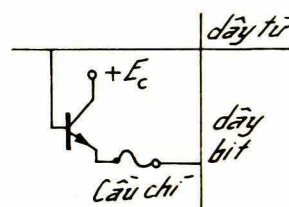
bit) nếu có tranzito MOS thì nội dung lưu giữ là 1, nếu không có thì là 0). Nguyên lý công tác mạch hình 4-7-2 giống như mạch hình 4-7-1. Chỉ lưu ý tín hiệu dây từ tích cực ở mức cao. (Cũng có thể dùng tranzito lưỡng cực để cấu trúc ma trận nhớ của ROM).

Khi chế tạo ma trận nhớ của ROM, căn cứ nội dung cần lưu giữ mà thiết kế mặt nạ. Điều này chỉ có lợi khi số lượng sản xuất lớn (vì chế tác mặt nạ và các công đoạn liên quan tới thời gian, giá thành cao). Trong trường hợp số lượng sản xuất không lớn, dùng PROM kinh tế hơn.

4.7.2. Bộ nhớ chỉ đọc có thể ghi trình tự (PROM)

Khi xuất xưởng, PROM có các phần tử nhớ đều là 1, người sử dụng căn cứ nội dung cần lưu trữ mà tùy ý chọn phần tử nhớ nào không thay đổi (1), phần tử nhớ nào phải thay đổi (0) để thực hiện thao tác viết vào bộ nhớ. Nhưng chỉ một lần viết mà thôi.

Hình 4-7-3 giới thiệu một phần tử nhớ PROM, gồm có một tranzito lưỡng cực và một cầu chì (hợp kim Ni Cr...). Khi xuất xưởng, cầu chì của các phần tử nhớ đều thông. Người sử dụng muốn ghi bit 1 vào phần tử nhớ nào thì giữ nguyên cầu chì, muốn ghi bit 0 vào phần tử nhớ nào thì làm cầu chì đứt bằng dòng điện đủ lớn theo quy định. Cầu chì của phần tử nhớ đứt rồi thì không có cách gì nối lại như cũ được, tức là không thay đổi nội dung được nữa.

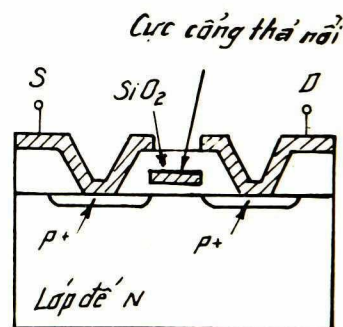


Hình 4-7-3.
Phần tử nhớ PROM.

Ngoài hình thức cầu chì, người ta còn chế tạo PROM dùng diốt Schottky thay thế phương án cầu chì trên. Khi xuất xưởng, tất cả các diốt Schottky đều ngắt (ở trạng thái phân cực ngược), tương ứng bit 0. Để tạo ra bit 1, người sử dụng phải đặt điện áp ngược đủ lớn để diốt Schottky đánh thủng tạo thành chập cực thông mạch vĩnh viễn.

4.7.3. Bộ nhớ chỉ đọc có thể viết lại (EPROM)

Thực tiễn luôn có nhu cầu sửa chữa, đổi mới một số dữ liệu nào đó trong ROM, do vậy người ta không thỏa mãn với ROM cố định và PROM. EPROM giải quyết và đáp ứng nhu cầu trên nên có ứng dụng rộng rãi. Hiện nay EPROM sử dụng phần tử nhớ trên cơ sở tranzito FAMOS (Floating - gate Avalanche - injection Metal Oxide Semiconductor - Bán dẫn oxýt kim loại phun - cực cổng thác lũ thả nổi). Hình 4-7-4 trình bày kết cấu tranzito FAMOS. Nó cơ bản là tranzito MOS cực cổng S_1 kênh P. Điểm khác biệt của nó là cực cổng hoàn toàn bị SiO_2 cách li, nên ở trạng thái "bồng bênh", và có tên cực cổng thả nổi. Cực này vốn không mang điện, nên không có kênh dẫn giữa cực nguồn S và cực máng D, tranzito FAMOS ở trạng thái ngắt. Nhưng nếu đặt điện



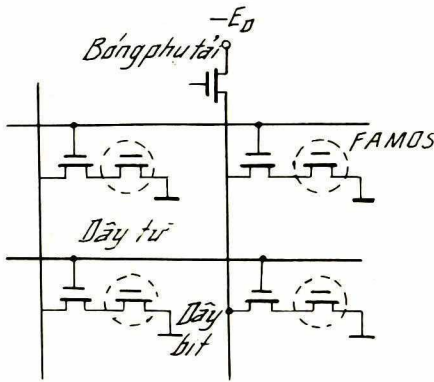
Hình 4-7-4.
Kết cấu tranzito FAMOS.

áp tương đối lớn ($-30V$ chẳng hạn) giữa D và S, làm cho chuyển tiếp PN giữa cực mắng D và đế bị đánh thủng thác lũ, điện tử trong vùng nghèo kiệt nhờ điện trường mạnh gia tốc lớn bay từ vùng P^+ ra ngoài. Do tốc độ cao, có một phần điện tử xuyên qua lớp oxýt tương đối mỏng để tới cực cổng thả nổi, chúng được tồn trữ ở đó. Quá trình này gọi là phun thác lũ. Khi không còn điện áp đặt giữa D và S, vì điện tích ở cực cổng không có lối thoát đi, nên bảo tồn lâu dài tại cực cổng. (Ở $100^\circ C$, một năm suy giảm chưa tới 1%). Điều chỉnh biên độ và thời gian của điện áp giữa DS, thì có thể điều khiển lượng điện tử phun vào. Khi cực cổng đã có đủ nhiều điện tử (điện tích âm) thì có thể tạo ra kênh dẫn giữa D và S làm cho tranzito FAMOS trở thành thông. Nếu dùng tia cực tím hoặc tia X chiếu vào tranzito FAMOS làm trung hòa điện tích ở cực cổng, kênh dẫn biến mất, tranzito FAMOS trở lại trạng thái ngắt. Để tiện tiến hành việc khủ bỏ kênh dẫn, khi bao gói, người ta để một cửa sổ thạch anh cho việc chiếu xạ khi cần.

Hình 4-7-5 giới thiệu EPROM cấu trúc từ tranzito trường, mỗi phần tử nhớ gồm một tranzito MOS nối tiếp với một tranzito FAMOS. Dây từ điều khiển cực cổng. Khi xuất xưởng, tất cả FAMOS đều ở trạng thái hở mạch. Người sử dụng căn cứ vào dữ liệu cần lưu giữ, đưa xung điện áp âm vào dây bit đã chọn, lại điều khiển dây từ cho MOS theo địa chỉ thông dẫn. FAMOS ở dây bit đã chọn sẽ đánh thủng thác lũ, phun điện tử vào cực cổng của nó.

Khi đọc ra, dây từ chọn hàng phần tử nhớ, FAMOS nào đã có điện tử phun vào cực cổng của nó sẽ dẫn điện, dây bit tương ứng sẽ có mức cao ; FAMOS nào không có điện tử phun vào cực cổng thì hở mạch, dây bit tương ứng sẽ có mức thấp.

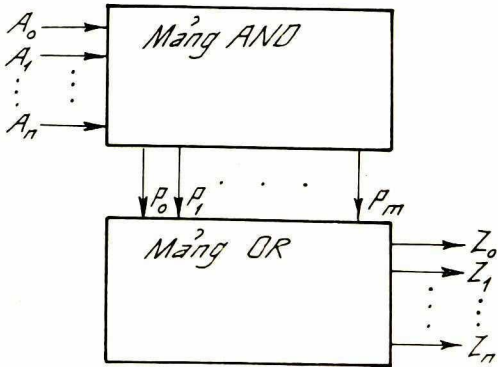
Cần lưu ý rằng tranzito FAMOS có thể có những hình thức cấu trúc khác với cấu trúc được giới thiệu trên đây.



Hình 4-7-5. Ma trận nhớ EPROM.

4.8 MẢNG LOGIC LẬP TRÌNH (PLA)

Hình 4-8-1 giới thiệu PLA cấu trúc từ một mảng cổng AND và một mảng cổng OR. Mảng cổng AND thực hiện phép nhân logic các biến số trong các tín hiệu đầu vào $A_0 \div A_n$. Tín hiệu đầu ra $P_0 \div P_m$ là tích (Hội) của các biến số đầu vào. Mảng cổng OR thực hiện phép cộng logic các tích $P_0 \div P_m$. Tín hiệu đầu ra của mảng OR (cũng là của PLA) là tổng (Tuyến) của các tích đó. Tóm lại, ở đầu ra PLA ta có hàm logic dưới dạng chuẩn tắc tuyến. Người sử dụng PLA tùy ý thiết kế tổng của những



Hình 4-8-1. Sơ đồ khối cấu trúc của PLA.

tích nào, tích của những biến nào. Vậy cấu trúc hình 4-8-1 được gọi là mảng logic lập trình PLA.

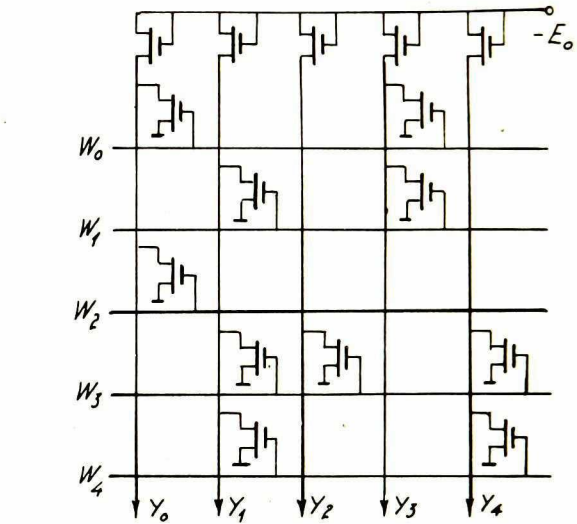
Mọi người đều biết rằng một hàm logic bất kì để có thể biểu thị dưới dạng chuẩn tắc tuyến (ORAND). Vậy dùng PLA thực hiện hàm logic dạng chuẩn tắc tuyến là vô cùng thuận tiện. Vì chúng ta đưa biến logic đến đầu vào PLA, thiết kế các tích bằng mảng AND, sau đó thiết kế các tổng của các tích bằng mảng OR thì đầu ra PLA là hàm logic chuẩn tắc tuyến cần có.

Qua ví dụ tương đối đơn giản dưới đây, chúng ta sẽ thấy cụ thể nguyên lí công tác của PLA.

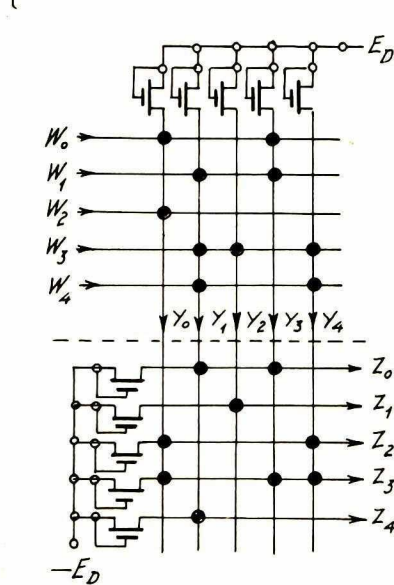
Hình 4-8-2 trình bày mảng có 5 cổng NAND PMOS. $W_0 \div W_4$ là biến số đầu vào. $Y_0 \div Y_4$ là hàm số đầu ra. Đặc điểm công tác của tranzito trường PMOS là : thông dẫn khi điện áp mức thấp ở cực cổng, hở ngắt khi điện áp mức cao ở cực cổng. Vậy ta có bảng chức năng kê ở bảng 4-8-1.

Áp dụng logic dương (mức cao H biểu thị 1, mức thấp L biểu thị 0), ta có thể viết ra các hàm Y_i từ Bảng 4-8-1 :

$$\begin{cases} Y_0 = \overline{W_0} \overline{W_2} \\ Y_1 = \overline{W_1} \overline{W_3} \overline{W_4} \\ Y_2 = \overline{W_3} \\ Y_3 = \overline{W_0} \overline{W_1} \\ Y_4 = \overline{W_3} \overline{W_4} \end{cases} \quad (4-8-1)$$



Hình 4-8-2. Mảng cổng NAND PMOS.



Bảng 4-8-1 : BẢNG CHỨC NĂNG

W_0	W_2	Y_0	W_1	W_3	W_4	Y_1	W_3	Y_2
L	L	H	L	L	L	H	L	H
L	H	H	L	L	H	H	H	L
H	L	H	L	H	L	H		
H	H	L	L	H	H	H		
			H	L	L	H		
			H	L	H	H		
			H	H	L	H		
			H	H	H	L		

W_0	W_1	Y_3	W_3	W_4	Y_4
L	L	H	L	L	H
L	H	H	L	H	H
H	L	H	H	L	H
H	H	L	H	H	L

Hình 4-8-3. PLA 2 cấp mảng cổng NAND.

PLA hình 4-8-3 gồm 2 mảng cổng NAND PMOS. Để đơn giản hình vẽ, nét chấm đậm biểu thị tranzito PMOS tại chỗ giao nhau. Từ hình 4-8-3 ta có

$$\begin{cases} Z_0 = \overline{Y_1 Y_3} \\ Z_1 = \overline{Y_2} \\ Z_2 = \overline{Y_0 Y_4} \\ Z_3 = \overline{Y_0 Y_3 Y_4} \\ Z_4 = \overline{Y_1} \end{cases} \quad (4-8-2)$$

Thay biểu thức (4-8-1) vào (4-8-2), áp dụng định lí Demoorgan ta có :

$$\begin{cases} Z_0 = W_1 W_3 W_4 + W_0 W_1 \\ Z_1 = W_3 \\ Z_2 = W_0 W_2 + W_3 W_4 \\ Z_3 = W_0 W_2 + W_0 W_1 + W_3 W_4 \\ Z_4 = W_1 W_3 W_4 \end{cases} \quad (4-8-3)$$

Tuy rằng hình 4-8-3 cấu trúc bằng hai mảng cổng NAND, nhưng kết quả của cách đấu nối thể hiện ở hàm đầu ra (4-8-3) chứng tỏ rằng sơ đồ hình 4-8-3 tương đương hình 4-8-1. Dùng sơ đồ cấu trúc hình 4-8-3, đưa tín hiệu đầu vào đến đầu vào mảng trên (W_i), căn cứ tích các biến đầu vào mà thiết kế vị trí tranzito MOS, rồi căn cứ tổng các tích mà thiết kế vị trí tranzito MOS trong mảng dưới ; hiển nhiên đối với toàn bộ sơ đồ hình 4-8-3 (hai mảng) thì ở đầu ra ta có hàm logic dạng chuẩn tắc tuyển theo yêu cầu thiết kế.

Trong PLA được IC hóa, không chỉ có các mảng OR - AND trên đây, mà còn có các bộ đảo cho tín hiệu đầu vào, và các cổng 3 trạng thái đệm ở đầu ra. Vậy trên 1 chip, ta có thể cấu trúc bất cứ mạng tổ hợp nào. Nếu thêm vào chip đó một số Flip Flop (sẽ giới thiệu sau) thì ta có thể cấu trúc được các mạch số nối chung (bao gồm mạch dây). Cũng như ROM được sản xuất ra thành các loại ROM cố định, PROM, EPROM, PLA cũng được sản xuất ra thành các loại PLA cố định, PLA có thể nạp chương trình và PLA có thể viết mới.

Chúng ta có thể dễ ý thấy rằng kết cấu mạch điện mảng cổng trong PLA giống nhau với ma trận nhớ trong ROM. Chúng khác nhau phương thức công tác. Đầu vào PLA là các biến logic, có thể nhiều biến đồng thời tác động. Đầu vào ma trận nhớ trong ROM là tín hiệu giải mã địa chỉ, một lần chỉ tác động vào một dây từ. Giả sử cần thực hiện cùng một hàm logic phức tạp nào đó, thì phần tử nhớ của PLA ít hơn nhiều so với số phần tử nhớ của ROM tương đương. Vì vậy ứng dụng và sản xuất IC PLA ngày càng rộng rãi.

4.9. NGUY HIỂM CHẠY ĐUA TRONG CÁC MẠCH TỔ HỢP

Nguy hiểm chạy đua là hiện tượng trong mạch tổ hợp xuất ra tín hiệu giả, vốn là những xung nhiễu quá độ khi tín hiệu đầu vào chuyển đổi trạng thái. Nếu phụ tải của mạch xét nhạy cảm đối với xung nhiễu như Flip Flop chẳng hạn, thì cần tìm cách trừ bỏ nguy hiểm chạy đua.

4.9.1. Nguyên nhân sinh ra hiện tượng nguy hiểm chạy đua

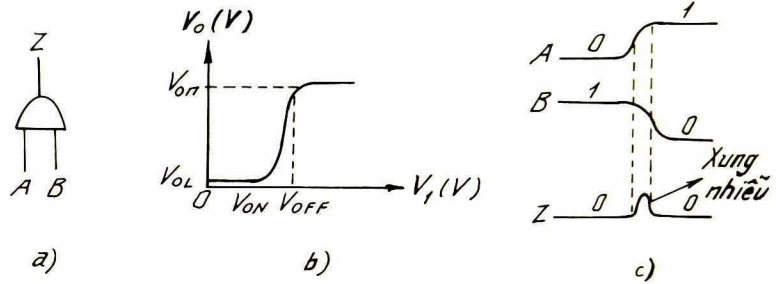
Trong mạch số, một cổng bất kì mà có hai tín hiệu đầu vào đồng thời chuyển đổi trạng thái theo hướng ngược nhau (ví dụ, từ 01 sang 10) thì có thể sinh ra xung nhiễu ở đầu ra. Ta minh họa điều này bằng cổng AND (TTL) hình 4-9-1.

Vì chức năng của cổng AND, $Z = A.B$. Nếu $AB = 01$, hay $AB = 10$ thì đáng lẽ Z phải luôn luôn là 0.

Hình 4-9-1.

Nguy hiểm chạy đua của cổng AND :

- cổng AND (TTL) ;
- Đặc tính truyền đạt điện áp của cổng AND ;
- Xung nhiễu sinh ra do nguy hiểm chạy đua.

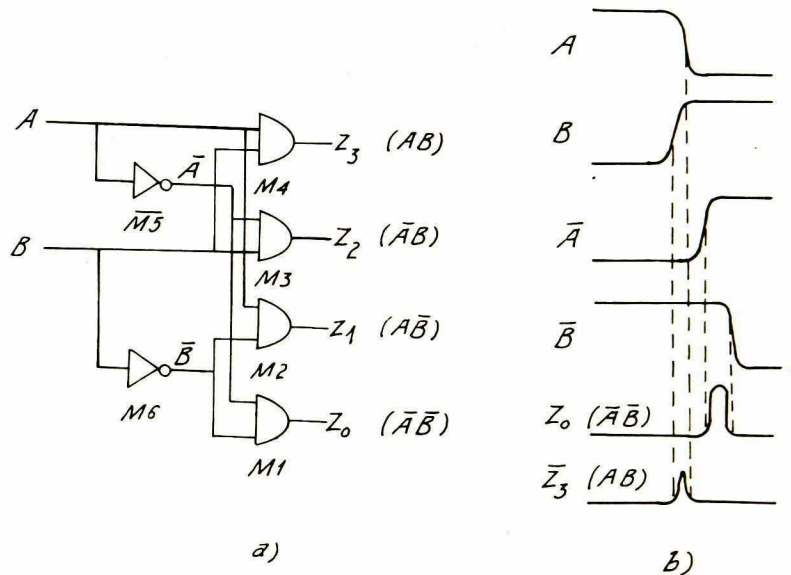


Trong quá trình chuyển đổi từ 01 sang 10 có thể sinh ra xung nhiễu vì :

1- Tín hiệu A, B không thể đột biến, sự chuyển đổi trạng thái đều trải qua thời gian quá độ.

2- Sự chuyển đổi trạng thái của tín hiệu A và B xảy ra có sớm muộn so với nhau (quãng đường truyền tín hiệu khác nhau, trễ truyền đạt của mạch điện không hoàn toàn bằng nhau).

Chẳng hạn, tín hiệu A tăng lên mức khóa cổng V_{OFF} trước khi tín hiệu B giảm xuống đến mức mở cổng V_{ON} , khi đó ở đầu ra Z sẽ sinh ra xung nhiễu dương. Còn trong trường hợp tín hiệu B giảm xuống đến V_{ON} trước khi tín hiệu A tăng đến V_{OFF} thì lại không sinh ra xung nhiễu. Vậy mạch điện có nguy hiểm chạy đua không phải nhất định phải có xung nhiễu đầu ra. Tuy nhiên, ta không thể biết trước chính xác sự sai lệch gây ra sớm muộn nói trên. Vậy ý nghĩa hiện tượng nguy hiểm chạy đua là khả năng sinh ra xung nhiễu.



Hình 4-9-2. Bộ giải mã nhị phân 2 bit :

- Sơ đồ logic ;
- Xung nhiễu do nguy hiểm chạy đua sinh ra.

Hình 4-9-2 là một ví dụ về xung nhiễu sinh ra do nguy hiểm chạy đua. Giả sử tín hiệu đầu vào chuyển đổi trạng thái theo chiều mũi tên trên bảng 4-9-2.

Theo đồ thị thời gian hình 4-9-2b, tương ứng sai lệch thời gian quá độ tín hiệu A và B có thể sinh ra xung nhiễu đầu ra cổng AND M_4 , tương ứng sai lệch thời gian trễ truyền đạt của M_5 và M_6 có thể sinh ra xung nhiễu đầu ra cổng AND M_1 . Đó là những xung nhiễu sinh ra khi BA chuyển từ 01 sang 10 (đánh dấu $\square$ trong bảng 4-9-2)

Bảng 4-9-2. BẢNG CHÂN LÍ MẠCH ĐIỆN
HÌNH 4-9-2

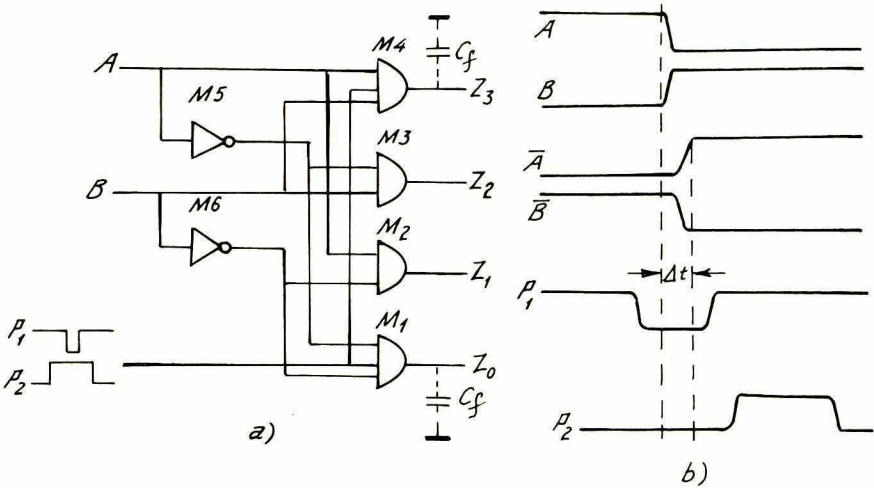
B	A	$\bar{B}$	$\bar{A}$	$\bar{B}\bar{A}$	$\bar{B}A$	$B\bar{A}$	BA
0	0	1	1	1	0	0	0
0	1	1	0	0	1	0	0
1	0	0	1	0	0	1	0
1	1	0	0	0	0	0	1

4.9.2. Phương pháp trừ bỏ nguy hiểm chạy đua

Có nhiều phương pháp để nhận biết một mạch tổ hợp có nguy hiểm chạy đua. Phương pháp trực quan hơn cả là kẻ bảng chân lí cho từng cấp mạch điện xét. Tìm xem cổng nào chịu tác động của tín hiệu đầu vào đồng thời 0 sang 1 và 1 sang 0. Phán đoán khả năng sinh ra xung nhiễu ở đầu ra của toàn mạch xét, tức là có nguy hiểm chạy đua hay không. Nếu phụ tải của mạch xét nhạy cảm với xung nhiễu thì cần tìm cách trừ bỏ nguy hiểm chạy đua. Dưới đây giới thiệu mấy phương pháp thông dụng.

1) Đưa vào xung khóa

Trên hình 4-9-3, xung âm p_1 là xung khóa đưa vào trong thời gian quá độ để khóa cổng M_1 , M_4 . (Như đã trình bày trên, M_1 và M_4 có nguy hiểm chạy đua). Xung p_1 phải đồng bộ với chuyển đổi trạng thái tín hiệu vào và không nhỏ hơn thời gian quá độ Δt .



Hình 4-9-3. Các phương pháp trừ bỏ nguy hiểm chạy đua.

2) Đưa vào xung mở

Trên hình 4-9-3, xung dương p_2 là xung dùng để mở thông mạch, đưa vào sau thời gian quá độ, lúc mạch đạt đến trạng thái ổn định mới, để mở thông M_1 và M_4 . Tín hiệu đầu ra của M_1 và M_4 bây giờ có dạng xung bề rộng bằng xung mở

p_2 . Ví dụ, khi tín hiệu đầu vào $BA = 11$, Z_3 không tức thời chuyển lên mức cao, chỉ khi đã xuất hiện p_2 , Z_3 mới hình thành xung dương.

3) Mặc thêm tụ lọc

Vì xung nhiễu do nguy hiểm chạy đua tạo ra là rất hẹp (hẹp hơn thời gian quá độ Δt) nên có thể mắc thêm một tụ điện lọc (điện dung không lớn) ở đầu ra để trừ bỏ. Đó là C_f trên hình 4-9-3. Đối với mạch TTL, C_f có điện dung vài trăm pF là đủ để suy giảm biên độ xung nhiễu đến mức không đáng kể.

4) Sửa đổi thiết kế logic

Khi nguy hiểm chạy đua do một biến số chuyển đổi trạng thái gây ra, thì có thể dùng sửa đổi thiết kế logic để trừ bỏ. Xét ví dụ sau.

Giả sử hàm logic đã cho là $Z = AB + \bar{A}C$

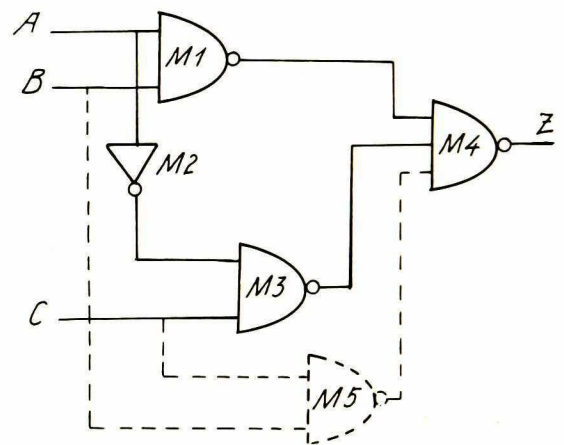
Sơ đồ logic của hàm này là đường nét liền trên hình 4-9-4.

Khi $B = C = 1$ thì
 $Z = AB + \bar{A}C = A \cdot 1 + \bar{A} \cdot 1$
 $Z = A + \bar{A}$

Hàm logic này chứng tỏ xuất hiện nguy hiểm chạy đua khi tín hiệu đầu vào A chuyển đổi trạng thái. Căn cứ công thức 17 chương 3 (3-1-36), ta có :

$$Z = AB + \bar{A}C = AB + \bar{A}C + BC$$

Tương ứng ta thêm cổng M_5 (đường nét đứt) trên sơ đồ hình 4-9-4, khi $B = C = 1$ thì đầu ra M_5 là mức thấp, khóa M_4 , không thể sinh ra xung nhiễu ở đầu ra M_4 nữa.



Hình 4-9-4. Sửa đổi thiết kế logic để trừ bỏ nguy hiểm chạy đua.

Hình 4-9-5 là bảng Karnaugh của hàm logic $Z = AB + \bar{A}C$. Ta có thể nhận biết nguy hiểm chạy đua khi xem xét bảng Karnaugh : Hai số hạng $\bar{A}C$ và AB là liên kề. (ô $m_3 = \bar{A}BC$ liên kề ô $m_7 = ABC$). Ta cũng dựa vào bảng Karnaugh mà tìm cách trừ bỏ nguy hiểm chạy đua = thêm vào hàm logic một số hạng tương ứng hai ô liên kề m_3 và m_7 , số hạng BC (nét đứt trên hình 4-9-5), vậy $Z = AB + \bar{A}C + BC$.

Xét thêm ví dụ dưới đây.

Ví dụ 4-9-1 : xét xem mạch tổ hợp thực hiện hàm số $Z = \bar{A}\bar{B}\bar{C} + BD + ACD$ có nguy hiểm chạy đua khi một biến số chuyển đổi trạng thái. Nếu có thì tìm cách trừ bỏ.

		$\bar{A}C$			
A	BC	00	01	11	10
	0	0	1	1	0
1	0	0	1	1	1

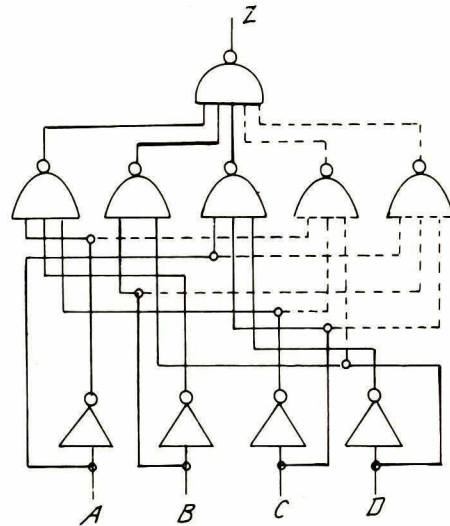
BC AB

Hình 4-9-5. Bảng Karnaugh của hàm logic Z .

		$\overline{A}\overline{C}D$			
AB \ CD	00	01	11	10	
00	1	1	0	0	
01	0	1	1	0	
11	0	1	1	1	
10	0	0	0	1	

ABC

Hình 4-9-6 : Bảng Karnaugh của hàm logic.



Hình 4-9-7. Sơ đồ logic.

Bài giải :

Vẽ bảng Karnaugh của hàm logic

$$Z = \overline{A}\overline{B}\overline{C} + BD + A\overline{C}D$$

như hình 4-9-6.

Hai số hạng $\overline{A}\overline{B}\overline{C}$ và BD liên kế, hai số hạng $A\overline{C}D$ và BD cũng liên kế. Vậy có nguy hiểm chạy đua. (Khi $\overline{A} = \overline{C} = D = 1$ thì $Z = \overline{B} + B$, khi $A = B = C$ thì $Z = \overline{D} + D$)

Cách trừ bỏ nguy hiểm chạy đua là thêm vào hai số hạng tương ứng các ô liên kế (nét đứt trên hình 4-9-6) $\overline{A}\overline{C}D$ và ABC . Hình 4-9-7 là sơ đồ logic của hàm :

$$Z = \overline{A}\overline{B}\overline{C} + BD + A\overline{C}D + \overline{A}\overline{C}D + ABC$$

sơ đồ tuy phức tạp thêm, nhưng đã trừ bỏ nguy hiểm chạy đua.

Chúng ta hãy so sánh 4 phương pháp trừ bỏ nguy hiểm chạy đua đã trình bày trên đây. Hai phương pháp đầu tương đối đơn giản, không làm tăng số linh kiện. Nhưng chúng bị hạn chế ở chỗ phải tìm được xung khóa hay xung mở. Những xung này có yêu cầu chính xác cao về bề rộng và thời gian. Mặc thêm tụ lọc có ưu điểm đơn giản dễ làm, nhưng làm xấu dạng sóng đầu ra, điều đó là không thể chấp nhận trong một số tình huống nào đó. Phương pháp sửa đổi thiết kế logic khá là lí tưởng khi các IC có sẵn các cổng còn chưa dùng đến trong mạch.

TÓM TẮT

Trong chương này, chúng ta đã giới thiệu mạch logic tổ hợp. Mạch tổ hợp do các phần tử logic cơ bản cấu trúc nên. Đặc điểm của mạch tổ hợp là tín hiệu đầu ra ở thời điểm bất kì nào cũng chỉ phụ thuộc vào tín hiệu đầu vào ở thời điểm đó mà không liên quan gì đến trạng thái vốn có của mạch.

Mạch tổ hợp là vô cùng nhiều, ta không thể xem xét hết trong trình bày trên đây. Trọng tâm của chúng ta là nắm vững đặc điểm mạch tổ hợp và phương pháp chung thiết kế, phân tích mạch tổ hợp. Vì vậy, chúng ta đã giới thiệu một cách chọn lọc bộ mã hóa, bộ giải mã, bộ so sánh, bộ cộng đủ, bộ chọn kênh, ROM, PLA...

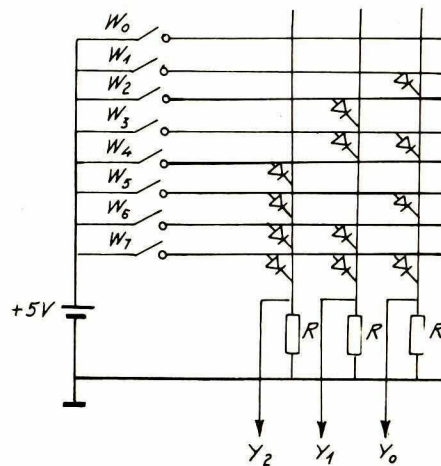
trong quá trình đó, ta đã xem xét phương pháp phân tích và phương pháp thiết kế mạch tổ hợp.

Khi phân tích mạch tổ hợp đã cho, ta có thể viết ra hàm logic đầu ra cho từng cấp của sơ đồ, rồi tiến hành tối thiểu hóa hàm logic đó để biểu thị rõ ràng quan hệ logic giữa đầu ra với đầu vào. Các bước thiết kế mạch tổ hợp đã được giới thiệu trong phần đầu. Cần lưu ý thêm rằng phải xem xét nguy hiểm chạy đua khi phụ tải nhạy cảm với xung nhiễu. Nếu có, phải tìm cách trừ bỏ. (Nếu phụ tải chỉ tiếp thu mức điện một chiều đầu ra thì không cần kiểm tra nguy hiểm chạy đua).

Việc tối thiểu hóa hàm logic là rất quan trọng. Vì việc này làm cho mạch logic đơn giản, kinh tế. Chúng ta mong muốn mạch điện càng ít linh kiện càng tốt, số đầu vào của mạch cổng cũng không thể quá nhiều.

BÀI TẬP

- 4-1. Đặc điểm mạch tổ hợp về mặt chức năng logic và cấu trúc mạch.
- 4-2. Giới thiệu phương pháp phân tích mạch tổ hợp.
- 4-3. Nhiệm vụ thiết kế logic mạch tổ hợp là gì ? Thuyết minh các bước thiết kế.
- 4-4. Phân tích nguyên lý công tác mạch bộ mã hóa dưới đây
 - a - Bộ mã hóa hệ đếm nào.
 - b - Khi chuyển mạch W_3 nối, trạng thái đầu ra Y_2, Y_1, Y_0 như thế nào.
 - c - Khi chuyển mạch W_7 nối, trạng thái đầu ra Y_2, Y_1, Y_0 như thế nào.



4-5. Hãy thiết kế mạch điện kiểm tra lẻ có 3 đầu vào, 1 đầu ra. Chức năng logic của mạch như sau : nếu các tín hiệu đầu vào có số lẻ ở mức cao thì đầu ra có mức cao, ngược lại đầu ra có mức thấp.

4-6. Thế nào là mã hóa và bộ mã hóa. Tại sao có thể xem tín hiệu đầu vào bộ mã hóa là các biến không cùng nhau.

4-7. Hãy thiết kế bộ mã hóa vào là số thập phân, đầu ra là mã vòng dư 3. (Bảng 4-2-5)

4-8. Hãy thiết kế mạch kiểm tra chẵn lẻ của mã nhị phân 8 bit. Nếu số bit trong từ mã là chẵn thì đầu ra là 1. Ngược lại, là 0.

4-9. Giải mã và bộ giải mã là gì ? Tại sao những trạng thái đầu vào nào không xuất hiện có thể giúp xử lý tối thiểu hóa.

4-10. Hãy thiết kế bộ giải mã nhị phân 4 bit.

4-11. Hãy thiết kế mạch điện lấy biểu quyết đa số 3 đầu vào, 1 đầu ra. Chức năng của mạch là : tín hiệu đầu ra có mức theo đa số mức tín hiệu đầu vào. Xem bảng chân lí dưới đây :

Đầu vào			Đầu ra
A	B	C	
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

4-12. Hãy thiết kế mạch tổ hợp thỏa mãn bảng chân lí sau :

A	B	C	Z
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

4-13. Hãy thiết kế mạch tổ hợp chuyển từ mã nhị phân 4 bit sang mã Gray.

4-14. Hãy thiết kế mạch tổ hợp chuyển từ mã vòng dư 3 sang mã BCD 8421.

4-15. Hãy thiết kế mạch tổ hợp, đầu vào DCBA là số nhị phân 4 bit, đầu ra là Z. Khi DCBA chia hết cho 3 thì $Z = 1$, nếu khác thì $Z = 0$.

4-16. Trong bộ giải mã kích hiển thị bán dẫn 7 thanh hình 4-3-13, khi đầu vào DCBA xuất hiện 1010 ÷ 1111 thì đầu ra bộ giải mã xuất hiện trạng thái gì. Hiển thị 7 thanh tương ứng sẽ hiển thị số gì ?

4-17. Bộ so sánh là gì. Hãy kê bảng chân lí so sánh $A = a_1a_0$ và $B = b_1b_0$. Đầu ra là G, L, M.

4-18. Bộ cộng nửa, bộ cộng đủ là gì. Hãy vẽ các bộ cộng đó cấu trúc từ cổng NAND.

4-19. Hãy thiết kế bộ trừ, đầu vào là số trừ, số bị trừ và số nhớ chuyển vị từ bit thấp lên. Đầu ra là hiệu số và số nhớ chuyển lên bit cao hơn.

4-20. Hãy thiết kế bộ nhân, đầu vào là 2 số nhị phân 2 bit (a_1a_0, b_1b_0), Đầu ra là tích số (số nhị phân 4 bit).

4-21. Bộ chọn kênh là gì ? Chức năng cơ bản của nó là gì. Dưới đây là bảng chức năng bộ chọn kênh :

Hãy viết hàm logic

W- Hãy vẽ sơ đồ logic thực hiện. (Dùng bộ đảo, và cổng NORAND)

$D_0, D_1, \dots, D_7$ là đầu vào dữ liệu.

Đầu vào chọn			Đầu ra
C	B	A	W
L	L	L	$\overline{D_0}$
L	L	H	$\overline{D_1}$
L	H	L	$\overline{D_2}$
L	H	H	$\overline{D_3}$
H	L	L	$\overline{D_4}$
H	L	H	$\overline{D_5}$
H	H	L	$\overline{D_6}$
H	H	H	$\overline{D_7}$

4-22. Dưới đây là bảng chức năng của chuyển mạch - chọn kênh đầu ra 3 trạng thái :

Ghi chú :
Z là trạng thái
trở kháng cao

Đầu vào chọn		Đầu vào dữ liệu				Điều khiển ra	Đầu ra
B	A	C_0	C_1	C_2	C_3	G	Y
x	x	x	x	x	x	H	Z
L	L	L	x	x	x	L	L
L	L	H	x	x	x	L	H
L	H	x	L	x	x	L	L
L	H	x	H	x	x	L	H
H	L	x	x	L	x	L	L
H	L	x	x	H	x	L	H
H	H	x	x	x	L	L	L
H	H	x	x	x	H	L	H

4-23. ROM là gì. Có những loại ROM nào. Đặc điểm từng loại.

4-24. Hãy viết hàm chuẩn tắc tuyến tối thiểu hóa của đầu ra D_3, D_2, D_1, D_0 của ROM điốt hình 4-7-1. Hãy vẽ sơ đồ logic thực hiện bằng cổng AND và cổng OR.

4-25. Hãy thiết kế bộ chuyển mã dùng ROM ma trận phần tử nhớ 16×4 , Đầu vào là mã nhị phân 4 bit $B_3B_2B_1B_0$, Đầu ra là mã Gray 4 bit $G_3G_2G_1G_0$.

4-26. PLA là gì ? So với ROM thì có gì khác biệt.

4-27. Hãy dùng PLA thiết kế bộ chuyển mã ở bài tập 4-25. Mảng cổng AND có 8 đầu vào, 7 đầu ra, mảng cổng OR có 4 đầu ra.

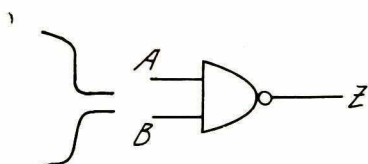
4-28. Nguy hiểm chạy đua là gì ? Làm thế nào phán đoán nguy hiểm chạy đua trong mạch tổ hợp.

4-29. Cho bảng chân lí sau, hãy thiết kế bộ giải mã tương ứng

Hãy xét xem khả năng nguy hiểm chạy đua của mạch (giả sử thứ tự biến đổi tín hiệu đầu vào theo như bảng)

Đầu vào				Đầu ra							
D	C	B	A	0	1	2	3	4	5	6	7
0	0	0	0	1	0	0	0	0	0	0	0
1	0	0	0	0	1	0	0	0	0	0	0
1	1	0	0	0	0	1	0	0	0	0	0
1	1	1	0	0	0	0	1	0	0	0	0
1	1	1	1	0	0	0	0	1	0	0	0
0	1	1	1	0	0	0	0	0	1	0	0
0	0	1	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	0	0	1

4-30. Trong hình vẽ dưới đây, nếu tín hiệu đầu vào chuyển đổi trạng thái theo hướng ngược nhau, thì tín hiệu đầu ra có chắc tạo ra xung nhiễu không. Điều kiện nào thì sinh ra xung nhiễu ? Điều kiện nào thì không ?



Chương 5

MẠCH FLIP - FLOP

5.1. MỘT SỐ CẤU TRÚC MẠCH THƯỜNG GẶP CỦA FLIP - FLOP

Tín hiệu số nhị phân là tín hiệu cơ bản trong mạch số FF là phân tử cơ bản lưu trữ (nhớ) tín hiệu nhị phân. Vì một bit tín hiệu nhị phân có thể nhận một trong hai giá trị 0, 1 nên FF tối thiểu cần có chức năng sau :

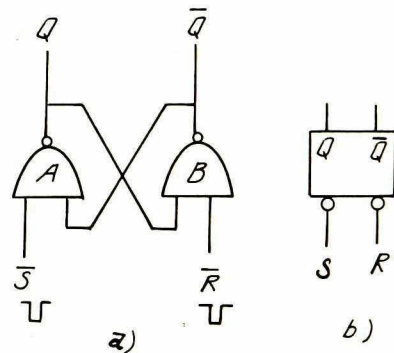
- 1 - Có hai trạng thái ổn định, trạng thái 0 và trạng thái 1.
- 2 - Có thể tiếp thu, lưu trữ và đưa ra tín hiệu vào.

Dương nhiên, thực tiễn còn đề ra các yêu cầu khác. Tiết này trình bày vấn đề : mạch điện như thế nào đảm bảo các chức năng nói trên.

5.1.1. Flip flop RS cơ bản

1) Cấu trúc mạch và kí hiệu

Hình 5-1-1 trình bày sơ đồ logic và kí hiệu logic của Flip Flop RS cơ bản. Mạch điện gồm hai cổng NAND nối ghép chéo. $\bar{R}$, $\bar{S}$ là các tín hiệu đầu vào, dấu gạch ngang trên kí tự biểu thị tín hiệu hoạt động ở mức thấp (một khuyên tròn trong kí hiệu logic biểu thị điều đó). Nói cách khác, đầu vào ở mức thấp biểu thị có tín hiệu, đầu vào ở mức cao biểu thị không có tín hiệu. Q và $\bar{Q}$ biểu thị trạng thái của FF, đồng thời biểu thị đầu ra.



Hình 5-1-1. Flip Flop RS cơ bản :

a) Sơ đồ logic ; b) Kí hiệu logic.

2) Nguyên lí làm việc

a) Hai trạng thái ổn định

Khi không có tín hiệu, tức là $\bar{R} = \bar{S} = 1$, mạch có hai trạng thái ổn định - trạng thái 0 và trạng thái 1. Ở đây, chúng ta gọi $Q = 0$, $\bar{Q} = 1$ là trạng thái 0, gọi $Q = 1$, $\bar{Q} = 0$ là trạng thái 1. Ở trạng thái 0, vì $Q = 0$ hồi tiếp đến đầu vào cổng B làm B ngắt, duy trì $\bar{Q} = 1$. Mà $\bar{Q} = 1$ lại hồi tiếp đến đầu vào cổng A, cùng với $\bar{S} = 1$ làm cho cổng A thông, duy trì $Q = 0$. Do đó, mạch hoàn toàn tự

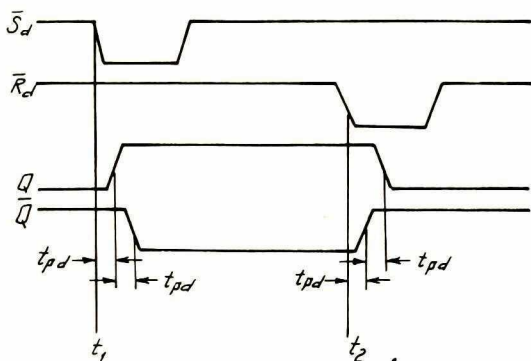
động duy trì trạng thái 0. Tương tự, ở trạng thái 1, $Q = 1$ và $\bar{R} = 1$ làm cho cổng B thông, duy trì $\bar{Q} = 0$. Mà $\bar{Q} = 0$ lại làm cho cổng A ngắt, duy trì $Q = 1$. Vậy trạng thái 1 cũng được tự giữ.

b) Quá trình tiếp thu tín hiệu

Giả sử FF ở trạng thái 0, chúng ta đưa một xung âm vào đầu $\bar{S}$. Mạch điện sẽ chuyển biến nhanh sang trạng thái 1. Vì xung âm ở đầu vào $\bar{S}$, sau thời gian trễ truyền đạt 1 cấp cổng t_{pd} thì cổng A từ thông sang ngắt, đầu ra Q từ 0 sang 1.

Lại sau thời gian trễ truyền đạt 1 cấp cổng t_{pd} nữa, thì cổng B từ ngắt sang thông, đầu ra $\bar{Q}$ từ 1 sang 0. Vậy sau thời gian $2t_{pd}$ FF đã hoàn thành chuyển biến trạng thái từ 0 sang 1. Lúc này, dù cho mất tín hiệu đầu vào, vì $\bar{Q} = 0$ đã hồi tiếp dẫn đến đầu vào cổng A, FF có thể tự động duy trì trạng thái 1, mà không trở lại trạng thái 0. Vì thế, xung âm đầu vào được gọi là xung kích.

Giả sử FF ở trạng thái 1, đưa xung âm vào đầu $\bar{R}$. Quá trình tương tự sẽ xảy ra, sau thời gian $2t_{pd}$, FF chuyển từ trạng thái 1 sang trạng thái 0. (xem dạng sóng hình 5-1-2)



Hình 5-1-1.

Dạng sóng của Flip Flop RS cơ bản.

Vì tín hiệu ở đầu vào $\bar{S}$ có thể và chỉ có thể thiết lập FF ở trạng thái 1, tín hiệu ở đầu vào $\bar{R}$ có thể và chỉ có thể xóa FF về trạng thái 0, nên thường gọi $\bar{S}$ là đầu vào đặt (set) và $\bar{R}$ là đầu vào xóa (Reset).

Nếu xem xét quá trình chuyển biến trạng thái tỉ mỉ hơn, chúng ta sẽ thấy rằng : vì hai mạch NAND nối ghép chéo nên không những FF có thể tự giữ khi không có tín hiệu, mà còn xuất hiện quá trình phản hồi dương trong mạch FF mỗi khi có xung kích tạo điều kiện để FF nhanh chóng hoàn thành chuyển trạng thái. Ví dụ, trong quá trình thiết lập 1, hệ $\bar{S}$ giảm đến mức mở cổng, mức đầu Q sẽ tăng lên, hồi tiếp đến đầu vào cổng B, làm cho cổng B chuyển từ ngắt sang thông, $\bar{Q}$ giảm mức, hồi tiếp đến đầu vào cổng A, lại càng làm cho cổng A ngắt sâu hơn, Q tăng mức hơn nữa, kết quả càng làm cho $\bar{Q}$ giảm mức thêm... Cứ vậy, sóng đồn gió đập như bão táp, như thác lở, làm cho cổng A ngắt rất nhanh, cổng B thông rất nhanh, FF chuyển trạng thái từ 0 sang 1 trong thời gian cực ngắn. Thông qua đầu Reset $\bar{R}$, cũng có quá trình phản hồi dương tương tự. Chính vì thế, dù cho sườn trước xung kích (xung âm) không dốc lắm, thì ở đầu ra của FF ta vẫn nhận được các xung có sườn rất dốc.

c) Không cho phép đồng thời đưa tín hiệu vào cả $\bar{R}$ và $\bar{S}$. Khi dùng loại FF này làm phần tử nhớ, không được phép đồng thời đưa tín hiệu kích vào cả hai đầu vào $\bar{R}$, $\bar{S}$, tức là trạng thái $\bar{R} = \bar{S} = 0$ bị cấm. Do đặc tính mạch cổng NAND, khi $\bar{R} = \bar{S} = 0$ thì Q , $\bar{Q}$ đồng thời bằng 1, phần tử nhớ mà không phải là trạng thái 0, cũng không phải là trạng thái 1 như thế thì đầu còn là phần tử nhớ nữa ! Mặt khác, khi $\bar{R}$, $\bar{S}$ đồng thời từ 0 về 1 (bỏ tín hiệu) thì trạng thái của FF là bất định, có thể là 0, cũng có thể là 1. Vì rằng những nhân tố quyết định trạng thái FF lúc này là không có cách nào biết trước chính xác được, chẳng hạn sự khác nhau rất

nhỏ đặc tính động của hai cổng NAND hay tình huống nhiều ở thời điểm xét. Đương nhiên, nếu hai đầu vào $\bar{R}$, $\bar{S}$ là không đồng thời, trạng thái FF có thể xác định sau khi bỏ tín hiệu.

d) *Bảng chức năng và phương trình đặc trưng*

Ta dùng kí hiệu Q^n biểu thị trạng thái FF trước khi tiếp thu tín hiệu, gọi là trạng thái hiện tại, dùng kí hiệu Q^{n+1} biểu thị trạng thái FF sau khi tiếp thu tín hiệu, gọi là trạng thái tiếp theo. Quan hệ logic giữa Q^{n+1} và Q^n , R, S biểu thị bằng bảng chức năng (bảng chân lí) mô tả sự chuyển đổi trạng thái xảy ra như bảng 5-1-1 dưới đây

Bảng 5-1-1 : BẢNG CHỨC NĂNG CỦA FLIP FLOP RS CƠ BẢN

Q^n	R	S	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	×
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	×

$\overline{RS}$		00	01	11	10
Q^n	0	0	1	×	0
	1	1	1	×	0

Hình 5-1-3.
Bảng Karnaugh của Q^{n+1} .

Trong bảng, hai trạng thái $Q^nRS = 011, 111$ là bị cấm, tương ứng đánh dấu chéo (×) ở cột Q^{n+1} , trong khi tối thiểu hóa có thể sử dụng.

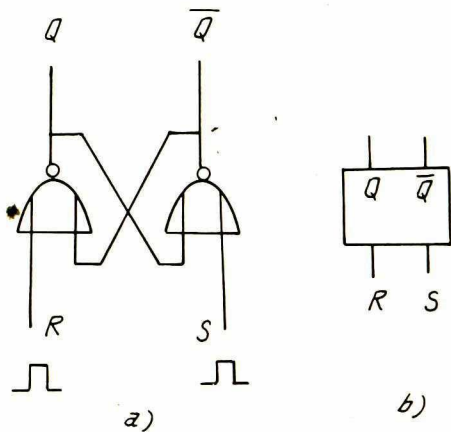
Chúng ta có thể xem Q^n , R, S là các biến logic, Q^{n+1} là hàm logic của các biến trên. Từ bảng 5-1-1 ta vẽ bảng Karnaugh của Q^{n+1} như hình 5-1-3. Căn cứ vào bảng Karnaugh ta được phương trình đặc trưng sau của FF :

$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ RS = 0 \text{ (ràng buộc từ trạng thái cấm)} \end{cases} \quad (5-1-1)$$

Bảng chức năng và phương trình đặc trưng là phương pháp biểu diễn số học quan hệ logic giữa trạng thái hiện tại Q^n , các tín hiệu đầu vào R, S với trạng thái tiếp theo của Flip Flop RS cơ bản. Chúng miêu tả đầy đủ chức năng logic của nó.

3) Flip Flop RS cơ bản dùng cổng NOR

Xem hình 5-1-4, so sánh với hình 5-1-1, ta thấy có 2 điểm khác biệt : vị trí R, S đảo và mức tích cực của tín hiệu cũng đảo (không có dấu gạch ngang). Các đầu vào R, S ở mức cao biểu thị có tín hiệu, ở mức thấp biểu



Hình 5-1-4. Flip Flop RS cơ bản dùng cổng NOR.
a) Sơ đồ logic b) Kí hiệu logic

thị không có tín hiệu. Căn cứ vào tính chất cổng NOR, chúng ta có thể tìm hiểu nguyên lí công tác và viết ra bảng chức năng, phương trình đặc trưng của mạch này.

Khi $R = S = 1$ thì $Q, \bar{Q}$ đồng thời bằng 0, đó là trạng thái cấm.

4) Đặc điểm cơ bản

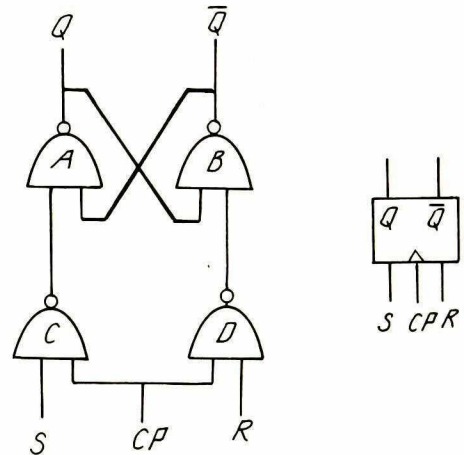
Ưu điểm : mạch đơn giản, có thể nhớ 1 bit, là cơ sở để cấu trúc các FF hoàn hảo hơn.

Nhược điểm : tín hiệu trực tiếp điều khiển trạng thái đầu ra, ứng dụng bị hạn chế, tín hiệu vào ràng buộc lẫn nhau (không ở trạng thái cấm).

5.1.2. Flip flop RS đồng bộ

1) Cấu trúc mạch và kí hiệu

Để khắc phục nhược điểm của loại Flip Flop RS cơ bản là trực tiếp điều khiển, người ta thêm vào hai cổng điều khiển và một tín hiệu điều khiển, nên tín hiệu đầu vào được truyền qua cổng điều khiển, xem hình 5-1-5. Các cổng A, B làm thành Flip Flop RS cơ bản, các cổng C, D là cổng điều khiển, CP là tín hiệu điều khiển, thường là xung đồng hồ hoặc xung mở chọn mạch. Trong kí hiệu logic, dấu CP có dấu $\wedge$, tín hiệu này tích cực với sườn dương của xung.



Hình 5-1-5. Flip Flop RS đồng bộ :

a) Sơ đồ logic ; b) Kí hiệu logic.

2) Nguyên lí làm việc

Khi $CP = 0$, các cổng C, D bị ngắt, FF bị cấm, duy trì trạng thái cũ. Khi $CP = 1$, các cổng C, D thông thì FF sẵn sàng (tiếp thu tín hiệu), nó tiếp thu tín hiệu đầu vào R, S. Dễ dàng thấy rằng tình huống công tác của mạch lúc này giống như Flip Flop RS cơ bản. Nếu $R = 0$; $S = 1$, đầu ra cổng C ở mức thấp, FF lập ở trạng thái 1. Ngược lại, nếu $R = 1$; $S = 0$, đầu ra cổng D ở mức thấp, FF bị xóa về trạng thái 0. Nếu $R = S = 0$ thì các cổng C, D đều đưa ra mức cao, FF sẽ duy trì trạng thái cũ. Nếu $R = S = 1$ thì các cổng C, D đều đưa ra mức thấp, dẫn đến Q và $\bar{Q}$ đều là mức cao, đó là trạng thái cấm. Có thể thấy rằng bảng chức năng và phương trình đặc trưng biểu thị quan hệ logic giữa Q^{n+1} với Q^n, R, S không khác gì của Flip Flop RS cơ bản, chẳng qua chúng chỉ đúng trong điều kiện $CP = 1$. Tức là các quan hệ logic ở trong bảng 5-1-1 đối với Flip Flop RS đồng bộ chỉ đúng khi nào xuất hiện xung đồng hồ ($CP = 1$)

3) Mạch chốt D

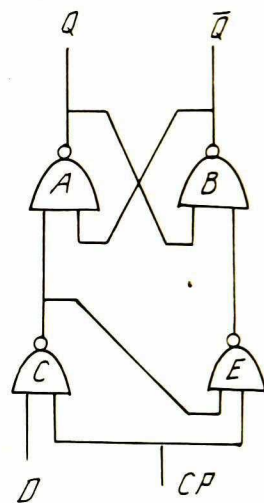
Hình 5-1-6 là sơ đồ logic mạch chốt D, nó được cấu tạo trên cơ sở mạch Flip Flop RS đồng bộ nhằm giải quyết vấn đề ràng buộc lẫn nhau của các tín hiệu đầu

vào R, S. Đầu ra cổng C nối đến các đầu vào cổng A, E. Khi CP = 0, cổng C, E ngắt nên Flip Flop duy trì trạng thái cũ. Khi CP = 1, nếu D = 0 thì đầu ra C ở mức cao, đầu ra E ở mức thấp, Flip Flop ở trạng thái 0 ; nếu D = 1 thì đầu ra C ở mức thấp, đầu ra E ở mức cao, Flip Flop ở trạng thái 1. Vậy tức là D ở mức nào thì Q ở đúng mức ấy. Phương trình đặc trưng của mạch chốt Flip Flop D là :

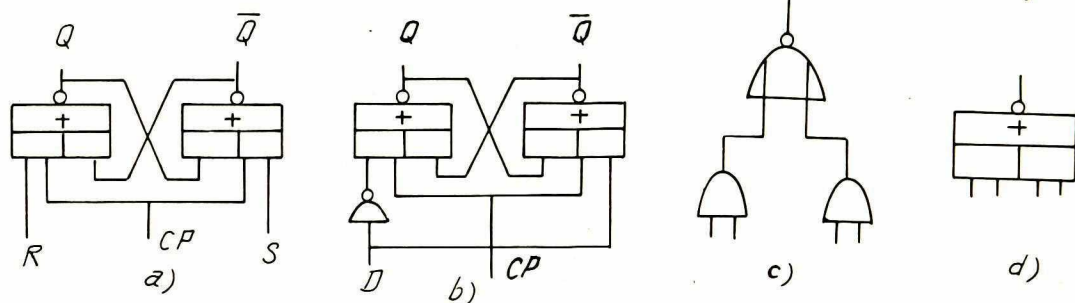
$$Q^{n+1} = D \text{ với điều kiện } CP = 1 \quad (5-1-2)$$

4) Dùng cổng NORAND để cấu trúc Flip Flop RS đồng bộ và mạch chốt D. (Cổng NORAND xem mục 3-3-4-3)

Với điều kiện tiên quyết CP = 1, mạch trên hình 5-1-7a có bảng chức năng trùng hợp với bảng 5-1-1 và phương trình đặc trưng trùng hợp với phương trình 5-1-1, mạch trên hình 5-1-7b có phương trình đặc trưng trùng hợp với phương trình 5-1-2.



Hình 5-1-6. Mạch Chốt D.



Hình 5-1-7. Flip Flop cấu trúc từ NORAND :

a) Flip Flop RS đồng bộ ; b) Mạch chốt D ; c) Cổng NORAND ; d) Kí hiệu rút gọn của NORAND.

5) Đặc điểm cơ bản của Flip Flop RS đồng bộ

Ưu điểm : điều khiển chọn mở mạch. Khi có xung đồng hồ CP = 1 thì Flip Flop tiếp thu tín hiệu vào, còn nếu CP = 0 Flip Flop bị cấm.

Nhược điểm : trong thời gian CP = 1, tín hiệu vào vẫn trực tiếp điều khiển trạng thái đầu ra của FF, có mỗi ràng buộc R và S để tránh trạng thái cấm, tuy nhiên cấu trúc nối mạch của mạch chốt D giải quyết điều này.

5.1.3. Flip Flop RS master slave

Mạch này giải quyết triệt để vấn đề trực tiếp điều khiển, đó là nhược điểm của các loại FF trên.

1) Cấu trúc mạch và kí hiệu

Trên hình 5-1-8 có hai Flip Flop RS đồng bộ nối ghép dây chuyển với nhau, một là FF master, một là FF slave, xung đồng hồ cung cấp cho chúng là đảo nhau (qua mạch đảo I).

2) Nguyên lí làm việc

a) Khi $CP = 0$

Cổng G, H ngắt nên FF master ngắt. $\overline{CP} = 1$, cổng C, D thông nên FF slave sẵn sàng, nó tiếp thu tín hiệu đầu ra master, do đó $Q = Q_m$, $\overline{Q} = \overline{Q}_m$.

b) Sau đột biến sườn dương CP

$CP = 1$ master thông qua các cổng G, H tiếp nhận tín hiệu đầu vào. Vậy :

$$\begin{cases} Q_m^{n+1} = S + \overline{R}Q_m^n \\ RS = 0 \end{cases} \text{ với điều kiện } CP = 1$$

$\overline{CP} = 0$ slave bị ngắt, đầu ra, Q , $\overline{Q}$ duy trì trạng thái cũ.

c) Khi sườn âm xung đồng hồ CP

CP đột biến xuống 0, master bị ngắt. CP đột biến lên 1, slave tiếp nhận tín hiệu đã được master ghi nhớ từ thời gian $CP = 1$, nghĩa là slave chuyển đổi trạng thái. Vậy :

$$\begin{cases} Q^{n+1} = S + \overline{R}Q^n \\ RS = 0 \end{cases} \quad (5-1-3)$$

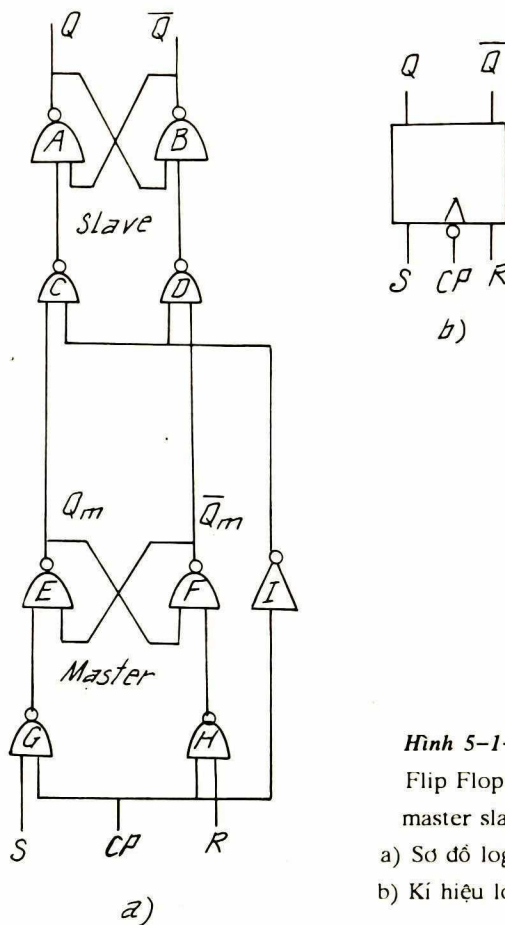
với điều kiện đã xuất hiện sườn âm xung đồng hồ CP.

Flip Flop RS master slave tuy rằng để master tiếp nhận tín hiệu đầu vào trong khoảng thời gian $CP = 1$, nhưng đầu ra lúc đó vẫn không chuyển đổi trạng thái, chỉ khi đã xuất hiện sườn âm xung đồng hồ CP thì đầu ra mới chuyển trạng thái. Người ta gọi sự kiện này là kích bằng sườn âm. FF có trạng thái đầu ra không chịu ảnh hưởng trực tiếp của các tín hiệu đầu vào R, S bất kì lúc nào. Vậy vấn đề trực tiếp điều khiển đã được giải quyết. Trên hình 5-1-8b đầu vào CP có dấu ô biểu thị rằng tính tích cực của tín hiệu CP là sườn âm của nó.

3) Đặc điểm cơ bản

Ưu điểm : cấu trúc điều khiển master slave đã giải quyết vấn đề trực tiếp điều khiển, trong khi $CP = 1$ tiếp thu tín hiệu, sườn âm của CP kích chuyển trạng thái đầu ra.

Nhược điểm : vẫn còn ràng buộc giữa R và S khi $CP = 1$



Hình 5-1-8.

Flip Flop RS
master slave :

- a) Sơ đồ logic ;
- b) Kí hiệu logic.

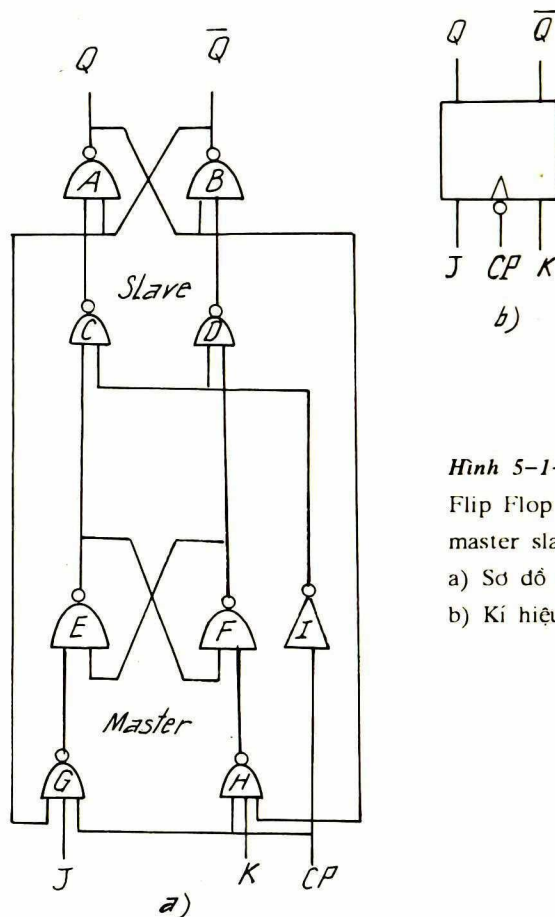
5.1.4. Flip Flop JK master slave

1) Cấu trúc mạch và kí hiệu

Loại Flip Flop RS master slave nói ở trên vẫn còn ràng buộc R và S, nguyên nhân chính là khi $R = S = 1$ dẫn ra các cổng G, H đều ở mức thấp, dẫn đến tình huống không mong muốn là $Q_m = 1$ và $\bar{Q}_m = 1$. Cần chú ý một điều sau :

Xét mạch Flip Flop RS master slave khi $CP = 1$, Q và $\bar{Q}$ không đổi trạng thái và là đảo của nhau. Chỉ cần đem mức các đầu ra Q và $\bar{Q}$ đưa đến đầu vào của G, H thì có thể khắc phục tình trạng cả Q_m và $\bar{Q}_m$ đều bằng 1, giải quyết vấn đề ràng buộc giữa tín hiệu đầu vào.

Để phân biệt với Flip Flop RS master slave, mạch cải tiến không dùng tên R, S nữa, mà lấy tên mới là J, K cho các đầu vào, và tên của mạch cải tiến là Flip Flop JK master slave, gọi tắt là Flip Flop JK (hình 5-1-9).



Hình 5-1-9.
Flip Flop JK master slave :
a) Sơ đồ logic ;
b) Kí hiệu logic.

2) Nguyên lí làm việc

Theo sự trình bày trên đây về sự cải tiến của Flip Flop JK, ta thấy nguyên lí công tác của nó giống như của Flip Flop RS master slave, chỉ khác bởi sự tương đương sau của các tín hiệu đầu vào :

$$S = J\bar{Q}^n \quad (5-1-4)$$

$$R = KQ^n \quad (5-1-5)$$

Áp dụng công thức (5-1-3), ta có :

$$Q^{n+1} = S + \bar{R}Q^n = J\bar{Q}^n + \overline{KQ^n}Q^n = J\bar{Q}^n + \bar{K}Q^n \quad (5-1-6)$$

Với điều kiện đã xuất hiện sườn âm CP

Công thức (5-1-6) là phương trình đặc trưng của Flip Flop JK nó phản ánh quan hệ logic giữa Q^{n+1} với Q^n , J, K. Nhờ $\bar{Q}^n$ và Q^n phản hồi về cổng điều khiển G, H mà J và K không còn ràng buộc lẫn nhau.

3) Tác dụng các đầu vào dị bộ $\overline{R}_d, \overline{S}_d$

(dị bộ : Asynchronous)

a) Các đầu vào đồng bộ.

Bất kì lúc nào thì các đầu vào J, K chỉ tác động khi có sự điều khiển đồng bộ của xung đồng hồ CP ; vì vậy J, K là đầu vào đồng bộ. (Các đầu vào R, S của Flip Flop RS master slave đồng bộ cũng là các đầu vào đồng bộ).

b) Các đầu vào dị bộ

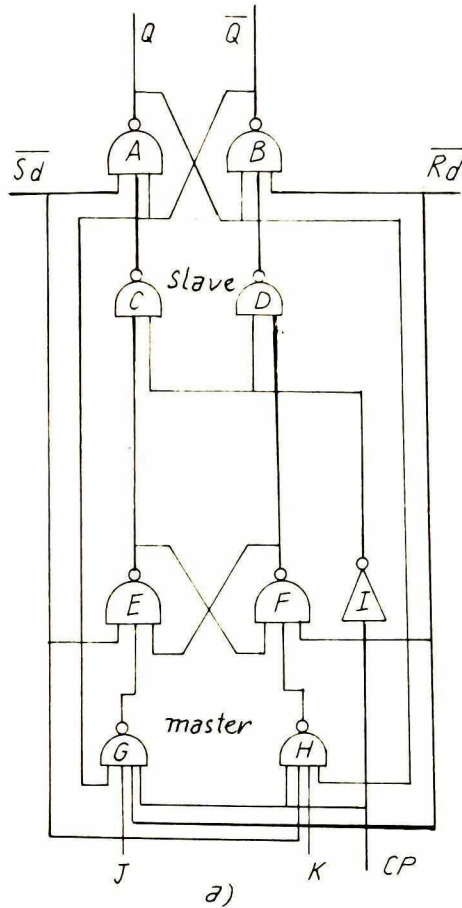
Để phần trình bày trên đơn giản, chưa vẽ các đầu vào dị bộ $\overline{R}_d, \overline{S}_d$ trên hình 5-1-9a. Có thể biết vị trí các đầu vào dị bộ này trên hình 5-1-10. Tác dụng của các đầu vào $\overline{R}_d, \overline{S}_d$ không chịu điều khiển đồng bộ của xung đồng hồ CP, vì vậy $\overline{R}_d, \overline{S}_d$ là các đầu vào dị bộ.

Như trên hình 5-1-10a chỉ rõ, $\overline{R}_d$ nối đến đầu vào B, F, G. Do đó, xung âm đầu vào $\overline{R}_d$ không những xóa cả master và slave mà còn ngắt cổng G, trong thời gian CP = 1 không cho phép J = 1 thiết lập master ở trạng thái 1, điều đó bảo đảm trạng thái 0. Tương tự $\overline{S}_d$ nối đến đầu vào A, E, H. Xung âm đầu vào $\overline{S}_d$ bảo đảm trạng thái 1. Trên kí hiệu logic (hình 5-1-10b), khuyên tròn ở đầu vào $\overline{S}_d, \overline{R}_d$ biểu thị tính tích cực của chúng là mức thấp.

4) Vấn đề một lần chuyển

Trong thời gian CP = 1 thì master chỉ chuyển đổi trạng thái một lần, hiện tượng này gọi là một lần chuyển. Như ta đã biết, các trạng thái đảo nhau của Q và $\overline{Q}$ phản hồi về H, G tương ứng làm cho một trong hai cổng (H hoặc G) bị ngắt, nếu một đầu vào có tín hiệu thì có thể vì chỉ chuyển đổi trạng thái một lần. Ví dụ : khi $\overline{Q} = 0, Q = 1$, cổng G bị khóa, J không tác dụng, tín hiệu chỉ có thể từ đầu vào K, qua cổng H, xóa master về 0. Và một khi đã ở trạng thái 0 rồi, dù tín hiệu K biến đổi thế nào, master vẫn duy trì trạng thái 0. Ngược lại, khi $\overline{Q} = 1, Q = 0$ thì H bị khóa, chỉ có tín hiệu J mới tác dụng, thông qua cổng G, đặt master lên 1, một khi đã ở trạng thái 1 rồi, master sẽ duy trì.

Vấn đề một lần chuyển không những hạn chế tác dụng của Flip Flop JK master slave mà còn làm giảm năng lực chống nhiễu của nó. Chẳng hạn, khi CP = 1 mà J, K đổi trạng thái nhiều lần thì cũng chỉ có một lần chuyển mà thôi. Mặt khác,



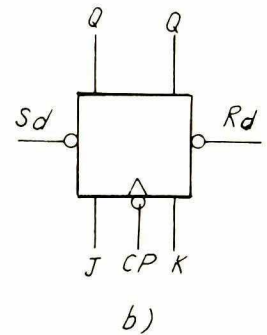
Hình 5-1-10.

Flip Flop JK

master slave :

a) Sơ đồ logic ;

b) Kí hiệu logic.



thời điểm một lần chuyển trạng thái đó có thể rơi vào sườn dương, giữa xung, hay sườn âm của xung đồng hồ CP. Nếu như không biết chính xác quy luật tín hiệu J, K thì không có thể xác định trạng thái tiếp theo của Flip Flop. Vậy khi sử dụng Flip Flop JK master slave, thường đều yêu cầu trạng thái J, K duy trì không đổi trong thời gian $CP = 1$. Đã thế thì quá trình làm việc của Flip Flop nói gọn lại là : sườn dương tiếp thu, sườn âm chuyển. Nếu nhiều xếp chồng với J, K sao cho gây ra một lần chuyển sai trong khi $CP = 1$ thì tín hiệu nhiễu đó tiếp tục tác động đến hệ thống. Vậy vấn đề một lần chuyển là nguyên nhân làm giảm năng lực chống nhiễu của mạch này.

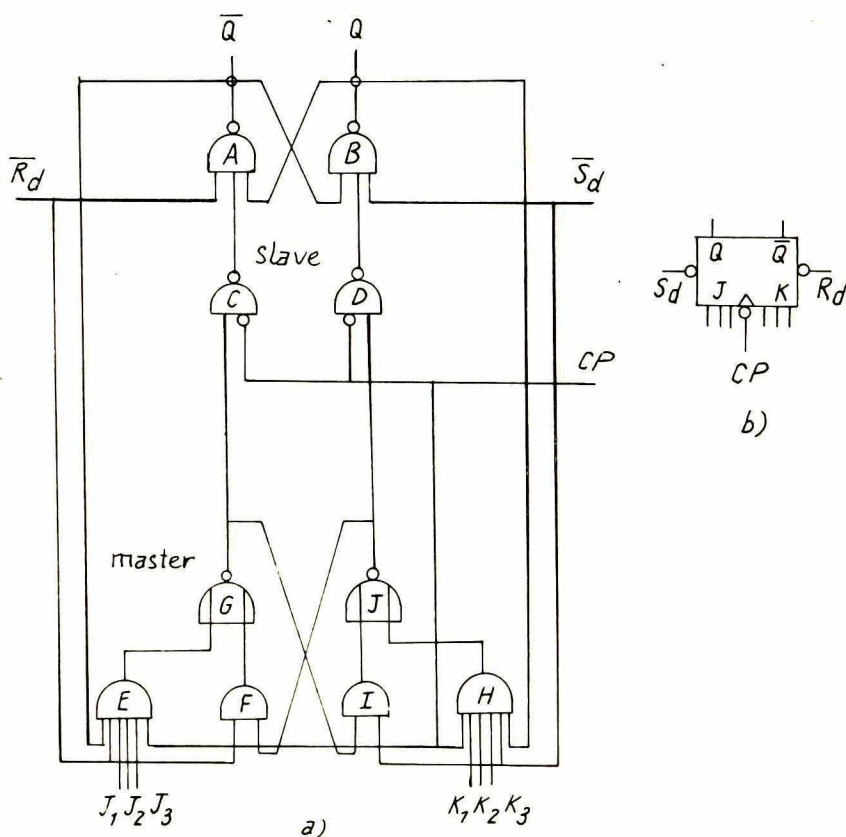
5) Flip Flop JK master slave trong một vỏ IC

Hình 5-1-11a trình bày sơ đồ logic tương đương của Flip Flop JK master slave trong một vỏ IC. Master bao gồm hai NORAND, slave khá đơn giản, CP mức cao cấm, mức thấp cho phép. Nguyên lí công tác không khác mạch hình 5-1-10 nói trên.

6) Đặc điểm cơ bản của Flip Flop JK master slave

Ưu điểm : J và K không bị ràng buộc lẫn nhau, các IC của chúng được sản xuất nhiều, sử dụng rộng rãi, tính năng ưu việt.

Nhược điểm : vấn đề một lần chuyển, thường yêu cầu J, K duy trì không đổi trong thời gian $CP = 1$.



Hình 5-1-11.

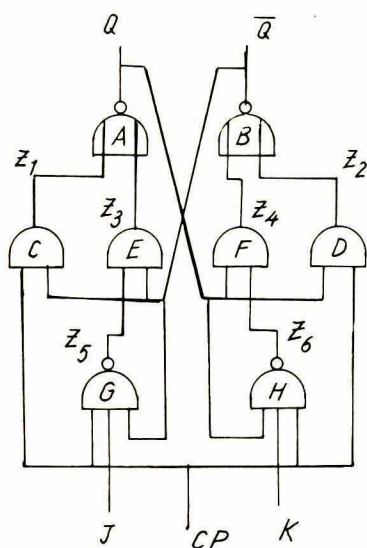
Flip Flop JK master slave trong vỏ IC :

a) Sơ đồ logic tương đương ;

b) Kí hiệu logic.

5.1.5. Flip Flop JK kích bằng sườn xung (Edge triggered FF)

1) Cấu trúc mạch



Hình 5-1-12.

Flip Flop JK kích bằng sườn xung.

Mạch trên hình 5-1-12 là Flip Flop JK kích bằng sườn xung, nó giải quyết vấn đề một lần chuyển của Flip Flop JK master slave. Khi CP = 0, CP = 1, hay khi sườn dương của CP các tín hiệu J, K đều không tác dụng. Chỉ trong thời gian sườn âm của CP thì Flip Flop mới chuyển trạng thái theo phương trình đặc trưng dưới đây :

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

2) Nguyên lí làm việc

a) Khi CP = 0 các cổng G, H bị khóa, J, K không tác dụng, Flip Flop duy trì trạng thái cũ.

b) Khi CP = 1, các cổng C, D, G, H thông, nhưng :

$$Z_1 = \bar{Q}^n \quad Z_2 = Q^n$$

$$Z_3 = Z_5\bar{Q}^n = \bar{J}\bar{Q}^n \quad \bar{Q}^n = \bar{J} \cdot \bar{Q}^n$$

$$Z_4 = Z_6Q^n = \bar{K}Q^nQ^n = \bar{K}Q^n$$

$$Q^{n+1} = \overline{Z_1 + Z_3} = \overline{\bar{Q}^n + \bar{J}\bar{Q}^n} = Q^n$$

$$\bar{Q}^{n+1} = \overline{Z_2 + Z_4} = \overline{Q^n + \bar{K}Q^n} = \bar{Q}^n$$

Vậy FF duy trì nguyên trạng, JK đều không tác dụng.

c) Khoảng thời gian sườn dương của CP, do tác dụng trễ của các cổng NAND G và H mà cổng C, D thông trước :

$$Z_1 = \bar{Q}^n \quad Z_2 = Q^n$$

Tiếp sau mới có : $Z_3 = \bar{J}\bar{Q}^n$; $Z_4 = \bar{K}Q^n$

Vì vậy,

$$Q^{n+1} = \overline{Z_1 + Z_3} = \overline{\bar{Q}^n + \bar{J}\bar{Q}^n} = Q^n$$

$$\bar{Q}^{n+1} = \overline{Z_2 + Z_4} = \overline{Q^n + \bar{K}Q^n} = \bar{Q}^n$$

J và K cũng không tác dụng.

d) tình huống mạch trong khoảng sườn âm của CD khác hẳn. Do tác dụng trễ của các cổng NAND G và H mà C, D ngắt trước :

$$Z_1 = Z_2 = 0$$

mà đầu ra các cổng NAND duy trì $Z_5 = \overline{JQ^n}$, $Z_6 = \overline{KQ^n}$ trong khoảng thời gian t_{pd} nữa. Dễ dàng thấy rằng trong t_{pd} đó, các cổng NOR A và B, các cổng AND E và F cấu trúc như một Flip Flop RS cơ bản, với

$$\bar{S} = Z_5 = \overline{JQ^n} \quad \bar{R} = Z_6 = \overline{KQ^n}$$

Căn cứ vào phương trình đặc trưng của Flip Flop RS cơ bản, ta có :

$$Q^{n+1} = S + \bar{R}Q^n = \overline{JQ^n} + \overline{KQ^n}Q^n = \overline{JQ^n} + \overline{KQ^n}$$

Do Q^n , $\bar{Q}^n$ phân biệt hồi tiếp về đầu vào H và G nên J và K không bị ràng buộc lẫn nhau.

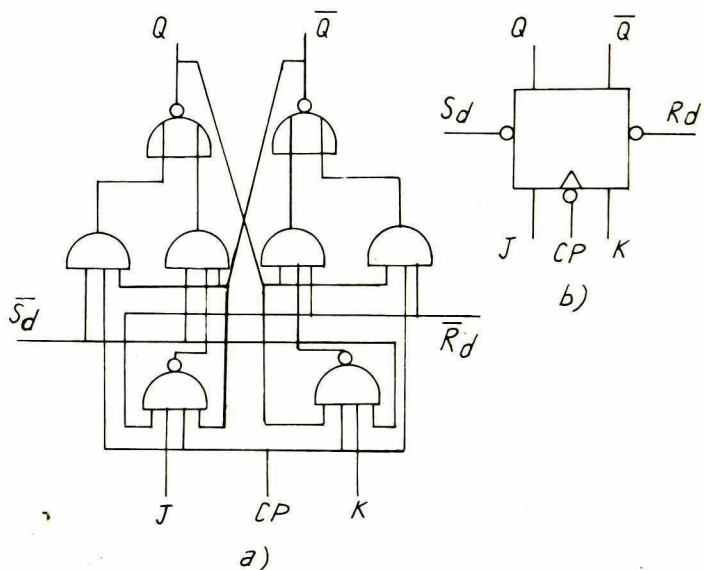
Vậy loại mạch điện này không những có tính năng tốt như là Flip Flop JK master slave và có đặc điểm kích bằng sườn âm xung đồng hồ CP mà còn không có vấn đề một lần chuyển.

3) Đặc điểm cơ bản

Ưu điểm : kích bằng sườn âm xung đồng hồ CP ; đây là loại FF tính năng ưu việt, chống nhiễu tốt và sử dụng linh hoạt.

Nhược điểm : mạch điện dùng tác dụng trễ của các cổng NAND giải quyết vấn đề một lần chuyển, do đó, yêu cầu công nghệ chế tạo phải tinh xảo để bảo đảm mạch điện công tác tin cậy.

Hình 5-1-13 giới thiệu thêm các đầu vào dự bộ $\bar{R}_d$, $\bar{S}_d$. Các đầu vào này tạo thuận lợi trong sử dụng. Xung âm đầu vào $\bar{S}_d$ thiết lập, xung âm đầu vào $\bar{R}_d$ xóa. Trong sơ đồ và kí hiệu logic của nó, dấu ngang và khuyên tròn biểu thị rằng tín hiệu tích cực ở mức thấp.



Hình 5-1-13. Flip Flop JK kích bằng sườn xung :

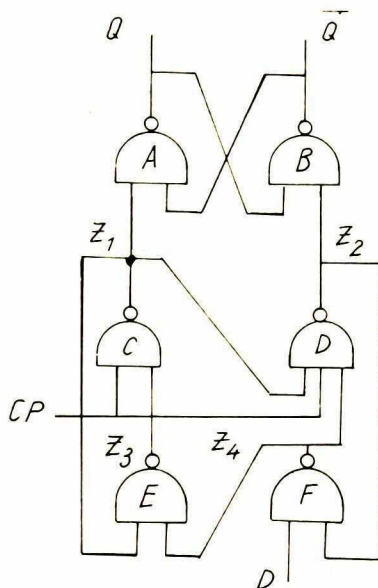
a) Sơ đồ logic ;

b) Kí hiệu logic

5.1.6. Flip Flop D (mạch chốt D cải tiến để giải quyết vấn đề điều khiển trực tiếp)

1) Cấu trúc mạch điện

Xem hình 5-1-14, thêm vào mạch chốt D hai cổng E và F.



Hình 5-1-14. Flip Flop D.

2) Nguyên lí làm việc

a) Khi $CP = 0$

Các cổng C, D bị khóa, $Z_1 = Z_2 = 1$, Flip Flop cơ bản bao gồm các cổng A và B duy trì trạng thái cũ.

- Nếu $D = 1$ thì $Z_4 = \overline{D \cdot Z_2} = \overline{1 \cdot 1} = 0$

$Z_3 = \overline{Z_1 \cdot Z_4} = \overline{1 \cdot 0} = 1$

CP trong vai trò tín hiệu đầu vào đối với cổng C thông, cổng D ngắt.

- Nếu $D = 0$ thì $Z_4 = 1$ $Z_3 = 0$

CP trong vai trò tín hiệu đầu vào đối với cổng C ngắt, cổng D thông.

b) Thời gian sườn dương của CP

- Nếu $D = 1$ thì D bị ngắt, CP chỉ có thể thông qua cổng C mở, vậy $Z_1 = \overline{Z_3 \cdot CP} = \overline{1 \cdot 1} = 0$

$\overline{Z_1} = 0$ dẫn đến ba tác động sau : một là kích Flip Flop thiết lập 1, $Q = 1$, $\overline{Q} = 0$; hai là ngắt cổng D, ngăn trở Z_2 chuyển sang mức thấp, nghĩa là ngăn trở sự tạo ra tín hiệu kích chuyển Flip Flop về trạng thái 0 ; ba là Z_1 đưa đến đầu vào cổng E bảo đảm $Z_3 = 1$, do đó duy trì $Z_1 = 0$ suốt thời gian $CP = 1$, tức là duy trì tín hiệu đặt Flip Flop ở trạng thái 1.

Đường nối từ đầu ra cổng C đến đầu vào cổng E gọi là đường duy trì trạng thái 1 của FF. Đường nối từ đầu ra cổng C đến đầu vào cổng D gọi là đường ngăn trở trạng thái 0 của FF. Một khi $Z_1 = 0$ đưa đến đầu vào các cổng D, E và sinh ra các tác động nói trên rồi thì dù tín hiệu D có thay đổi cũng không thể ảnh hưởng đến trạng thái 1 của FF.

- Nếu $D = 0$ thì cổng C bị ngắt, CP chỉ có thể thông qua cổng D mở, vậy $Z_2 = \overline{Z_1 \cdot Z_4 \cdot CP} = \overline{1 \cdot 1 \cdot 1} = 0$

$Z_2 = 0$ dẫn đến hai tác động sau : một là xóa FF về 0, $Q = 0$, $\overline{Q} = 1$; hai là làm cho cổng F bị ngắt, bảo đảm $Z_4 = 1$, do đó duy trì $Z_2 = 0$, tức là duy trì trạng thái 0 của FF. $Z_4 = 1$ còn duy trì Z_3 ở mức thấp, ngăn trở sự tạo ra tín hiệu $Z_1 = 0$ kích chuyển FF về trạng thái 1.

Có thể thấy rằng đường nối từ đầu ra cổng D đến đầu vào cổng F vừa duy trì FF ở trạng thái 0, vừa ngăn trở FF chuyển về trạng thái 1. Chỉ cần $Z_2 = 0$ đã đến đầu vào cổng F thì dù biến hóa thế nào, tín hiệu D cũng không làm thay đổi trạng thái của FF được nữa.

Tóm lại :

$$Q^{n+1} = D \text{ với điều kiện đã xuất hiện sườn dương của CP} \quad (5-1-7)$$

Hơn nữa, khi đã có tác dụng duy trì nguyên trạng và ngăn trở chuyển đổi sang trạng thái khác trong suốt quá trình $CP = 1$ thì tín hiệu D không còn tác động đến mạch nữa. Vì vậy, đây là mạch điều khiển sườn trước và kích bằng sườn dương CP.

3) Tác dụng của các đầu vào đi bộ

$\bar{R}$, $\bar{R}_d$, $\bar{S}$, $\bar{S}_d$

Để sử dụng thêm thuận tiện, Flip Flop D còn có thêm các tín hiệu tích cực mức thấp ở các đầu vào Set ($\bar{S}$, $\bar{S}_d$) và Reset ($\bar{R}$, $\bar{R}_d$)

Hình 5-1-15 biểu thị sơ đồ logic tương đương và kí hiệu logic của Flip Flop D trong vỏ IC.

$\bar{R}$, $\bar{S}$ chỉ dùng trong thời gian $CP = 0$, nếu không có thể phản tác dụng duy trì ngăn trở nói trên. Chẳng hạn khi $CP = 1$ và FF đang duy trì trạng thái 1. Nếu có xung âm đầu vào $\bar{R}$ thì có thể xuất hiện trạng thái cấm: Q và $\bar{Q}$ đồng thời mức cao. Hơn nữa, xung âm $\bar{R}$ kết thúc trước CP , do tác dụng duy trì trạng thái 1, FF vẫn ở trạng thái 1, còn nếu CP kết thúc trước $\bar{R}$ thì FF có thể xóa về 0. Sử dụng $\bar{S}$ để đặt FF vào trạng thái 1 cũng gặp vấn đề tương tự, chỉ khác là nó phản tác dụng với việc duy trì trạng thái 0.

$\bar{R}_d$, $\bar{S}_d$ không bị trạng thái CP hạn chế. Ví dụ, xung âm ở đầu $\bar{R}_d$ làm FF về 0, nếu $CP = 1$ và FF đang duy trì trạng thái 1 thì $\bar{R}_d = 0$ không chỉ xóa FF về 0 mà còn thông qua đường nối đến cổng C, F bắt buộc mạch đang duy trì 1 ngăn trở 0 phải trở thành duy trì 0 ngăn trở 1. Cũng với lí do tương tự, xung âm đầu $\bar{S}_d$ cũng có thể làm cho FF chuyển sang trạng thái 1 một cách tin cậy.

4) Đặc điểm cơ bản

Ưu điểm : điều khiển sườn xung, kích với sườn dương CP , trong thời gian $CP = 1$ mạch tự giữ nguyên trạng.

Nhược điểm : trong một số trường hợp, sử dụng không tiện bằng Flip Flop JK.

5.1.7. Flip Flop CMOS

Các loại Flip Flop CMOS trong vỏ IS có đặc điểm tiêu hao năng lượng rất ít, năng lực chống nhiễu rất mạnh, phù hợp với nhiều điện thế nguồn khác nhau. Nhờ sử dụng các cổng chuyển mạch (xem mục 2-3-3) nên kết cấu mạch điện đơn giản.

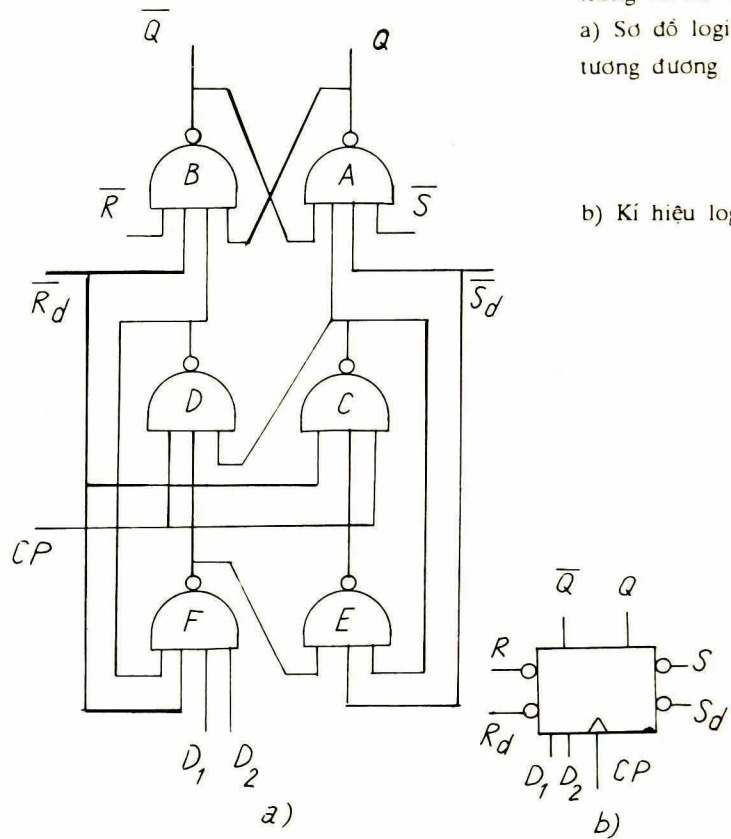
Hình 5-1-15.

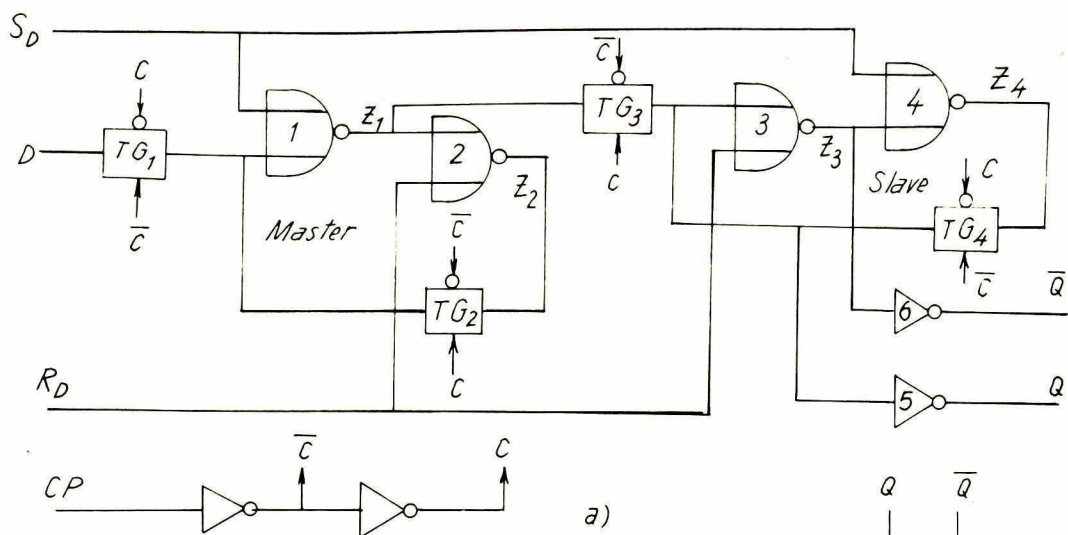
Flip Flop D

trong vỏ IC :

a) Sơ đồ logic tương đương ;

b) Kí hiệu logic.

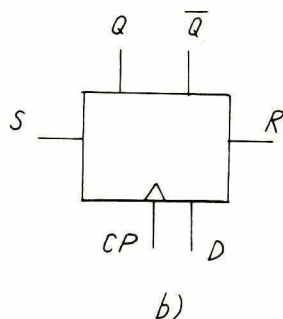




Hình 5-1-16.

Flip Flop D Master slave CMOS :

a) Sơ đồ logic ; b) Kí hiệu logic.



1) Flip Flop D họ CMOS

a) Cấu trúc mạch và kí hiệu

Xem hình 5-1-16. FF master bao gồm các cổng NOR 1, 2 và cổng chuyển mạch TG_2 . FF slave bao gồm các cổng NOR 3, 4 và cổng chuyển mạch TG_4 . TG_1 là cổng điều khiển ở đầu vào. TG_3 là cổng điều khiển giữa master và slave. C và $\bar{C}$ là các tín hiệu đồng hồ đảo nhau. R_D , S_D là các đầu vào dị bộ Reset và Set tích cực ở mức cao. D là tín hiệu vào. Q và $\bar{Q}$ là các đầu ra.

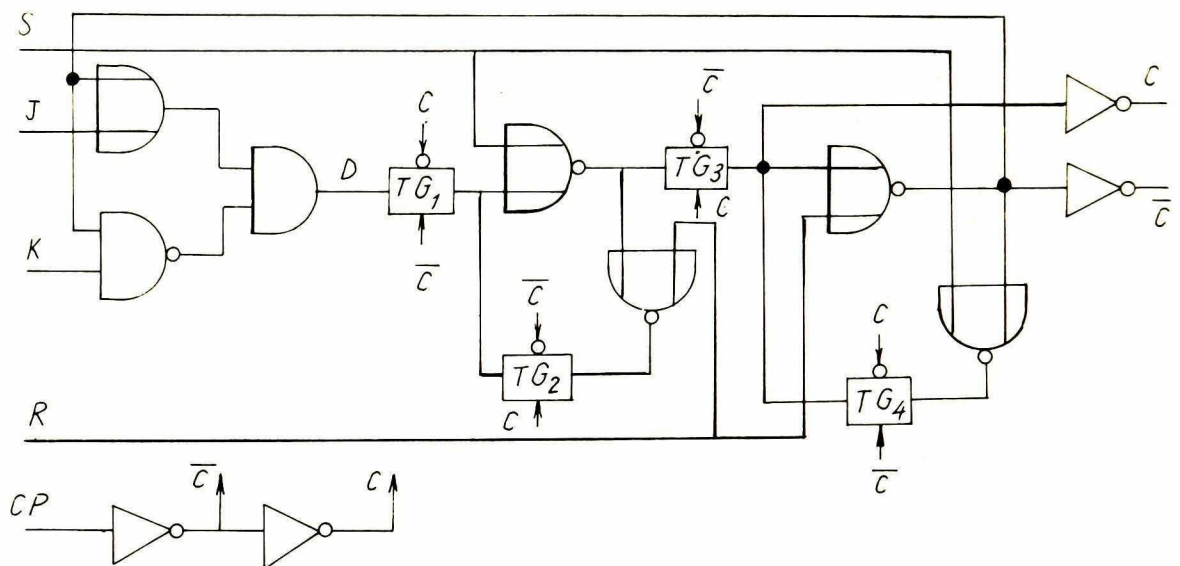
b) Nguyên lý công tác

- Khi $CP = 0$, $\bar{C} = 1$, $C = 0$, TG_1 và TG_4 thông, TG_2 và TG_3 ngắt. Tín hiệu vào D thông qua TG_1 đến NOR 1, $Z_1 = \bar{D}$, $Z_2 = D$. Nhờ TG_4 thông, slave tự giữ.

- Khi $CP = 1$, $\bar{C} = 0$, $C = 1$, TG_1 và TG_4 ngắt, TG_2 và TG_3 thông. Đường tín hiệu vào bị ngắt. Master tự giữ nhờ đường hồi tiếp qua TG_2 . Slave chuyển đổi trạng thái theo mức tín hiệu Z_1 , tức là đưa tín hiệu đầu vào D đã nhớ ra đầu ra, vậy FF D này được kích bằng sườn dương CP. Phương trình đặc trưng là :

$$Q^{n+1} = D \text{ với điều kiện đã xuất hiện sườn dương CP (5-1-8)}$$

2) FF JK CMOS



Hình 5-1-17. FF JK Master slave CMOS.

Hình 5-1-17 là sơ đồ cải tiến của mạch FFD hình 5-1-16.

Căn cứ sơ đồ logic, ta có :

$$D = (J + Q^n) \overline{KQ^n} = JKQ^n + \overline{KQ^n}Q^n$$

$$D = J\overline{K} + JQ^n + \overline{KQ^n} = JQ^n + \overline{KQ^n}$$

Thay vào (5-1-8), ta được :

$$Q^{n+1} = JQ^n + \overline{KQ^n} \text{ với điều kiện đã xuất hiện sườn dương CP (5-1-9)}$$

Đây là phương trình đặc trưng của FF JK master slave CMOS.

Tác dụng tín hiệu đầu vào bộ R_D , S_D của hai mạch hình 5-1-16 và 5-1-17 là giống nhau.

5.2. PHÂN LOẠI FLIP FLOP THEO CHỨC NĂNG. SỰ CHUYỂN ĐỔI LẦN NHAU

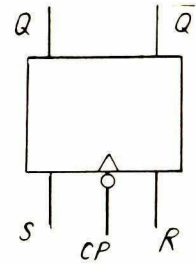
Các loại FF trình bày trong mục 5-1 trên đây : RS master slave, JK master slave, JK sườn xung, D đều có tín hiệu đồng hồ điều khiển ; vậy chúng được gọi là FF định thời theo xung đồng hồ CP. Căn cứ vào sự khác biệt tính năng logic dưới tác dụng điều khiển của CP, ta phân FF thành 5 loại : RS, D, T, T', JK. Các loại đó có thể chuyển đổi lẫn nhau theo phương pháp xác định.

5.2.1. Phân loại Flip Flop theo chức năng

1) Flip Flop RS

a) Định nghĩa

Flip Flop RS là mạch điện có chức năng thiết lập trạng thái 1 (Set), trạng thái 0 (Reset) và duy trì (nhớ) các trạng thái đó căn cứ vào các tín hiệu đầu vào R, S và tín hiệu đồng hồ CP. Những điều đã trình bày trong tiết trên về RS là phù hợp với định nghĩa này. Ký hiệu logic của mạch trên hình 5-2-1, phương trình đặc trưng biểu thị chức năng logic của nó là :



Hình 5-2-1.

Ký hiệu logic của FlipFlop RS.

$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ RS = 0 \end{cases} \quad (5-2-1)$$

Với điều kiện đã xuất hiện sườn âm CP

R = 0, S = 1, CP (sườn âm) thì $Q^{n+1} = 1$

R = 1, S = 0, CP thì $Q^{n+1} = 0$

R = 0, S = 0, CP thì $Q^{n+1} = Q^n$ (duy trì)

R = 1, S = 1 trạng thái cấm.

b) Phương pháp biểu thị chức năng logic

Bảng chức năng là bảng tín hiệu đầu vào kích

Bảng 5-2-1 :

Q^n	R	S	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	x
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	x

Bảng 5-2-2 :

$Q^n \rightarrow$	Q^{n+1}	R	S
0	0	x	0
0	1	0	1
1	0	1	0
1	1	0	x

Bảng chức năng của Flip Flop RS 5-2-1 dùng hình thức bảng liệt kê các trạng thái logic để biểu thị chức năng logic của nó.

Bảng tín hiệu đầu vào kích của Flip Flop RS 5-2-2 có phần bên trái kê ra các yêu cầu chuyển đổi trạng thái của FF, và có phần bên phải kê ra các điều kiện tín hiệu đầu vào kích cần bảo đảm để đạt đến các yêu cầu tương ứng. Nếu các điều kiện được bảo đảm thì FF sẽ chuyển đổi trạng thái theo yêu cầu một khi xung đồng

hồ cho phép. Ví dụ, yêu cầu $Q^n \rightarrow Q^{n+1}$ kiểu duy trì $0 \rightarrow 0$ thì điều kiện cần là $S = 0$ (không phụ thuộc vào R, $R = x$). Nếu yêu cầu chuyển $0 \rightarrow 1$ thì điều kiện lại là $R = 0, S = 1$.

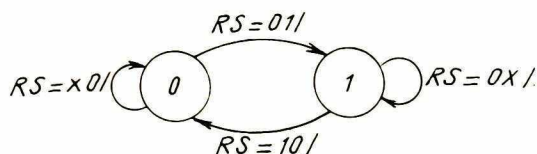
Như trên đã nói, các quan hệ logic của bảng 5-2-1 và 5-2-2 đều có chung một điều kiện : đã xuất hiện sườn âm CP, nếu điều kiện này không thỏa mãn, FF duy trì nguyên trạng.

Phương trình đặc trưng và phương trình kích

Phương trình đặc trưng dùng hàm logic miêu tả quan hệ giữa Q^{n+1} với Q^n và các tín hiệu đầu vào, do đó nó rất tiện dùng công cụ toán logic (các công thức và định lý của đại số logic) (5-2-1) là phương trình đặc trưng của FF RS.

Phương trình kích dùng hàm logic của tín hiệu đầu vào kích biểu thị, phần sau sẽ trình bày rõ hơn.

c) Đồ hình trạng thái



Hình 5-2-2. Đồ hình trạng thái của Flip Flop RS.

Hình 5-2-2 là đồ hình trạng thái của FFRS, nó biểu thị trực quan quy luật chuyển đổi trạng thái của FF dưới tác dụng định thời của CP.

Hai vòng tròn biểu thị hai trạng thái logic của FF. Mũi tên biểu thị hướng chuyển trạng thái. Bên cạnh mũi tên, ở trên gạch chéo là giá trị tín hiệu đầu vào kích - tức là điều kiện chuyển đổi trạng thái.

Hình 5-2-2 cho biết rằng :

$$\begin{aligned} \text{Khi } Q^n = 0 & \begin{cases} \text{với } R = X, S = 0, & \text{CP thì } Q^{n+1} = Q^n = 0 \\ \text{với } R = 0, S = 1, & \text{CP thì } Q^{n+1} = 1 \end{cases} \\ \text{Khi } Q^n = 1 & \begin{cases} \text{với } R = 0, S = X, & \text{CP thì } Q^{n+1} = Q^n = 1 \\ \text{với } R = 1, S = 0, & \text{CP thì } Q^{n+1} = 0 \end{cases} \end{aligned}$$

d) Đồ thị thời gian dạng sóng

Đồ thị thời gian dạng sóng biểu thị trực quan quan hệ tương ứng nhau về mặt thời gian của các trạng thái FF, các tín hiệu đầu vào R, S và xung đồng hồ CP. (hình 5-2-3).

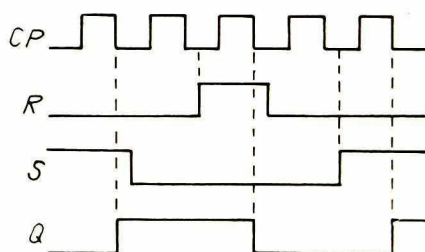
Trên hình, dạng sóng CP, R, S là đã biết. Để vẽ ra dạng sóng Q, ta cần chú ý :

- Nếu không cho trước thì có thể tùy ý giả định trạng thái ban đầu của Q

- Căn cứ vào bảng chức năng, phương trình đặc trưng hoặc đồ hình trạng thái để xác định trạng thái Q tiếp theo.

- Sau khi xuất hiện sườn âm CP thì Q chuyển đổi trạng thái. Mọi lúc khác Q duy trì trạng thái cũ.

Trên đây, 4 phương pháp biểu thị chức năng logic của Flip Flop (a, b, c, d) là liên quan mật thiết với nhau, có thể chuyển hóa lẫn nhau.



Hình 5-2-3.

Đồ thị thời gian dạng sóng FFRS.

2) Flip Flop D

a) Định nghĩa

Flip Flop D là mạch điện có chức năng thiết lập trạng thái 0 theo tín hiệu đầu vào $D = 0$ và thiết lập trạng thái 1 theo tín hiệu đầu vào $D = 1$ trong điều kiện định thời của CP.

Flip Flop D được giới thiệu ở tiết trên thỏa mãn định nghĩa này. Phương trình đặc trưng của FFD hình 5-2-4 là :

$$\begin{cases} Q^{n+1} = D \\ \text{Với điều kiện đã xuất hiện sườn dương CP} \end{cases} \quad (5-2-2)$$

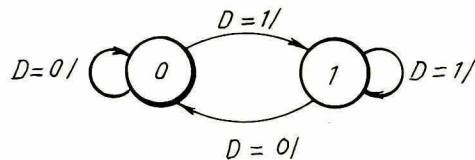
$$D = 0, \quad \text{CP thì } Q^{n+1} = 0$$

$$D = 1, \quad \text{CP thì } Q^{n+1} = 1$$

b) Bảng chức năng, bảng tín hiệu đầu vào kích, đồ hình trạng thái và đồ thị thời gian dạng sóng (bảng 5-2-3, 5-2-4 hình 5-2-5, 5-2-6)

Bảng 5-2-3 : BẢNG CHỨC NĂNG CỦA FF D
Trạng thái đầu $Q = 0$, kích bằng sườn dương của CP. Dạng sóng CP và D là đã biết. Để vẽ dạng sóng Q, chú ý mức D khi CP.

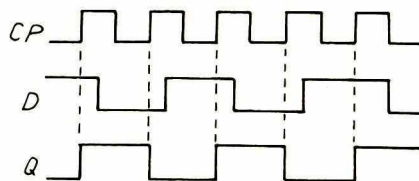
Q^n	D	Q^{n+1}
0	0	0
0	1	1
1	0	0
1	1	1



Hình 5-2-5. Đồ hình trạng thái của FF D.

Bảng 5-2-4 : BẢNG ĐẦU VÀO KÍCH CỦA FF D

$Q^n \rightarrow Q^{n+1}$	Q^{n+1}
0 0	0
0 1	1
1 0	0
1 1	1

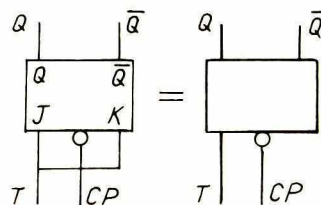


Hình 5-2-6. Dạng sóng của FF D.

3) Flip Flop T

a) Định nghĩa

Flip Flop T là mạch điện có chức năng duy trì và chuyển đổi trạng thái tùy thuộc tín hiệu đầu vào T trong điều kiện định thời của CP. Flip Flop JK giới thiệu ở tiết trên,



Hình 5-2-7. Kí hiệu logic FF T.

nếu $J = K = T$ thì tạo thành FF T, kí hiệu như hình 5-2-7. Phương trình đặc trưng của FF T là :

$$\left\{ \begin{array}{l} Q^{n+1} = JQ^n + \overline{K}Q^n = T\overline{Q}^n + \overline{T}Q^n \\ \qquad \qquad = T \oplus Q^n \\ \text{Với điều kiện đã xuất hiện sườn âm CP} \end{array} \right. \qquad (5-2-3)$$

$T = 0$, CP thì $Q^{n+1} = Q^n$ duy trì nguyên trạng

$T = 1$, CP thì $Q^{n+1} = \overline{Q}^n$ chuyển đổi trạng thái

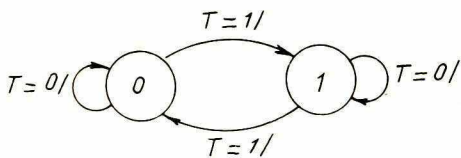
b) *Bảng chức năng* (bảng 5-2-5), *Bảng đầu vào kích* (5-2-6), *đồ hình trạng thái* (hình 5-2-8), *đồ thị thời gian dạng sóng* (hình 5-29) của Flip Flop T.

Bảng 5-2-5 :

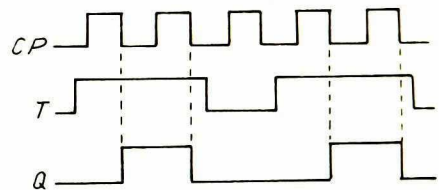
Q^n	T	Q^{n+1}
0	0	0
0	1	1
1	0	1
1	1	0

Bảng 5-2-6 :

$Q^n \rightarrow Q^{n+1}$		T
0	0	0
0	1	1
1	0	1
1	1	0



Hình 5-2-8.



Hình 5-2-9.

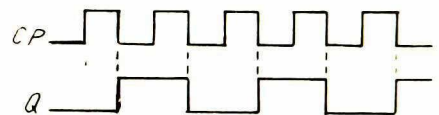
Trạng thái đầu của FF T là 0 và kích bằng sườn âm của CP.

4) Flip Flop T'

Flip Flop T' là mạch điện chỉ có chức năng chuyển đổi trạng thái trong điều kiện định thời của CP. FF T' là FF T mà $T = 1$ (T luôn luôn giữ mức cao)

Phương trình đặc trưng của Flip Flop T' là :

$$\left\{ \begin{array}{l} Q^{n+1} = T \oplus Q^n = 1 \oplus Q^n = \overline{Q}^n \\ \text{Với điều kiện đã xuất hiện sườn âm CP.} \end{array} \right. \qquad (5-2-4)$$



Hình 5-2-10.

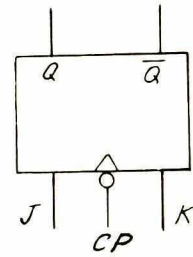
Đồ thị thời gian dạng sóng của Flip Flop T'.

5) Flip Flop JK

a) Định nghĩa

Flip Flop JK là mạch điện có chức năng thiết lập trạng thái 0, trạng thái 1, chuyển đổi trạng thái và duy trì trạng thái căn cứ vào các tín hiệu đầu vào J, K và đồng hồ CP.

Trong kĩ thuật số thường yêu cầu FF có 4 chức năng nói trên của FF JK, nghĩa là FF JK rất vạn năng, rất linh hoạt. FFJK kích sườn master slave đã giới thiệu ở tiết 5-1 thỏa mãn định nghĩa này. Phương trình đặc trưng của FFJK có kí hiệu logic trên hình 5-2-11 là :



Hình 5-2-11.

Kí hiệu logic của FF JK.

$$\begin{cases} Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n \\ \text{Với điều kiện đã xuất hiện sườn âm CP} \end{cases} \quad (5-2-5)$$

$J = 0, K = 1, \quad CP \quad \text{thì} \quad Q^{n+1} = 0$

$J = 1, K = 0, \quad CP \quad \text{thì} \quad Q^{n+1} = 1$

$J = 1, K = 1, \quad CP \quad \text{thì} \quad Q^{n+1} = \bar{Q}^n \text{ chuyển đổi}$

$J = 0, K = 0, \quad CP \quad \text{thì} \quad Q^{n+1} = Q^n \text{ giữ nguyên trạng}$

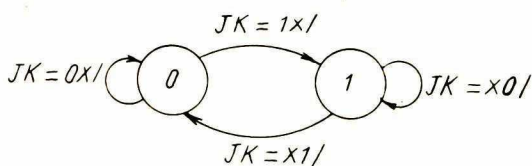
b) Bảng chức năng (5-2-7), bảng đầu vào kích (5-2-8), đồ hình trạng thái (hình 5-2-12), đồ thị thời gian dạng sóng (hình 5-2-13) của Flip Flop JK :

Bảng 5-2-7 :

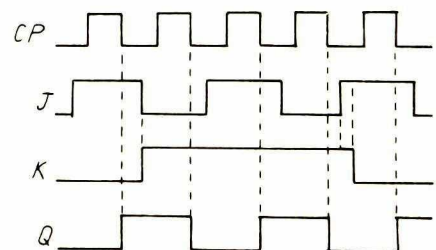
Q^n	J	K	Q^{n+1}
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

Bảng 5-2-8 :

$Q^n \rightarrow Q^{n+1}$	J	K
0 0	0	×
0 1	1	×
1 0	×	1
1 1	×	0



Hình 5-2-12.



Hình 5-2-13.

Trên hình, trạng thái đầu của FF là 0, kích bằng sườn âm của CP. Trong kí hiệu logic của 5 loại FF trên, đầu CP có khuyên tròn chứng tỏ nó hoạt động với sườn âm, không có khuyên tròn chứng tỏ nó hoạt động với sườn dương. Khi vẽ đồ thị thời gian dạng sóng, ta phải đặc biệt chú ý quy ước này, chỉ khi đã xuất hiện sườn xung CP thì FF mới chuyển đổi trạng thái theo phương trình đặc trưng của nó, ở thời điểm khác FF giữ nguyên trạng thái.

5.2.2. Sự chuyển đổi lẫn nhau của các loại Flip Flop định thời theo CP

1) Phương pháp và ý nghĩa của sự chuyển đổi

a) Ý nghĩa

- Đa số FF trên thị trường là loại JK, D. Kỹ thuật số yêu cầu tất cả các loại FF. Nếu biết cách chuyển đổi thì có thể phát huy tác dụng của loại FF có sẵn.

- Phương pháp chuyển đổi có tính phổ biến, do đó giúp ích nhiều việc thiết kế mạch điện.

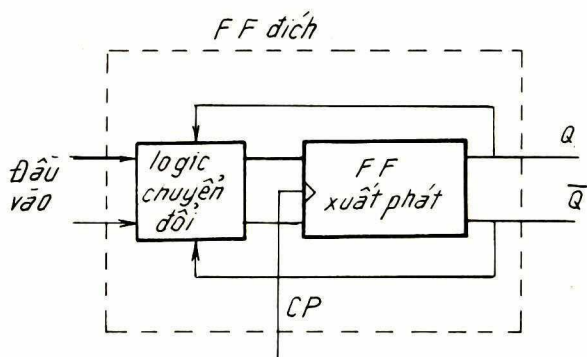
- Giúp đi sâu tìm hiểu chức năng logic của các loại FF.

b) Phương pháp :

- Phương pháp chuyển đổi là những công việc cần làm để tìm logic chuyển đổi, để tìm phương trình hàm logic tín hiệu kích đối với FF xuất phát (hình 5-2-14).

- Dùng công thức : dùng các nghiệm phương trình đặc trưng để tìm logic chuyển đổi. Cách này tiện cho trình bày viết, có thể dùng đại số logic xử lí, nhưng cần kĩ xảo nhất định ; trong phạm vi 5 loại FF cụ thể, chúng ta có thể nắm vững phương pháp này.

- Dùng sơ đồ : bảng chức năng, bảng đầu vào kích, bảng Karnaugh. Phương pháp này có phiền phức chút ít, nhưng trực quan, ít sai.



Hình 5-2-14.

Tư duy về chuyển đổi từ FF xuất phát thành FF đích.

2) Flip Flop JK chuyển đổi thành Flip Flop D, T, RS

Phương trình đặc trưng của FF JK (Flip Flop xuất phát)

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n \quad (5-2-6)$$

a) $JK \rightarrow D$

Phương trình đặc trưng của FF D (Flip Flop đích)

$$Q^{n+1} = D \quad (5-2-7)$$

Dùng công thức : chuyển dạng (5-2-7) sang dạng (5-2-6)

$$Q^{n+1} = D = D(\overline{Q^n} + Q^n) = D\overline{Q^n} + DQ^n$$

So sánh với (5-2-6), ta có :

$$\begin{cases} J = K \\ K = \overline{D} \end{cases} \quad (5-2-8)$$

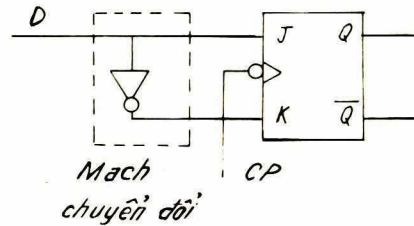
(5-2-8) là logic chuyển đổi cần tìm, cũng là phương trình đầu vào kích của FF JK. Dựa vào đó ta vẽ ra mạch điện hình 5-2-15.

Dùng sơ đồ :

Căn cứ vào bảng chức năng của FF D và bảng đầu vào kích của JK để liệt kê bảng sử dụng JK → D như sau :

Bảng 5-2-9 : BẢNG SỬ DỤNG JK → D

Q^n	D	Q^{n+1}	J	K
0	0	0	0	×
0	1	1	1	×
1	0	0	×	1
1	1	1	×	0



Hình 5-2-15.

Mạch Flip Flop từ JK trở thành D.

Bảng chức năng của FF D biểu thị yêu cầu chuyển đổi. Với Q^n , D đã xác định và có tác dụng định thời của CP thì Q^{n+1} cũng xác định theo bảng chức năng của FF D. Ở đây, Q^n và Q^{n+1} là trạng thái hiện tại và trạng thái tiếp theo của Flip Flop D (đích) và cũng là của FF JK (xuất phát). Vậy quan hệ tương ứng giữa Q^n và Q^{n+1} cũng phản ánh yêu cầu kích của FF JK, rồi căn cứ vào bảng đầu vào kích đó mà xác định giá trị tương ứng của J, K. Giá trị của Q^n và D quyết định giá trị của Q^{n+1} , do đó cũng quyết định giá trị của J, K. Vậy J, K và Q^{n+1} như nhau, đều là hàm số của Q^n và D. Quan hệ hàm số này dưới dạng bảng được gọi là bảng sử dụng.

Từ bảng sử dụng 5-2-9, ta vẽ bảng Karnaugh và tìm được phương trình đầu vào kích, như hình 5-2-16. Kết quả của hai phương pháp (dùng công thức và dùng sơ đồ) trùng hợp.

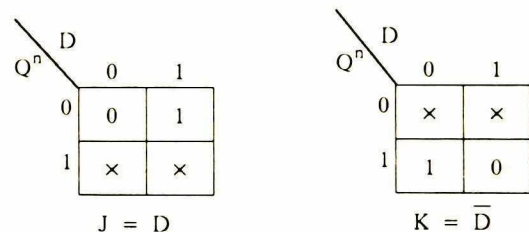
b) $JK \rightarrow T$

Phương trình đặc trưng của FF T

$$Q^{n+1} = T\overline{Q^n} + \overline{T}Q^n$$

So sánh trực tiếp với (5-2-6), ta có phương trình kích của FF JK

$$\begin{cases} J = T \\ K = T \end{cases} \quad (5-2-9)$$



Hình 5-2-16. Bảng Karnaugh của J, K.

Mạch điện xem hình 5-2-7 ở phần trên. Cho $T = 1$ ta có FF T' .

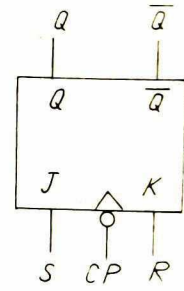
c) $JK \rightarrow RS$

Phương trình đặc trưng của Flip Flop RS

$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ RS = 0 \end{cases}$$

Biến đổi

$$\begin{aligned} Q^{n+1} &= R + \bar{R}Q^n = S(\bar{Q}^n + Q^n) + \bar{R}Q^n \\ &= \bar{S}Q^n + SQ^n + \bar{R}Q^n = \bar{S}Q^n + \bar{R}Q^n + SQ^n(R + \bar{R}) \\ &= \bar{S}Q^n + \bar{R}Q^n + RSQ^n + \bar{R}SQ^n \\ &= \bar{S}Q^n + \bar{R}Q^n + RSQ^n = \bar{S}Q^n + \bar{R}Q^n \end{aligned}$$



Hình 5-2-17.

Mạch Flip Flop từ JK trở thành RS

So sánh với phương trình đặc trưng của Flip Flop JK, ta có logic chuyển đổi :

$$\begin{cases} J = S \\ K = R \end{cases} \quad (5-2-10)$$

Sơ đồ logic : xem hình 5-2-17

3) Flip Flop D chuyển đổi thành Flip Flop JK, RS, T, T'

Phương trình đặc trưng của FF D

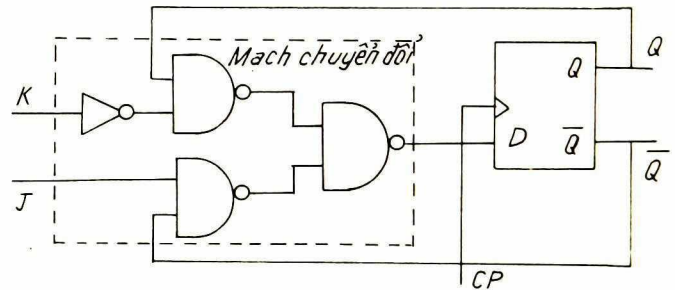
$$Q^{n+1} = D$$

$D \rightarrow JK$

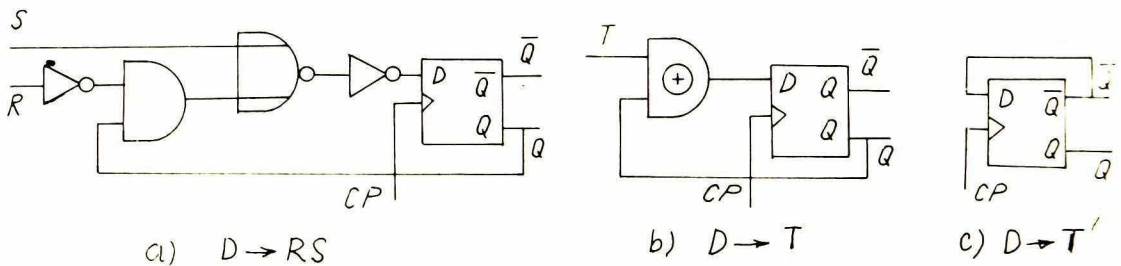
$$JK : Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

$$\text{Đặt } D = J\bar{Q}^n + \bar{K}Q^n \quad (5-2-11)$$

Mạch điện hình 5-2-18



Hình 5-2-18. Mạch Flip Flop từ D trở thành JK.



Hình 5-2-19. Mạch Flip Flop từ D trở thành RS, T, T' .

Hình 5-2-19 là mạch điện chuyển đổi theo logic chuyển đổi sau đây :

$$D = S + \bar{R}Q^n \quad (5-2-12)$$

$$D = T\bar{Q}^n + \bar{T}Q^n = T \oplus Q^n \quad (5-2-13)$$

$$D = \bar{Q}^n \quad (5-2-14)$$

4) Flip Flop T chuyển đổi thành Flip Flop JK, D, RS

Phương trình đặc trưng của Flip Flop T

$$Q^{n+1} = T \oplus Q^n$$

$T \rightarrow JK$

$$JK : Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

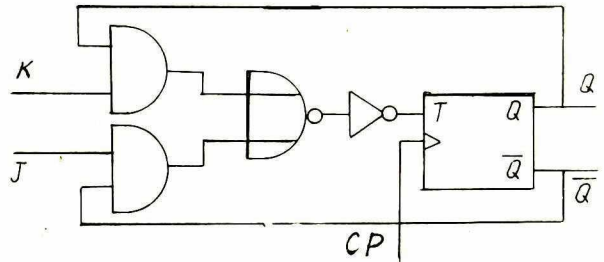
So sánh, ta có :

$$T \oplus Q^n = J\bar{Q}^n + \bar{K}Q^n$$

Dùng các công thức của hàm XOR (xem mục 3-1-2-7) ta biến đổi :

$$\begin{aligned} T &= (J\bar{Q}^n + \bar{K}Q^n) \oplus Q^n \\ &= (J\bar{Q}^n + \bar{K}Q^n)\bar{Q}^n + J\bar{Q}^n + \bar{K}Q^nQ^n \\ &= J\bar{Q}^n + J\bar{Q}^n \cdot \bar{K}Q^nQ^n \\ &= J\bar{Q}^n + J\bar{Q}^nKQ^n \\ &= J\bar{Q}^n + KQ^n \quad (5-2-15) \end{aligned}$$

xem hình 5-5-20



Hình 5-2-20. Mạch Flip Flop từ T trở thành JK.

JK \ Q ⁿ	JK			
	00	01	11	10
0	0	0	1	1
1	0	1	1	0

Hình 5-2-21. Bảng Karnaugh của T.

Bảng 5-2-10 : BẢNG SỬ DỤNG T $\rightarrow$ JK

Q ⁿ	J	K	Q ⁿ⁺¹	T
0	0	0	0	0
0	0	1	0	0
0	1	0	1	1
0	1	1	1	1
1	0	0	1	0
1	0	1	0	1
1	1	0	1	0
1	1	1	0	1

Có thể đi đến kết quả trên theo phương pháp dùng sơ đồ như sau :

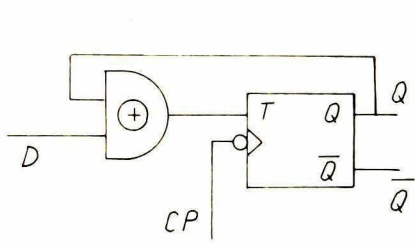
Xây dựng bảng sử dụng T $\rightarrow$ JK (bảng 5-2-10). Tìm logic chuyển đổi bằng bảng Karnaugh (hình 5-2-21).

Tương tự, ta tìm logic chuyển đổi T $\rightarrow$ D, T $\rightarrow$ RS như sau :

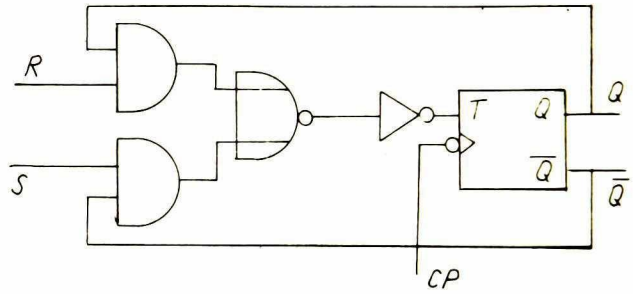
$$T = D \oplus Q^n \quad (5-2-16)$$

$$T = S\bar{Q}^n + RQ^n \quad (5-2-17)$$

Xem mạch điện chuyển đổi hình 5-2-22



a) $T \rightarrow D$



b) $T \rightarrow RS$

Hình 5-2-22. Mạch điện chuyển đổi Flip Flop từ T trở thành D, RS.

5 Flip Flop RS chuyển đổi thành Flip Flop JK, D, T, T'

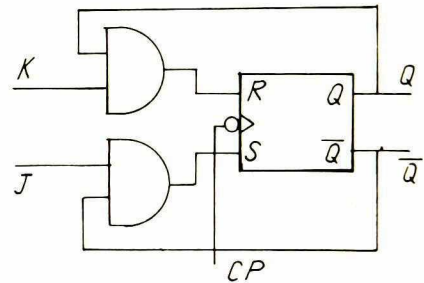
Phương trình đặc trưng của Flip Flop RS :

$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ RS = 0 \end{cases}$$

$RS \rightarrow JK$

$$JK : Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

$$\text{So sánh, ta có : } \begin{cases} S = J\bar{Q}^n \\ R = KQ^n \end{cases}$$



Bảng 5-2-11 : BẢNG SỬ DỤNG $RS \rightarrow JK$

Q^n	J	K	Q^{n+1}	R	S
0	0	0	0	$\times$	0
0	0	1	0	$\times$	0
0	1	0	1	0	1
0	1	1	1	0	1
1	0	0	1	0	$\times$
1	0	1	0	1	0
1	1	0	1	0	$\times$
1	1	1	0	1	0

Hình 5-2-23.

Mạch Flip Flop từ RS trở thành JK.

Vì điều kiện ràng buộc $RS = 0$ nên ta phải kiểm tra. Khi $J = K = 1$; $Q^n = 0$ thì

$$\begin{cases} R = \bar{K} = 1 \\ S = JQ^n = 1 \end{cases}$$

Không thỏa mãn $RS = 0$.

Ta biến đổi lại

$$\begin{aligned} Q^{n+1} &= J\bar{Q}^n + \bar{K}Q^n \\ &= J\bar{Q}^n + \bar{K}Q^nQ^n \end{aligned}$$

So sánh lại, ta có :

$$\begin{cases} S = J\bar{Q}^n \\ R = KQ^n \end{cases} \quad (5-2-18)$$

Q^n	JK	00	01	11	10
0		$\times$	$\times$	1	1
1		0	1	1	0

(a)

Q^n	JK	00	01	11	10
0		0	0	1	1
1		$\times$	0	0	$\times$

(b)

Hình 5-2-24. Bảng Karnaugh : a) R ; b) S

Hình 5-2-23 trên đây là mạch điện chuyển đổi RS $\rightarrow$ JK (thỏa mãn điều kiện ràng buộc RS = 0)

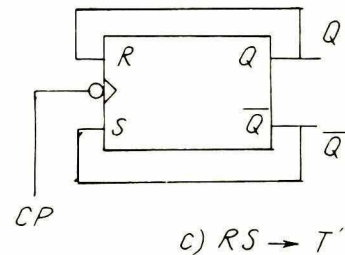
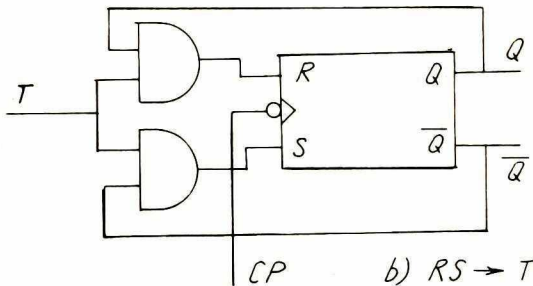
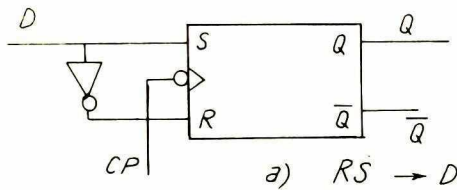
Ta có thể nhận được cùng một kết quả như trên bằng phương pháp dùng sơ đồ dưới đây :

Xây dựng bảng sử dụng RS $\rightarrow$ JK (bảng 5-2-11). Tìm logic chuyển đổi bằng bảng Karnaugh (hình 5-2-24). Chú ý điều kiện ràng buộc RS = 0 khi xây dựng bảng 5-2-11.

Tương tự, ta tìm logic chuyển đổi RS $\rightarrow$ D $\begin{cases} R = \overline{D} \\ S = D \end{cases}$ (5-2-19)

RS $\rightarrow$ T $\begin{cases} R = T\overline{Q}^n \\ S = TQ^n \end{cases}$ (5-2-20)

RS $\rightarrow$ T' $\begin{cases} R = \overline{Q}^n \\ S = Q^n \end{cases}$ (5-2-21)



Hình 5-2-25. Mạch điện chuyển đổi Flip Flop từ RS trở thành : a) D ; b) T ; c) T'.

5.3. ĐẶC TÍNH CÔNG TÁC XUNG VÀ CHỈ TIÊU CHỦ YẾU CỦA FLIP FLOP

5.3.1. Đặc tính công tác xung của Flip Flop

Muốn sử dụng chính xác FF, không những cần hiểu chức năng logic của FF, mà còn cần nắm vững đặc tính công tác xung của FF, tức là những yêu cầu mà FF đưa ra cho xung đồng hồ, tín hiệu đầu vào và sự phối hợp giữa chúng.

1) Đặc tính công tác xung của Flip Flop D

Xét mạch FF D trên hình 5-1-14 (mục 5-1-6), trước khi xuất hiện xung đồng hồ thì mạch điện ở trạng thái chuẩn bị. Lúc này, mức tín hiệu đầu vào D quyết định mức đầu ra của các cổng E, F. Khi xuất hiện sườn trước xung đồng hồ, trạng thái đầu ra của các cổng E, F thông qua các cổng C, D điều khiển FF chuyển trạng thái. Vậy mức đầu ra E, F phải đạt đến trạng thái ổn định trước lúc xuất hiện sườn trước xung đồng hồ. Nhưng từ lúc bắt đầu có tín hiệu ở đầu vào D đến lúc

dầu ra các cổng E, F đã ổn định phải qua một khoảng thời gian, gọi là thời gian xác lập T_{set} của FF. Vậy tín hiệu đầu vào phải đến sớm khoảng t_{set} so với xung đồng hồ CP.

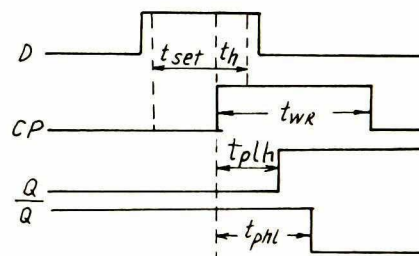
Từ hình 5-1-14 ta thấy rằng kể từ tín hiệu đến đầu vào D, thì đầu ra F ổn định phải sau thời gian trễ truyền đạt 1 cấp cổng t_{pd} , đầu ra E ổn định phải sau thời gian trễ truyền đạt 2 cấp cổng $2t_{pd}$, vậy thời gian xác lập của Flip Flop D là $t_{set} = 2t_{pd}$. Tiếp theo, từ khi xuất hiện sườn trước CP cho đến khi FF hoàn thành chuyển đổi, tức là đến khi trạng thái mới đã ổn định, là khoảng thời gian trễ truyền đạt của FF (t_{pd}). Giả sử trạng thái ban đầu của FF là 1, mức đầu ra cổng E là thấp, mức đầu ra cổng F là cao. Thế thì dễ dàng thấy rằng, xung đầu ra cổng D chậm sau CP thời gian trễ truyền đạt 1 cấp cổng làm cho cổng B từ thông sang ngắt với thời gian trễ truyền đạt bản thân cổng B. Cổng A cũng chuyển từ ngắt sang thông với thời gian trễ truyền đạt bản thân cổng A. Vậy đầu ra $\bar{Q}$, chuyển trạng thái từ mức thấp lên cao có thời gian trễ t_{plh} tương đối ngắn hơn so với thời gian đầu ra Q chuyển trạng thái từ mức cao xuống thấp t_{phl} ($t_{plh} = 2t_{pd}$, $t_{phl} = 3t_{pd}$).

Ngoài ra, để bảo đảm FF chuyển đổi tin cậy, tín hiệu đầu vào cần có thời gian tác dụng đủ dài. Khi $D = 0$, kể từ khi bắt đầu sườn dương của CP, phải sau t_{pd} thì cổng D mới đưa ra mức thấp; mức logic này phản hồi đến đầu vào cổng F mới sinh ra tác dụng duy trì nguyên trạng ngăn trở chuyển đổi. Trước lúc đạt đến sự ổn định này, tín hiệu đầu vào không được phép thay đổi, nếu ngược lại, trạng thái mới của tín hiệu đầu vào có thể phá hoại sự chuyển đổi bình thường vốn có. Vậy sau khi xuất hiện sườn trước CP, tín hiệu đầu vào cần phải duy trì thêm một thời gian, gọi là thời gian duy trì t_h . Trong trường hợp $D = 0$ thì $t_h = t_{pd}$.

Khi $D = 1$, sau khi xuất hiện sườn trước CP một khoảng thời gian là t_{pd} thì cổng C đưa ra mức logic thấp, làm cho D, E bị khóa, sinh ra tác dụng ổn định. Mặt khác, sự biến đổi mức tín hiệu đầu vào cũng cần một khoảng thời gian như thế (t_{pd}) để tác động đến D, E. Vậy cho phép tín hiệu vào thay đổi ngay sau khi kết thúc sườn trước xung đồng hồ CP, tức là $t_h = 0$.

Sau khi xét cả hai trường hợp $D = 0$, $D = 1$, ta thấy thời gian duy trì tín hiệu đầu vào của FF D cần thiết là $t_h = t_{pd}$.

Căn cứ vào thời gian trễ đầu ra FF chuyển trạng thái t_{phl} và thời gian xác lập t_{set} , ta có thể biết độ rộng cần thiết của xung đồng hồ. Độ rộng (theo mức cao) t_{WH} của CP phải lớn hơn t_{phl} để phần mạch RS cơ bản trong FF D chuyển đổi tin cậy. Độ rộng (theo mức thấp) T_{WL} của CP phải lớn hơn t_{set} để bảo đảm tín hiệu đầu vào đủ thời gian ổn định đầu ra cổng E, F trước khi xuất hiện sườn dương của CP. Vậy chu kỳ xung CP phải lớn hơn $t_{phl} + t_{set}$, tức là tần số cực đại của



Hình 5-3-1. Dạng sóng của FFD.
(theo mạch hình 5-1-14)

CP bị hạn chế nhỏ hơn $\frac{1}{t_{pHl} + t_{set}}$. Ví dụ, $t_{pd} = 20ns$, $t_{pHl} + t_{set} = 5t_{pd} = 100ns$, $f_{max} = 10MHz$.

Xem hình 5-3-1 biểu thị quan hệ thời gian vừa trình bày trên đây.

2) Đặc tính công tác xung của FF master slave

Xét mạch FF hình 5-1-11 (mục 5-1-4).

Khi xuất hiện sườn dương CP thì tín hiệu đầu vào J, K tác động đến master. Vì J, K, CP đồng thời nối đến các cổng E, H nên tín hiệu đầu vào chỉ cần xuất hiện không chậm hơn sự xuất hiện sườn dương CP, vậy $t_{set} = 0$.

Sau khi xuất hiện sườn dương CP

Sự chuyển đổi của master chỉ hoàn thành sau thời gian trễ truyền đạt 2 cấp cổng NORAND. Nếu thời gian trễ truyền đạt của cổng NORAND bằng 1,4 lần của cổng NAND thì độ rộng (theo mức cao) t_{WH} của xung đồng hồ CP cần thiết là :

$$t_{WH} \geq 2,8t_{pd}$$

Sau khi xuất hiện sườn âm CP, Slave chuyển đổi, đầu vào master bị khóa, nên tín hiệu đầu vào J, K có thể không cần duy trì, tức là $t_h = 0$

Kể từ khi bắt đầu sườn âm CP, cho đến khi ổn định trạng thái Q, $\bar{Q}$ là thời gian trễ truyền đạt. Vì mạch điện các cổng C, D rất đơn giản, ta có thể cho rằng thời gian trễ truyền đạt của chúng bằng nửa của cổng NAND. Vậy $t_{pH} = 1,5t_{pd}$, $t_{pHl} = 2,5t_{pd}$. Rõ ràng yêu cầu độ rộng (theo mức thấp) t_{WL} của CP cần thiết là :

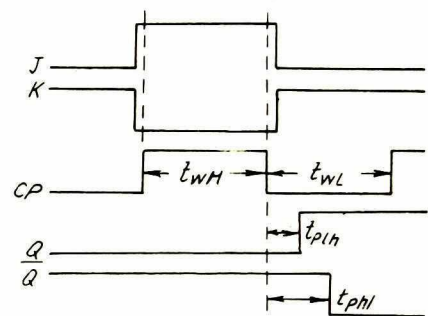
$$t_{WL} \geq t_{pHl}$$

Do đó, yêu cầu đối với xung đồng hồ :

$$T_{min} = 2,8t_{pd} + 2,5t_{pd} = 5,3t_{pd}$$

$$f_{max} = \frac{1}{5,3t_{pd}}$$

Hình 5-3-2 biểu thị quan hệ thời gian.



Hình 5-3-2. Dạng sóng của FFJK masterslave.
(theo mạch hình 5-1-11)

5.3.2. Các chỉ tiêu chủ yếu của vi mạch (IC) Flip Flop

1) Tham số tĩnh

Kết cấu mạch điện đầu vào, đầu ra của Flip Flop dưới dạng IC rất giống với các cổng NAND họ TTL. Những đặc tính đầu vào đầu ra cũng vậy. Nên cách định nghĩa và phương pháp đo lường các tham số chủ yếu của đặc tính đầu vào, đầu ra cũng cơ bản giống như của cổng NAND TTL. Các chỉ tiêu chủ yếu là :

Dòng điện nguồn I_E

Trong mạch điện cổng dòng điện nguồn khi mức đầu ra thấp và khi mức đầu ra cao khác nhau rất xa. Trong mạch điện Flip Flop bao gồm rất nhiều cổng, thường không đồng thời thông cả hoặc đồng thời ngắt cả, nên dù trạng thái mạch điện FF thay đổi thì dòng điện nguồn cũng không thay đổi đáng kể. Vậy thông thường chỉ đưa ra một giá trị dòng điện nguồn và quy định rằng tất cả các đầu vào đều phải treo khi đo lường dòng điện nguồn.

Dòng điện ngắn mạch đầu vào I_{IS}

Lần lượt nối đất các đầu vào, ta đo được dòng điện ngắn mạch đầu vào tương ứng. Có thể nhận thấy ở các hình 5-1-11 và 5-1-15 rằng mỗi một trong các đầu vào R, S, R_D , S_D , CP, D, J, K v.v... được nối với một số khác nhau tranzito nhiều emitơ. Do đó dòng điện ngắn mạch đầu vào của chúng cũng không bằng nhau. Số tranzito càng nhiều thì trị số dòng điện tương ứng càng lớn.

Dòng điện dò đầu vào I_{IH}

Là dòng điện chảy vào đầu vào xét khi đầu vào đó nối đến mức cao. Dòng điện I_{IH} cũng phụ thuộc vào số tranzito nhiều emitơ được nối đến đầu vào xét.

Mức tín hiệu đầu ra cao V_{OH} và thấp V_{OL}

Khi FF ở trạng thái 1, đầu ra Q ở mức cao, $\bar{Q}$ ở mức thấp. Khi FF ở trạng thái 0, đầu ra Q ở mức thấp, $\bar{Q}$ ở mức cao. Vậy chỉ cần đo lường riêng mức đầu ra Q, $\bar{Q}$ khi FF ở trạng thái 1 và 0 là ta được V_{OH} và V_{OL} .

2) Tham số động

Có 2 tham số động thường dùng như sau :

Thời gian trễ truyền đạt trung bình t_{pd}

t_{pd} được định nghĩa là thời gian từ khi sườn xung đồng hồ tác động (ví dụ, sườn âm của CP đối với FF JK master slave, sườn dương của CP đối với FF D) đến khi trạng thái mới tạo ra ở đầu ra của FF đã ổn định. (hình 5-3-3).

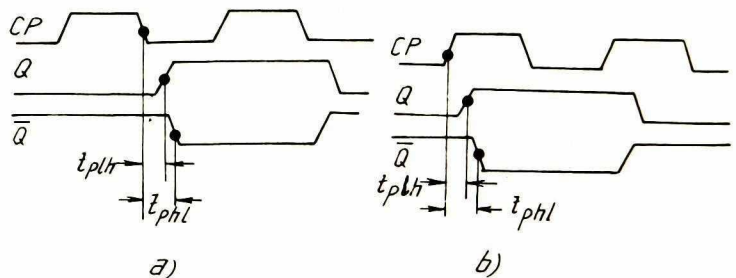
Thông thường thời gian trễ truyền đạt của đầu ra từ mức cao xuống mức thấp t_{pLH} lớn hơn từ mức thấp lên mức cao t_{pHL} . Trong các sổ tay IC, người ta chỉ cho biết giá trị trung bình t_{pd} .

$$t_{pd} = \frac{t_{pLH} + t_{pHL}}{2}$$

Hình 5-3-3.

Thời gian trễ truyền đạt của IC Flip Flop :

- a) Kích với sườn âm ;
- b) Kích với sườn dương.



Tần số đồng hồ cao nhất f_{max}

Khi FF nối thành T' thì tần số đồng hồ cao nhất cho phép là f_{max} . Khi đo lường f_{max} ta cần tiến hành với phụ tải định mức đã cho, vì kết quả sẽ phụ thuộc vào tình trạng phụ tải. Bảng 5-3-1 và 5-3-2 giới thiệu các chỉ tiêu chủ yếu của IC FF Z63 và IC FF D62.

Bảng 5-3-1 : CHỈ TIÊU CHỦ YẾU CỦA FF JK MASTER SLAVE IC Z63B

$T = 25^{\circ}$, $E_C = 5V$

Tham số	Kí hiệu	Đơn vị	Điều kiện đo	Chỉ tiêu
Dòng điện nguồn	I_E	mA	Dầu vào hở mạch Dầu ra không tải	≤ 15
Dòng điện ngắn mạch đầu vào	J, K	I_{IS}	$V_I = 0$	$\leq 1,5$
	R, S, CP			$\leq 4,5$
Dòng điện dò đầu vào	J, K	I_{IH}	$V_I = 5V$ Các đầu vào khác nối đất	≤ 20
	R, S			≤ 60
	CP			≤ 80
Mức cao đầu ra	V_{OH}	V	$I_L = 160 \mu A$ $I_L = 12mA$ $I_L = 12mA$ $C_L = 15pF$	$3 \div 4$
Mức thấp đầu ra	V_{OL}	V		$\leq 0,35$
Tần số đồng hồ cao nhất	f_{max}	MHz		≤ 10

Bảng 5-3-2 : CHỈ TIÊU CHỦ YẾU CỦA FFD IC D62B

$T = 25^{\circ}C$; $E_C = 5V$

Tham số	Kí hiệu	Đơn vị	Điều kiện đo	Chỉ tiêu
Dòng điện nguồn	I_E	mA	Dầu vào treo, Dầu ra không tải	≤ 10
Dòng điện ngắn mạch đầu vào	R, S, D	I_{IS}	$V_I = 0$	$\leq 1,5$
	SD, CP			$\leq 3,0$
	RD			$\leq 4,5$
Dòng điện dò đầu vào	R, S, D	I_{IH}	$V_I = 5V$	≤ 20
	SD, CP			≤ 40
	RD			≤ 60
Mức cao đầu ra	V_{OH}	V	$I_L = 160 \mu A$ $I_L = 12mA$ $I_L = 12mA$ $C_L = 15pF$	$3 \div 4$
Mức thấp đầu ra	V_{OL}	V		$\leq 0,35$
Tần số đồng hồ cao nhất	f_{max}	MHz		≤ 10

TÓM TẮT

1- Tính chất cơ bản của FF

FF là linh kiện logic cơ bản của mạch số. FF có hai trạng thái ổn định, dưới tác dụng của tín hiệu bên ngoài có thể chuyển đổi từ trạng thái ổn định này sang trạng thái ổn định kia, nếu không có tác dụng tín hiệu bên ngoài thì nó duy trì mãi trạng thái ổn định vốn có. Vì thế, FF có thể được dùng làm phân tử nhớ của số nhị phân.

2- Quan hệ giữa chức năng logic và hình thức cấu trúc của FF.

Chức năng logic và hình thức cấu trúc là hai khái niệm khác nhau. Chức năng logic là quan hệ logic giữa trạng thái tiếp theo của đầu ra với trạng thái hiện tại của đầu ra và các tín hiệu đầu vào. Do chức năng logic khác nhau mà FF được phân thành các loại RS, E, T, T', JK. Còn do hình thức cấu trúc khác nhau, FF lại được phân thành các loại RS cơ bản, RS đồng bộ, masterslave, duy trì ngăn trở...

Một FF có chức năng logic xác định có thể thực hiện bằng các hình thức cấu trúc khác nhau. Ví dụ, các FF cấu trúc loại masterslave và FF cấu trúc loại duy trì ngăn trở đều có thể thực hiện chức năng logic của FF T. Nghĩa là cùng một cấu trúc có thể đảm trách những chức năng khác nhau. Ví dụ, hình thức cấu trúc masterslave không những làm thành FFRS, mà còn cũng có thể làm thành các loại FF như D, T, JK.

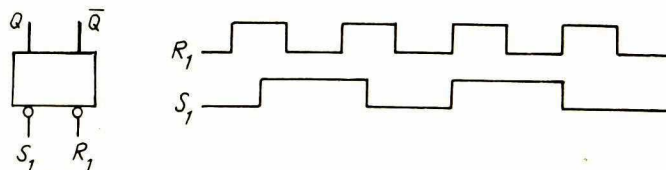
Vậy nên cần chú ý để khỏi nhầm lẫn hai khái niệm trên đây. Hiện nay, nhờ công nghệ sản xuất IC ngày càng hoàn thiện, mà một hay nhiều FF được đóng trong một vỏ IC. Trong những chương trình bày tiếp đây, chúng ta đều coi FF như một linh kiện logic căn bản ; chúng ta chỉ tìm hiểu đại thể quá trình hoạt động và mạch điện ruột IC.

BÀI TẬP

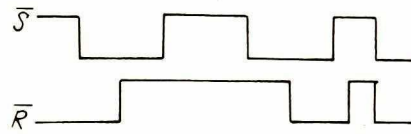
5-1. Xét mạch điện FFRS cơ bản hình 5-1-1, thử vẽ riêng từng dạng sóng đầu ra Q , $\bar{Q}$ trong ba trường hợp sau đây :

- 1- Đầu $\bar{R}$ nối đất, $\bar{S}$ tiếp nhận xung ;
- 2 - Đầu $\bar{R}$ treo, $\bar{S}$ tiếp nhận xung ;
- 3- $\bar{R} = S$, $\bar{S}$ tiếp nhận xung.

5-2. Cho sơ đồ logic của FFRS cơ bản và dạng sóng R_d , S_d như hình dưới đây. Hãy vẽ dạng sóng Q , $\bar{Q}$.

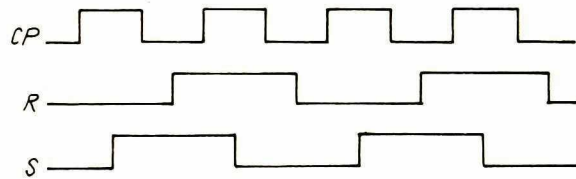
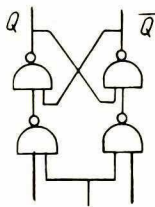


5-3. Xét mạch điện FFRRS cơ bản hình 5-1-1, cho dạng sóng đầu vào như hình dưới đây, hãy vẽ dạng sóng Q , $\bar{Q}$



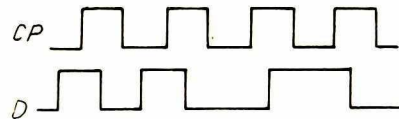
5-4. Cho sơ đồ logic FFRRS đồng bộ và cho dạng sóng như hình dưới đây

- 1- Nếu đặc điểm khác biệt với FFRRS cơ bản
- 2- Hãy vẽ dạng sóng đầu ra Q .



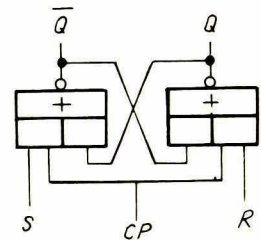
5-5. Xét sơ đồ hình 5-1-7.b

Cho dạng sóng như hình bên,
Hãy vẽ dạng sóng Q , $\bar{Q}$.

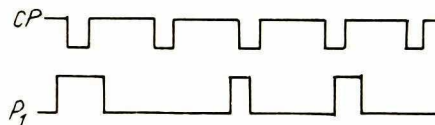
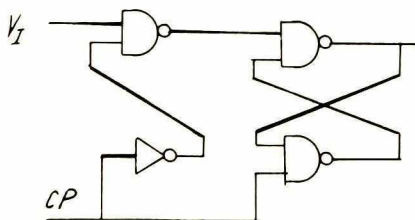


5-6. Hãy phân tích chức năng logic của sơ đồ hình bên, so sánh với FFRRS cơ bản.

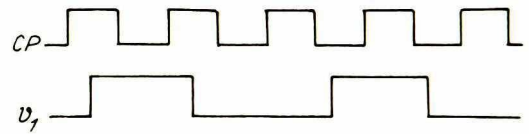
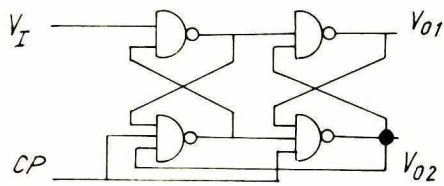
(Gợi ý : tham khảo hình 5-1-7a)



5-7. Xét sơ đồ logic dưới đây, hãy vẽ dạng sóng đầu ra V_o theo các dạng sóng CP và dạng sóng đầu vào V_i đã cho.

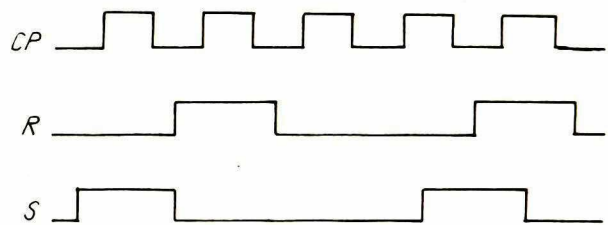


5-8. Xét sơ đồ logic dưới đây, hãy vẽ dạng sóng đầu ra tương ứng với dạng sóng CP, V_I đã cho.

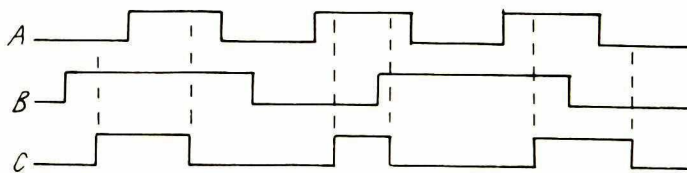
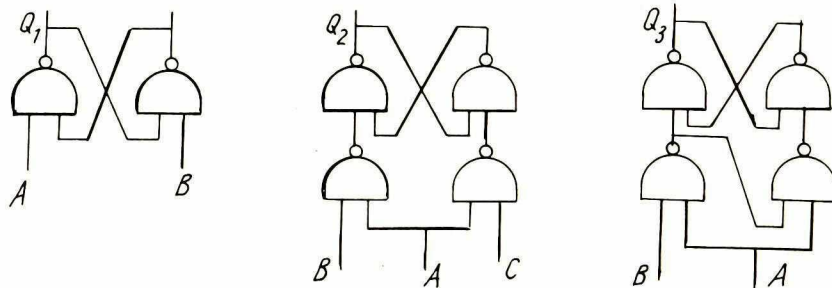


5-9. Xét sơ đồ FFRS đồng bộ hình 5-1-5. Giả sử trạng thái đầu của FF là 0. Hãy vẽ dạng sóng Q, $\bar{Q}$ tương ứng với dạng sóng CP, R, S đã cho dưới đây :

5-10. Cùng với các dạng sóng đã cho trong bài tập 5-9 (CP, R, S). Hãy vẽ dạng sóng Q, $\bar{Q}$ của mạch điện hình 5-1-7.a

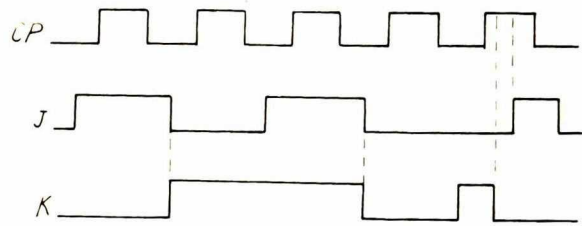


5-11. Cho các mạch điện có sơ đồ dưới đây và dạng sóng A, B, C. Hãy viết biểu thức hàm logic và vẽ dạng sóng của Q_1 , Q_2 , Q_3



5-12. Xét sơ đồ FFRS masterslave hình 5-1-8. Cho dạng sóng CP, R, S như ở bài tập 5-9. Hãy vẽ dạng sóng Q_m , $\bar{Q}_m$, q, $\bar{q}$ tương ứng.

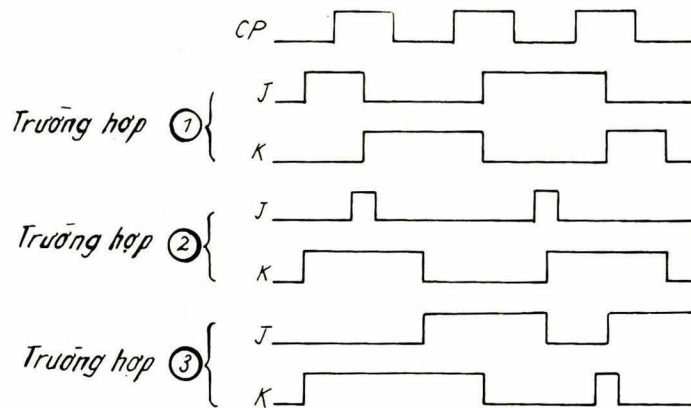
5-13. Xét sơ đồ FFJK masterslave hình 5-1-9. Giả sử trạng thái đầu của FF là 0. Hãy vẽ dạng sóng Q, $\bar{Q}$ tương ứng với dạng sóng CP, J, K cho dưới đây



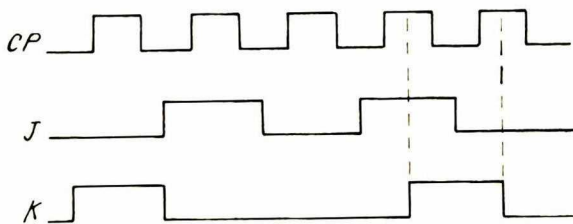
5-14. Tiếp tục xét sơ đồ hình 5-1-9.

1- Thế nào là vấn đề "một lần chuyển". Hãy thuyết minh điều này dựa vào sơ đồ logic.

2- Hãy vẽ dạng sóng Q (giả sử trạng thái đầu là 0) trong ba trường hợp dưới đây.



5-15. Xét sơ đồ FFJK masterslave IC hình 5-1-11.

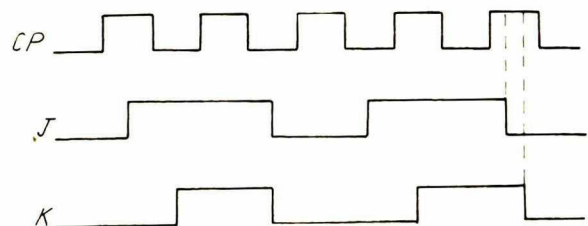


Cho dạng sóng CP, $J = J_1 \cdot J_2 \cdot J_3$
 $K = K_1 \cdot K_2 \cdot K_3$ như hình bên.

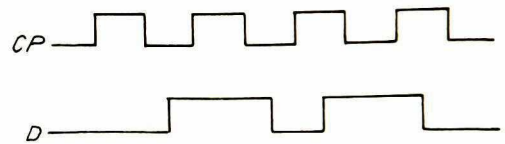
Giả thiết trạng thái ban đầu của FF là 1.

Hãy vẽ dạng sóng Q, $\bar{Q}$ tương ứng.

5-16. Xét sơ đồ FFJK kích bằng sườn hình 5-1-12. Cho dạng sóng CP, J, K như hình bên. Giả sử trạng thái đầu của FF là 0. Hãy vẽ dạng sóng Q, $\bar{Q}$.

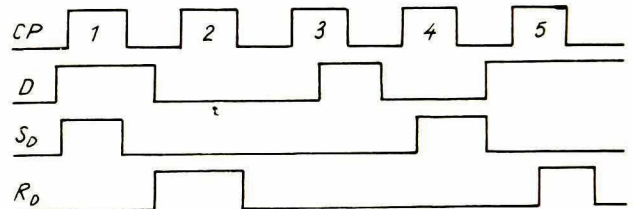


5-17. Xét sơ đồ FFD CMOS hình 5-1-16.
Cho dạng sóng CP, D như hình bên. Hãy vẽ
dạng sóng Q, $\bar{Q}$.

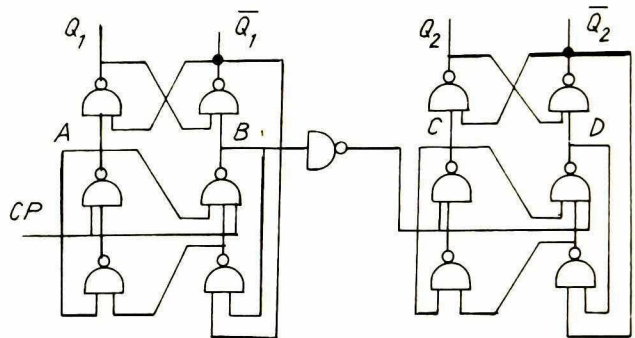


5-18. Xét sơ đồ FFJK CMOS hình 5-1-17.
Cho dạng sóng CP, J, K như trong bài tập
5-16. Hãy vẽ dạng sóng Q, $\bar{Q}$.

5-19. Xét sơ đồ FFD CMOS
hình 5-1-16. Cho dạng sóng CP,
D, S_D , R_D như hình bên. Hãy vẽ
dạng sóng Q, $\bar{Q}$.

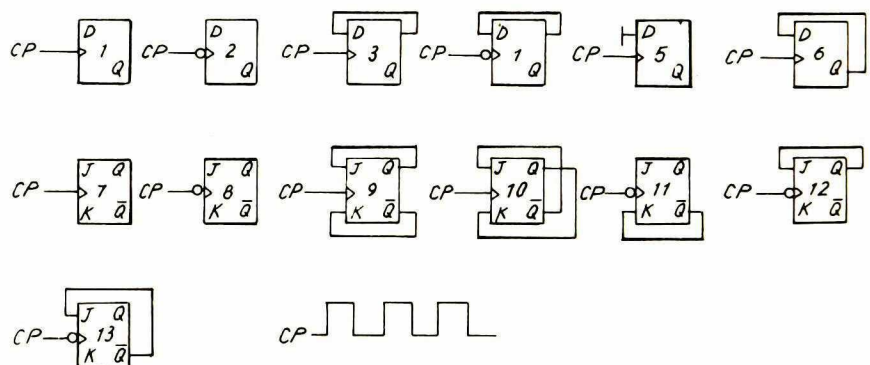


5-20. Giả thiết trạng thái ban
đầu $Q_1 = 0$, $Q_2 = 0$. Hãy vẽ dạng
sóng ở các điểm A, B, Q_1 , $\bar{Q}_1$, C,
D, Q_2 , $\bar{Q}_2$ trên mạch điện.



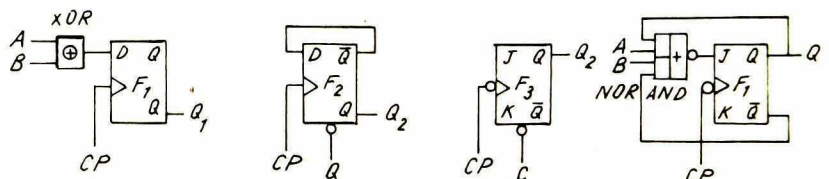
5-21. Có những phương pháp
nào miêu tả chức năng logic của
Flip Flop.

5-22. Giả thiết trạng thái ban đầu của các FF là 0. Hãy vẽ dạng sóng Q.



5-23. Cho các sơ
đồ :

F_1 , F_2 là FFD
 F_3 , F_4 là FFJK
masterslave

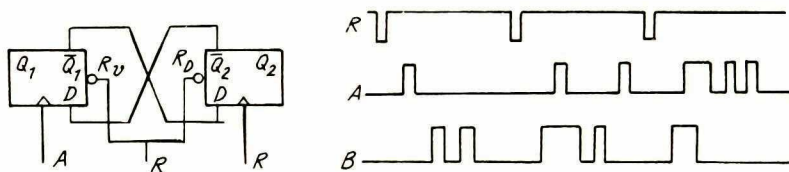


1- Hãy viết biểu thức hàm logic trạng thái tiếp theo Q^{n+1} của các FF.

2- Cho dạng sóng A, B, C, CP như hình bên. C đưa đến đầu $\bar{S}_D$ của hình F_2 , đầu $\bar{R}_D$ của hình F_3 . Hãy vẽ dạng

sóng Q của các mạch F_1, F_2, F_3, F_4 .

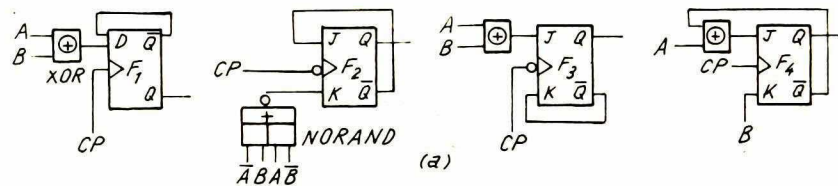
5-24. Hãy vẽ dạng sóng Q_1, Q_2 của mạch điện dưới đây tương ứng với các dạng sóng đã cho.



5-25. Cho các sơ đồ và dạng sóng

1. Hãy viết biểu thức hàm logic trạng thái tiếp theo Q^{n+1} của các FF.

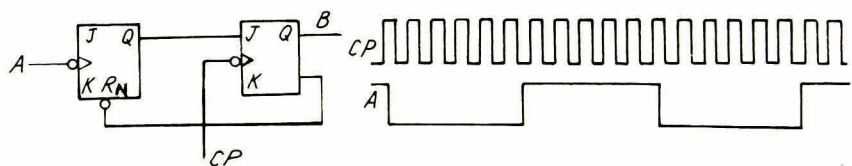
2. Giả thiết trạng thái ban đầu của các FF là 0. Hãy vẽ dạng sóng Q tương ứng.



5-26. Hãy vẽ mạch điện các Flip Flop từ RS masterslave chuyển đổi thành D, T, T' và JK.

5-27. Cho sơ đồ và dạng sóng

Giả sử trạng thái ban đầu của FF là 0. Hãy vẽ dạng sóng đầu ra B. So sánh dạng sóng A và B, thuyết minh chức năng mạch.



5-28. Nếu dùng FFD để cấu trúc mạch có chức năng như của mạch ở bài tập 5-27 trên đây thì nối mạch thế nào.

Chương 6

MẠCH DÂY

6.1. ĐẠI CƯƠNG VỀ MẠCH DÂY

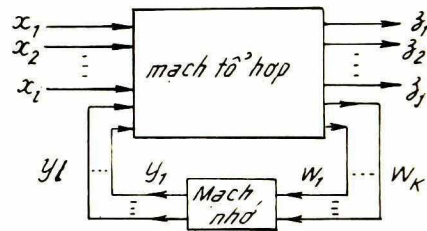
Căn cứ đặc điểm khác nhau về chức năng logic và cấu trúc mạch điện, mạch số được phân loại thành mạch tổ hợp (combinational Circuits) đã giới thiệu ở chương 4 và mạch dây (Sequential circuits) sẽ được trình bày trong chương này.

6.1.1. Đặc điểm và phương pháp miêu tả chức năng

1) Đặc điểm của mạch dây

Trong mạch số, một mạch điện được gọi là mạch dây nếu trạng thái đầu ra ổn định ở thời điểm xét bất kì không chỉ phụ thuộc vào trạng thái đầu vào thời điểm đó mà còn phụ thuộc cả vào trạng thái bản thân mạch điện ở thời điểm trước (trạng thái trong).

Mạch dây có đặc điểm nhất định phải bao gồm Flip Flop để nhớ trạng thái vốn có. Tư tưởng này thể hiện thành cấu trúc mạch như hình 6-1-1 gợi ý.



Hình 6-1-1. Sơ đồ khối mạch dây

2) Phương pháp miêu tả chức năng logic của mạch dây

Theo định nghĩa mạch dây trên đây, các Flip Flop đã được nghiên cứu ở chương 5 cũng là mạch dây, vì trạng thái đầu ra tiếp theo Q^{n+1} không chỉ phụ thuộc vào tín hiệu đầu vào mà còn phụ thuộc cả vào trạng thái (trong) Q^n vốn có. Phương pháp miêu tả chức năng logic của Flip Flop cũng thích hợp với mạch dây nói chung.

a) Phương trình logic

Xét hình 6-1-1, $X(x_1, x_2, \dots, x_i)$ là tín hiệu đầu vào ở thời điểm xét t_n , $Z(z_1, z_2, \dots, z_j)$ là tín hiệu đầu ra ở t_n , $W(w_1, w_2, \dots, w_k)$ là tín hiệu đầu vào mạch nhớ ở t_n (tức là tín hiệu kích đồng bộ của FF), $Y(y_1, y_2, \dots, y_c)$ là tín hiệu đầu ra mạch nhớ ở t_n (tức là trạng thái hiện tại của FF). Quan hệ giữa các tín hiệu trên đây có thể biểu thị bằng các hàm logic :

$$Z(t_n) = F(X(t_n), Y(t_n)) \quad (6-1-1)$$

$$Y(t_{n+1}) = F[W(t_n), Y(t_n)] \quad (6-1-2)$$

$$W(t_n) = H[X(t_n), Y(t_n)] \quad (6-1-3)$$

t_n và t_{n+1} là hai thời điểm gần nhau. Vì $y_1, y_2, \dots, y_c$ là trạng thái của FF cấu trúc mạch nhỏ, nên chúng được gọi là tín hiệu trạng thái, hay biến trạng thái, tương ứng hàm Y được gọi là vectơ trạng thái, (6-1-2) là phương trình trạng thái với $Y(t_{n+1})$ là trạng thái tiếp theo, $Y(t_n)$ là trạng thái hiện tại. Tương tự, (6-1-1) là phương trình đầu ra, (6-1-3) là phương trình kích. Nói riêng trường hợp Flip Flop, $X(t_n) = W(t_n)$, $Z(t_n) = Y(t_n)$. Vì vậy, chỉ riêng phương trình trạng thái (6-1-2) cũng đủ miêu tả chức năng logic của FF. Để phân biệt với mạch dây nối chung, ở chương 5, (6-1-2) của FF mang một tên chuyên biệt là phương trình đặc trưng, như ta đã gọi.

b) Bảng trạng thái

Bảng liệt kê mối quan hệ giữa $Z(t_n)$, $Y(t_{n+1})$ và $X(t_n)$, $Y(t_n)$ gọi là bảng trạng thái của mạch dây. (Riêng đối với FF, bảng trạng thái có tên riêng là bảng chức năng).

c) Đồ hình trạng thái

Đồ hình trạng thái là hình vẽ phản ánh quy luật chuyển đổi trạng thái và tình hình các giá trị đầu vào, đầu ra tương ứng của mạch dây.

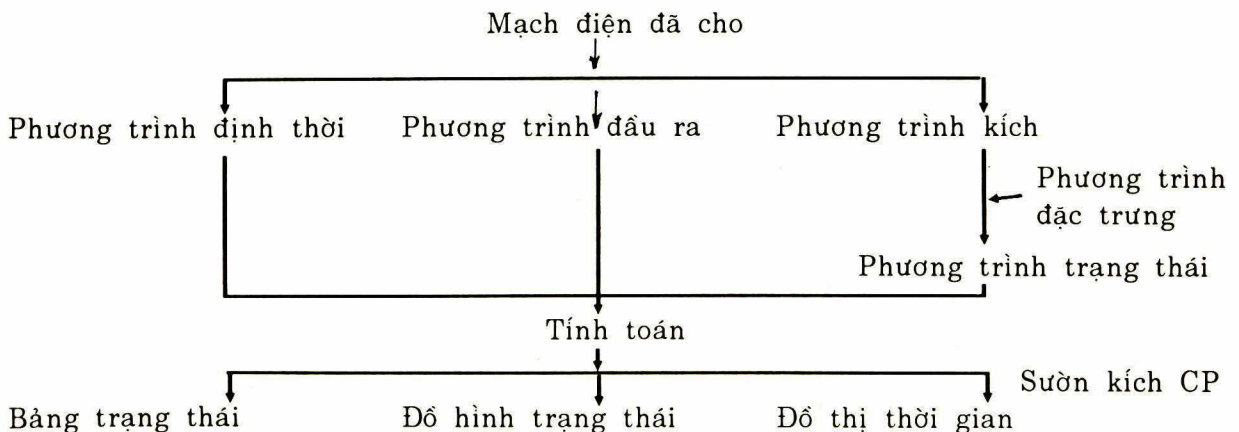
d) Đồ thị thời gian

Đồ thị thời gian còn gọi là dạng sóng công tác. Nó biểu thị trực quan mối quan hệ tương ứng các giá trị tín hiệu đầu vào, tín hiệu đầu ra, trạng thái mạch điện về thời gian.

Như sau này chúng ta sẽ rõ, 4 phương pháp trình bày trên đây về bản chất đều phản ánh chức năng logic mạch dây theo các khía cạnh khác nhau, chúng liên quan và chuyển đổi lẫn nhau. Có thể tùy ý chọn dùng tùy theo tình hình cụ thể. Cũng cần lưu ý thêm rằng bảng Karnaugh có thể miêu tả chức năng logic mạch dây một cách tiện lợi.

6.1.2. Phương pháp cơ bản phân tích chức năng logic mạch dây

Nhiệm vụ phân tích là tìm ra bảng trạng thái, đồ hình trạng thái, đồ thị thời gian của mạch dây đã cho, rồi xác định đặc điểm công tác và chức năng logic của nó. Hình 6-1-2 là sơ đồ gợi ý về quá trình phân tích này.



Hình 6-1-2. Sơ đồ gợi ý quá trình phân tích mạch dây.

Dưới đây đưa ra quy trình phân tích 4 bước :

1- Viết phương trình

Căn cứ vào mạch điện đã cho, viết phương trình định thời, phương trình đầu ra, phương trình kích, cũng tức là các công thức logic của tín hiệu định thời (đồng hồ), tín hiệu đầu ra và tín hiệu đầu vào.

2- Tìm phương trình trạng thái

Thay phương trình kích vào phương trình đặc trưng của Flip Flop tương ứng, ta sẽ tìm được phương trình trạng thái của mạch điện, cũng tức là phương trình trạng thái tiếp theo của các Flip Flop. Vì rằng trạng thái mạch dây bất kì đều nhờ các Flip Flop cấu trúc tạo ra mạch dây đó mà có được khả năng nhớ.

3- Tính toán

Đưa tất cả các tổ hợp có thể của trạng thái hiện tại và tín hiệu đầu vào vào phương trình trạng thái và phương trình đầu ra, rồi tiến hành tính toán, tìm ra trạng thái tiếp theo và tín hiệu đầu ra tương ứng. Ở đây có 4 điều chú ý :

- Điều kiện định thời tích cực của phương trình trạng thái
- Trạng thái hiện tại của mạch điện, tức là tổ hợp các trạng thái hiện tại của các FF cấu trúc nên mạch xét.
- Không bỏ sót một tổ hợp có thể nào của trạng thái hiện tại và tín hiệu đầu vào.
- Căn cứ vào giá trị ban đầu đã cho (hoặc tự cho) của trạng thái hiện tại và tín hiệu đầu vào mà tính toán lần lượt các trạng thái tiếp theo nhau.

4- Vẽ đồ hình trạng thái (hoặc bảng trạng thái, hoặc đồ thị thời gian). Xem xét kết quả tính toán, rồi vẽ đồ hình trạng thái. Ở đây cần chú ý 3 điều :

- Chuyển đổi trạng thái từ hiện tại đến tiếp theo, chứ không phải là từ hiện tại đến hiện tại, hoặc từ tiếp theo đến tiếp theo.
- Tín hiệu đầu ra là hàm số của trạng thái hiện tại, chứ không phải là hàm số của trạng thái tiếp theo.
- Vẽ đồ thị thời gian cần lưu ý rằng FF chỉ chuyển đổi trạng thái tương ứng với sườn kích của xung đồng hồ xuất hiện.

Quy trình 4 bước trên đây là chung, không bắt buộc phải tuân theo máy móc, mà nên vận dụng linh hoạt tùy tình huống cụ thể.

6.2. BỘ ĐẾM

6.2.1. Đặc điểm và phân loại bộ đếm

1) Đặc điểm cơ bản

Đếm là khả năng nhớ được số xung đầu vào ; mạch điện thực hiện thao tác đếm được gọi là bộ đếm.

Đếm là một thao tác cơ bản cực kì quan trọng. Vậy bộ đếm được sử dụng vô cùng rộng rãi, từ các thiết bị đo chỉ thị số đến các máy tính điện tử số loại lớn, bất kì hệ thống số hiện đại nào đều hiện diện bộ đếm.

2) Phân loại

Căn cứ vào sự khác biệt của tình huống chuyển đổi trạng thái các Flip Flop trong bộ đếm, người ta phân thành hai loại lớn : bộ đếm đồng bộ và bộ đếm dị bộ. Trong bộ đếm đồng bộ, các Flip Flop đều chịu tác động điều khiển của một xung đồng hồ duy nhất, đó là xung đếm đầu vào. Vậy sự chuyển đổi trạng thái của chúng là đồng bộ. Bộ đếm dị bộ thì khác, có Flip Flop chịu tác động điều khiển trực tiếp của xung đếm đầu vào, nhưng cũng có FF chịu tác động điều khiển của xung đầu ra của FF khác (có vai trò định thời của xung đồng hồ). Vậy sự chuyển đổi trạng thái của các FF không cùng lúc, tức là dị bộ.

Căn cứ vào sự khác biệt về hệ số đếm của bộ đếm, người ta phân thành các loại : Bộ đếm nhị phân, bộ đếm thập phân, bộ đếm N phân. Nếu gọi n là số chữ số vị trí trong mã số nhị phân, (cũng tức là số Flip Flop có trong bộ đếm), gọi N là số trạng thái tích cực (cũng tức là số trạng thái mã hóa đã được dùng khi lập mã) thì đối với bộ đếm nhị phân $N = 2^n$, đối với bộ đếm thập phân $N = 10$. Bộ đếm nhị phân và bộ đếm thập phân là trường hợp riêng của bộ đếm N phân. Ta thường gọi N là dung lượng bộ đếm hoặc độ dài đếm bộ đếm, hoặc hệ số đếm.

Căn cứ tác động của xung đếm đầu vào mà số đếm của bộ đếm tăng hay giảm mà người ta phân thành ba loại : Bộ đếm thuận, bộ đếm nghịch, bộ đếm thuận nghịch. (Bộ đếm thuận : Up Counter, bộ đếm nghịch : Down Counter)

6.2.2. Bộ đếm đồng bộ

1) Bộ đếm nhị phân đồng bộ

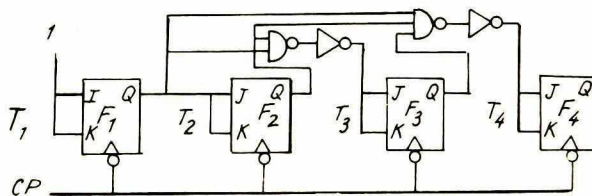
Bộ đếm nhị phân đồng bộ nói chung cấu trúc bằng Flip Flop T.

a) Bộ đếm thuận nhị phân đồng bộ

Cấu trúc mạch :

Hình 6-2-1 dưới đây là bộ đếm thuận nhị phân đồng bộ 4 chữ số.

Bộ đếm cấu trúc bằng 4FFJK nối thành loại T và 4 cổng NAND, CP là xung đếm đầu vào ; chỉ có các đầu ra Q, $\bar{Q}$ của FF.



Nguyên lí làm việc :

Hình 6-2-1. Bộ đếm nhị phân đồng bộ 4 chữ số.

Viết phương trình

$$\text{Phương trình định thời } CP_1 = CP_2 = CP_3 = CP_4 = CP \quad (6-2-1)$$

Xung đồng bộ của 4FF đều là xung đếm đầu vào. Trong mạch dây đồng bộ, các xung đồng hồ của các FF đều giống nhau, mỗi khi mạch điện chuyển đổi trạng thái, các điều kiện định thời nói chung đều bảo đảm, vậy nên phương trình định thời thường không cần viết ra.

- Phương trình đầu ra có thể không cần viết vì không có tín hiệu đầu ra nào khác ngoài $Q, \bar{Q}$.

- Phương trình kích

$$\left\{ \begin{array}{l} T_1 = 1 \\ T_2 = Q_1^n \\ T_3 = Q_1^n Q_2^n \\ T_4 = Q_1^n Q_2^n Q_3^n \end{array} \right. \tag{6-2-2}$$

Tìm phương trình trạng thái

Phương trình đặc trưng của Flip Flop T $Q^{n+1} = T \bar{Q}^n + \bar{T}Q^n$

Thay phương trình kích vào phương trình đặc trưng, ta có :

$$\left\{ \begin{array}{l} Q_1^{n+1} = T_1 \bar{Q}_1^n + \bar{T}_1 Q_1^n = 1 \bar{Q}_1^n + \bar{1} Q_1^n = \bar{Q}_1^n \\ Q_2^{n+1} = T_2 \bar{Q}_2^n + \bar{T}_2 Q_2^n = Q_1^n \bar{Q}_2^n + \bar{Q}_1^n Q_2^n \\ Q_3^{n+1} = T_3 \bar{Q}_3^n + \bar{T}_3 Q_3^n = Q_1^n Q_2^n \bar{Q}_3^n + \bar{Q}_1^n \bar{Q}_2^n Q_3^n \\ Q_4^{n+1} = T_4 \bar{Q}_4^n + \bar{T}_4 Q_4^n = Q_1^n Q_2^n Q_3^n \bar{Q}_4^n + \bar{Q}_1^n \bar{Q}_2^n \bar{Q}_3^n Q_4^n \end{array} \right. \tag{6-2-3}$$

Tính toán

Giả định các trạng thái $Q_4^n Q_3^n Q_2^n Q_1^n$ tuần tự, thay vào phương trình trạng thái (6-2-3), ta được bảng kết quả 6-2-1, đó là các trạng thái tiếp theo $Q_4^{n+1} Q_3^{n+1} Q_2^{n+1} Q_1^{n+1}$.

Bảng 6-2-1 : KẾT QUẢ TÍNH TOÁN

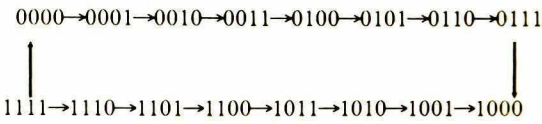
Q_4^n	Q_3^n	Q_2^n	Q_1^n	Q_4^{n+1}	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}
0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	0
0	0	1	0	0	0	1	1
0	0	1	1	0	1	0	0
0	1	0	0	0	1	0	1
0	1	0	1	0	1	1	0
0	1	1	0	0	1	1	1
0	1	1	1	1	0	0	1
1	0	0	0	1	0	0	1
1	0	0	1	1	0	1	0
1	0	1	0	1	0	1	1
1	0	1	1	1	1	0	0
1	1	0	0	1	1	0	1
1	1	0	1	1	1	1	0
1	1	1	0	1	1	1	1
1	1	1	1	0	0	0	0

Vẽ đồ hình trạng thái

Từ bảng 6-2-1 ta vẽ ngay được đồ hình trạng thái, đó là hình 6-2-2.

Nhận xét hình 6-2-2, ta thấy mạch điện 6-2-1 làm việc của bộ đếm nhị phân đồng bộ 4 chữ số

Hình 6-2-2. Đồ hình trạng thái của bộ đếm



Đặc điểm

Đặc điểm của bộ đếm đã nêu rõ trong tên "bộ đếm nhị phân đồng bộ 4 chữ số". Dưới đây trình bày thêm về sự chuyển vị của bộ đếm.

Chuyển vị song song

Mạch điện 6-2-1 thực hiện chuyển vị song song. Khái niệm chuyển vị đã dùng trong bộ cộng đủ, tổng của 1 với 1 là 0, với chuyển vị (nhớ) lên số có trọng số lớn hơn là 1. Từ góc độ phép cộng số nhị phân mà xét, quá trình công tác của bộ đếm có thể nói là không ngừng cộng số 1 vào số có trọng số bé nhất của số nhị phân, đồng thời tuần tự chuyển vị lên số có trọng số lớn hơn, kích FF tương ứng chuyển đổi trạng thái. Phương thức chuyển vị song song của mạch hình 6-2-1 thể hiện ở chỗ tín hiệu chuyển vị (nhớ) từ đầu ra Q của một FF đưa đến đầu vào của FF trọng số lớn bất kì đều chỉ có trễ truyền đạt hai cấp cổng $2t_{pd}$. Xét thêm yêu cầu CP duy trì mức cao t_{WH} , yêu cầu thời gian chuyển của FF t_{phl} , thì chu kỳ đếm ngắn nhất có thể của bộ đếm (tức là khoảng thời gian cực tiểu giữa hai sườn âm xung đếm liên kế) :

$$T_{MIN} = 2t_{pd} + t_{phl} + t_{WH} \quad (6-2-4)$$

Vậy tần số cao nhất của bộ đếm là

$$f_{MAX} = \frac{1}{T_{MIN}} \quad (6-2-5)$$

Nhược điểm của phương thức chuyển vị song song là phụ tải các FF không đều nhau, các FF trọng số càng bé thì phụ tải càng nặng, còn các FF trọng số càng lớn càng lảm đầu vào chuyển vị.

Chuyển vị nối tiếp

Xét mạch điện hình 6-2-3

Phương thức chuyển vị nối tiếp không có khuyết điểm nói trên của phương thức chuyển vị song song, tuy vậy, thời gian chuyển vị từ số trọng số bé nhất đến số trọng số lớn nhất lại kéo dài hơn.

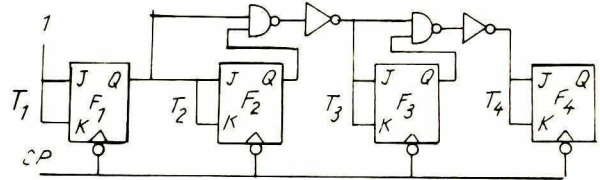
Giả sử có n trọng số, thời gian chuyển vị đó là thời gian tín hiệu chuyển vị đi qua $2(n - 2)$ cổng để từ FF trọng số bé nhất đến FF trọng số lớn nhất. Do đó tần số cực đại của bộ đếm chuyển vị nối tiếp tương đối thấp :

$$f_{MAX} = \frac{1}{2(n - 2) t_{pd} + t_{phl} + t_{WH}} \quad (6-2-6)$$

b) Bộ đếm nghịch nhị phân đồng bộ

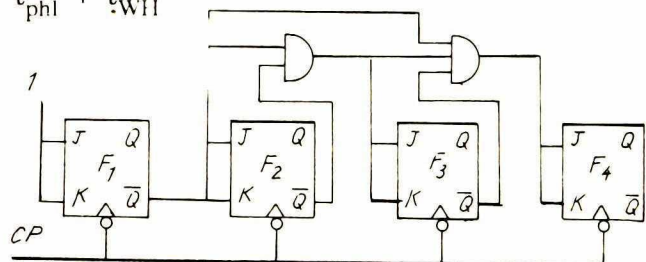
Sơ đồ logic Hình 6-2-4.

Tương tự như trên, dùng phương pháp phân tích cân bản để tìm đồ hình trạng thái, hình 6-2-5



Hình 6-2-3.

Bộ đếm thuận đồng bộ chuyển vị nối tiếp.



Hình 6-2-4. Bộ đếm nghịch nhị phân chuyển vị song song đồng bộ 4 chữ số.

Trong đồ hình trạng thái, con số trên dấu gạch xiên biểu thị trị số tín hiệu M điều khiển thuận/ngược, tương ứng $M = 1/10$.

(a)

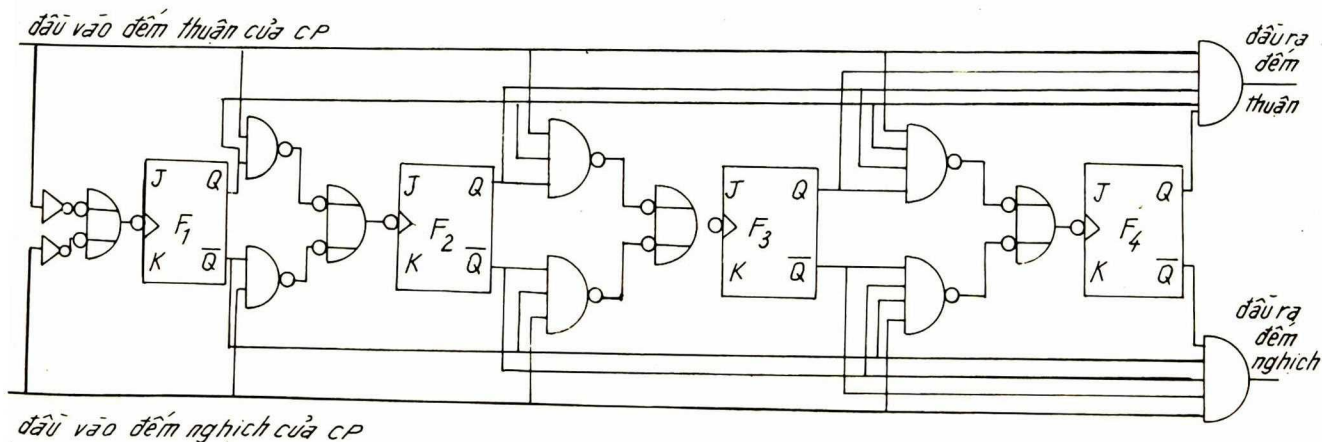
(b)

(c)

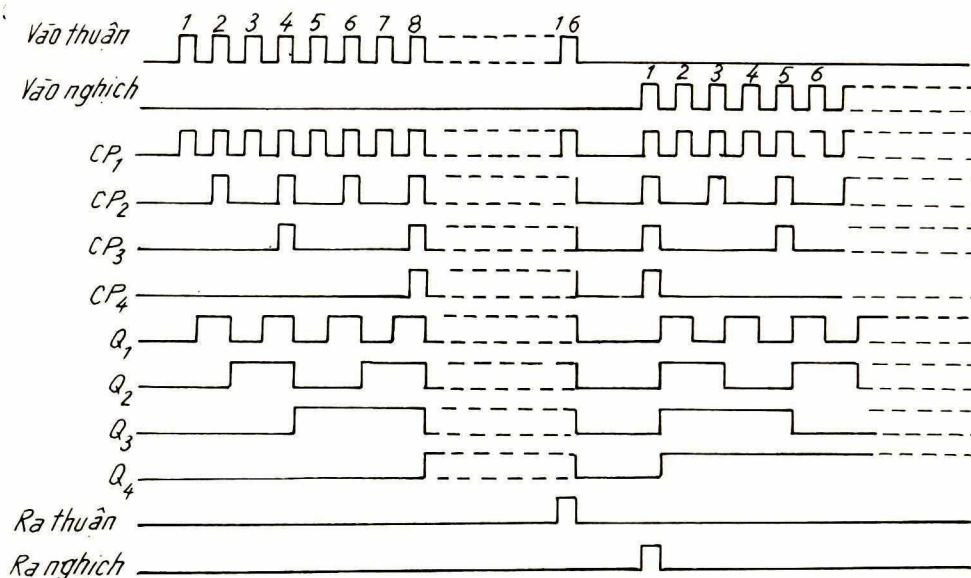
Đồ hình trạng thái của bộ đếm thuận
nghịch :

- a) Khi $M = 1$;
- b) Khi $M = 0$;
- c) Khi xét gộp $M = 0,1$.

Kiểu mạch có 2 đầu vào xung đồng hồ



Hình 6-2-8. Bộ đếm thuận nghịch 2 đầu vào xung đồng hồ.



Hình 6-2-9. Dạng sóng bộ đếm thuận nghịch 2 đầu vào xung đồng hồ.

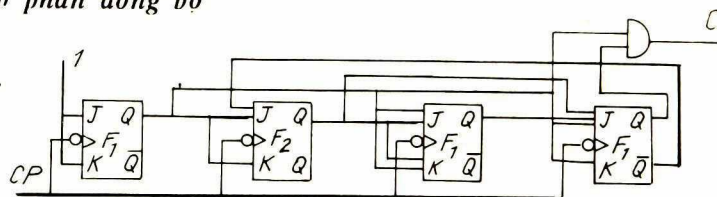
Xét sơ đồ hình 6-2-8. Mạch có hai đầu vào xung đếm (đồng hồ). Khi đưa xung đồng hồ vào đầu đếm thuận, lúc đó đầu đếm nghịch ở mức thấp, chỉ có các cổng điều khiển nửa trên thông, các cổng điều khiển nửa dưới ngắt, mạch thực hiện đếm thuận. Khi đưa xung đồng hồ vào đầu đếm nghịch, lúc đó đầu đếm thuận ở mức thấp, chỉ có các cổng điều khiển nửa dưới thông, các cổng điều khiển nửa trên ngắt, mạch thực hiện đếm nghịch.

Khi đếm thuận, xung chuyển vị (đầu ra thuận) sinh ra vào lúc từ mã $Q_4Q_3Q_2Q_1 = 1111$ ($= 15_{10}$) chuyển thành $Q_4Q_3Q_2Q_1 = 0000$. Khi đếm nghịch, xung chuyển vị (đầu ra nghịch) sinh ra vào lúc từ mã $Q_4Q_3Q_2Q_1 = 0000$ chuyển thành $Q_4Q_3Q_2Q_1 = 1111$ ($= 15_{10}$). Xem dạng sóng bộ đếm trên hình 6-2-9.

Nếu cần tăng dung lượng đếm thì có thể mắc dây chuyển (nối tiếp nhau) các mạch đếm hình 6-2-8; trong mạch mắc dây chuyển, đầu ra đếm thuận của bộ đếm phía trước nối vào đầu vào đếm thuận của bộ đếm sau liền kề, đầu ra đếm nghịch của bộ đếm phía trước nối vào đầu vào đếm nghịch của bộ đếm sau liền kề.

Trên cơ sở mạch điện hình 6-2-8, người ta thêm các đầu vào xóa, lập, vào số liệu; người ta cũng dẫn tín hiệu đầu ra của Q của 4 Flip Flop ra ngoài, do đó tạo thành IC bộ đếm 4 bit, chẳng hạn T1193.

2) Bộ đếm thập phân đồng bộ



Hình 6-2-10. Bộ đếm thuận thập phân đồng bộ.

Bộ đếm thập phân là bộ đếm theo mã nhị - thập phân. Vì tương ứng với nhiều kiểu mã hóa của mã nhị - thập phân, nên cũng có nhiều kiểu bộ đếm thập phân khác nhau. Ở đây chỉ giới thiệu bộ đếm thập phân dùng mã nhị - thập phân 8421.

a) Bộ đếm thuận thập phân đồng bộ (Hình 6-2-10)

Cấu trúc mạch điện :

Mạch điện cấu trúc bằng 4 Flip Flop JK và cổng chuyển vị (nhớ) đầu ra C, xung đếm đầu vào là CP.

Nguyên lí công tác

Viết phương trình

Phương trình định thời

$$CP_1 = CP_2 = CP_3 = CP_4 = CP$$

$$C = Q_4^n Q_1^n \tag{6-2-7}$$

Phương trình kích

$$\left\{ \begin{array}{l} J_1 = \overline{K_1} = 1 \\ J_2 = Q_4^n Q_1^n \qquad K_2 = Q_1^2 \\ J_3 = K_3 = Q_2^n Q_1^n \\ J_4 = Q_3^n Q_2^n Q_1^n K_4 = Q_1^n \end{array} \right. \tag{6-2-8}$$

(đầu vào J của F₄ trên hình 6-2-10 vẽ 3 đường, có thể hiểu rằng ở đó có cổng AND 3 đầu vào tương ứng)

Tìm phương tình trạng thái

$$\left\{ \begin{array}{l} Q_1^{n+1} = J_1 \overline{Q_1^n} + \overline{K_1} Q_1^n = \overline{Q_1^n} \\ Q_2^{n+1} = J_2 \overline{Q_2^n} + \overline{K_2} Q_2^n = Q_4^n Q_1^n \overline{Q_2^n} + \overline{Q_1^n} Q_2^n \\ Q_3^{n+1} = J_3 \overline{Q_3^n} + \overline{K_3} Q_3^n = Q_2^n Q_1^n \overline{Q_3^n} + \overline{Q_2^n} Q_1^n Q_3^n \\ Q_4^{n+1} = J_4 \overline{Q_4^n} \overline{K_4} Q_4^n = Q_3^n Q_2^n Q_1^n \overline{Q_4^n} + \overline{Q_1^n} Q_4^n \end{array} \right. \tag{6-2-9}$$

Tính toán

Bắt đầu từ giá trị Q₄ⁿ Q₃ⁿ Q₂ⁿ Q₁ⁿ = 0000, thay vào phương trình trạng thái (6-2-9) và phương trình đầu ra (6-2-7), ta được kết quả ở bảng 6-2-2

Bảng 6-2-2 : KẾT QUẢ TÍNH TOÁN

Q ₄ ⁿ	Q ₃ ⁿ	Q ₂ ⁿ	Q ₁ ⁿ	Q ₄ ⁿ⁺¹	Q ₃ ⁿ⁺¹	Q ₂ ⁿ⁺¹	Q ₁ ⁿ⁺¹	C
0	0	0	0	0	0	0	1	0
0	0	0	1	0	0	1	0	0
0	0	1	0	0	0	1	1	0
0	0	1	1	0	1	0	0	0
0	1	0	0	0	1	0	1	0
0	1	0	1	0	1	1	0	0
0	1	1	0	0	1	1	1	0
0	1	1	1	1	0	0	0	0
1	0	0	0	1	0	0	1	0
1	0	0	1	0	0	0	0	1

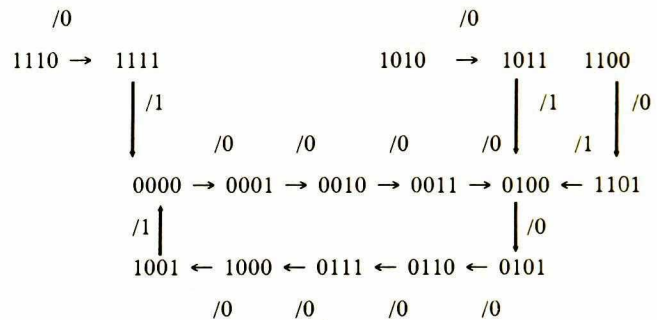
1	0	1	0	1	0	1	1	0
1	0	1	1	0	1	0	0	1
1	1	0	0	1	1	0	1	0
1	1	0	1	0	1	0	0	1
1	1	1	0	1	1	1	1	0
1	1	1	1	0	0	0	0	1

Đồ hình trạng thái

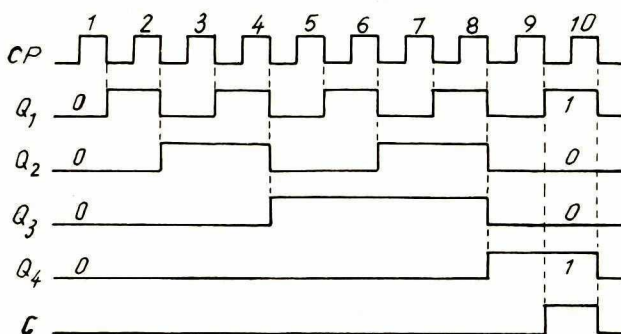
Căn cứ vào bảng 6-2-2, ta có quan hệ chuyển đổi trạng thái Q^n sang Q^{n+1} và giá trị đầu ra C, do đó vẽ được đồ hình trạng thái hình 6-2-11.

Cần lưu ý rằng, những trạng thái liên tiếp nhau của mạch điện, một trạng thái ở thời điểm xét là Q^{n+1} đối với trạng thái trước liền kề (ở phía trái bảng 6-2-2), đồng thời là Q^n đối với trạng thái sau liền kề (ở phía phải bảng 6-2-2), vậy nên trong hai hàng liền nhau của bảng 6-2-2, một trạng thái ở phía phải hàng trên sẽ đồng thời ở phía trái hàng dưới. Kết quả, khi vẽ đồ hình trạng thái ta phải không bỏ sót bất kì trạng thái khả dĩ nào để có hình 6-2-11.

Nhận xét hình 6-2-11 : Mạch điện ở hình 6-2-10 đúng là bộ đếm thập phân dùng mã 8421. Xem đồ thị dạng sóng hình 6-2-12.



Hình 6-2-11. Đồ hình trạng thái của bộ đếm thập phân đồng bộ.



Hình 6-2-12.

Dạng sóng bộ đếm thập phân dùng mã 8421.

mạch điện trở về trạng thái 0000. Tất nhiên Flip Flop hàng chục cũng được kích bằng sườn âm.

Trạng thái được sử dụng, trạng thái cấm, tự khởi động

Như đã từng nói trước đây, những trạng thái từ mã được dùng khi mã hóa (biên mã) gọi là trạng thái được sử dụng, những trạng thái từ mã không được dùng khi mã hóa gọi là trạng thái cấm. Trong hình 6-2-11, các trạng thái từ mã 1010 ÷ 1111 là trạng thái cấm, vì chúng không được dùng khi mã hóa 8421.

Khi vì một nguyên nhân nào đó, chẳng hạn do nhiễu gây ra, mạch điện rơi vào trạng thái cấm, dưới tác động của xung đồng hồ CP, mà mạch điện có thể trở lại trạng thái được sử dụng, ta nói mạch đã có thể tự khởi động.

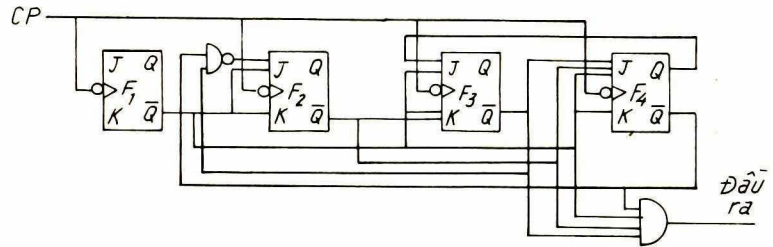
Dưới tác dụng của xung đếm đầu vào, bộ đếm vẫn công tác tuần hoàn. Ở tình huống bình thường, sự tuần hoàn đều đặn theo chu kỳ về trạng thái ban đầu mỗi chu kỳ gọi là sự tuần hoàn được sử dụng. Ngược lại, sự tuần hoàn trong trạng thái cấm gọi là sự tuần hoàn cấm. Chúng ta sẽ rõ thêm tình huống này khi trao đổi ở tiết 6-3 sau đây.

Hình 6-2-11 chứng tỏ rằng bộ đếm thuận thập phân theo mã 8421 nói ở trên là có thể tự khởi động.

b) Bộ đếm nghịch thập phân đồng bộ

Mạch điện hình 6-2-13 khá đơn giản, chúng ta dễ dàng phân tích theo phương pháp tương tự đã dùng ở trên.

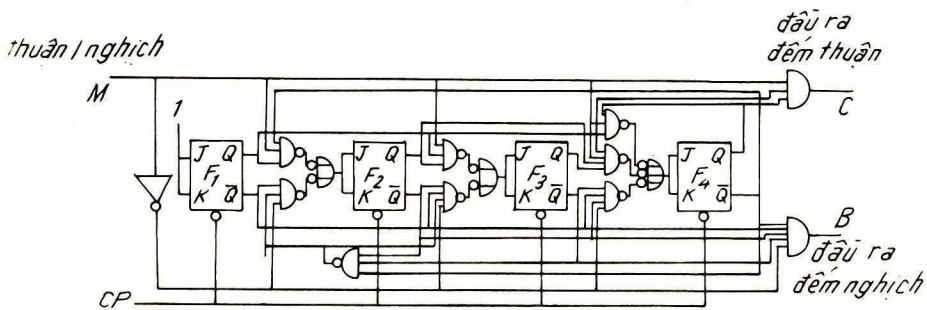
Có hai cách để cấu trúc bộ đếm thập phân đồng bộ nhiều số từ bộ đếm 1 số. Cách thứ nhất là nối dây chuyển các bộ đếm 1 số, đầu ra của bộ đếm trọng số bé nối với đầu vào bộ đếm trọng số lớn tiếp theo. Sự làm việc của bộ đếm 1 số là đồng bộ, nhưng sự làm việc giữa chúng là dị bộ.



Hình 6-2-13. Bộ đếm nghịch thập phân đồng bộ.

Cách thứ hai là nối đầu ra của bộ đếm trọng số bé với tất cả các đầu vào đồng bộ của 4FF bộ đếm trọng số lớn tiếp theo, cũng nối đến đầu vào cổng chuyển vị đầu ra của bộ đếm này, còn các xung đồng hồ của các bộ đếm đều là xung đếm đầu vào CP. Trong cách thứ hai, không những từng bộ đếm 1 số là đồng bộ, mà sự làm việc của toàn bộ mạch nối ghép để đếm nhiều số cũng là đồng bộ.

c) Bộ đếm thuận nghịch thập phân đồng bộ



Hình 6-2-14. Bộ đếm thuận nghịch thập phân đồng bộ kiểu điều khiển thuận/ngược.

Xét hình 6-2-14. 4FFJK mắc thành các FFT.

Khi tín hiệu thuận/ngược $M = 1$, bộ đếm là thuận, $M = 0$ bộ đếm là nghịch.

Phương trình định thời $CP_1 = CP_2 = CP_3 = CP_4 = CP$ (6-2-10)

Phương trình đầu ra $C = M Q_4^n Q_1^n$ (6-2-11)

$$B = \overline{M} \overline{Q_4^n} \overline{Q_3^n} \overline{Q_2^n} \overline{Q_1^n} \quad (6-2-12)$$

Phương trình kích

$$\left\{ \begin{array}{l} T_1 = 1 \\ T_2 = \overline{\overline{M Q_1^n Q_4^n}} + \overline{\overline{M Q_1^n Q_2^n Q_3^n Q_4^n}} \\ \quad = \overline{M Q_1^n Q_4^n} + \overline{M Q_1^n (Q_2^n + Q_3^n + Q_4^n)} \\ T_3 = \overline{\overline{M Q_1^n Q_2^n}} + \overline{\overline{M Q_1^n Q_2^n Q_2^n Q_3^n Q_4^n}} \\ \quad = \overline{M Q_1^n Q_2^n} + \overline{M Q_1^n Q_2^n (Q_3^n + Q_4^n)} \\ T_4 = \overline{\overline{M Q_1^n Q_4^n}} + \overline{\overline{M Q_1^n Q_2^n Q_3^n}} + \overline{\overline{M Q_1^n Q_2^n Q_3^n}} \\ \quad = \overline{M (Q_1^n Q_4^n + Q_1^n Q_2^n Q_3^n)} + \overline{M Q_1^n Q_2^n Q_3^n} \end{array} \right. \quad (6-2-13)$$

Với $M = 1$, từ (6-12-11), (6-12-12), (6-12-13) ta có :

$$C = Q_4^n Q_1^n \quad B = 0 \quad (6-2-14)$$

$$T_1 = 1 \quad T_2 = Q_1^n \overline{Q_4^n} \quad T_3 = Q_1^n Q_2^n \quad T_4 = Q_1^n Q_4^n + Q_1^n Q_2^n Q_3^n \quad (6-2-15)$$

Thay giá trị (6-2-15) vào phương trình đặc trưng của FFT là

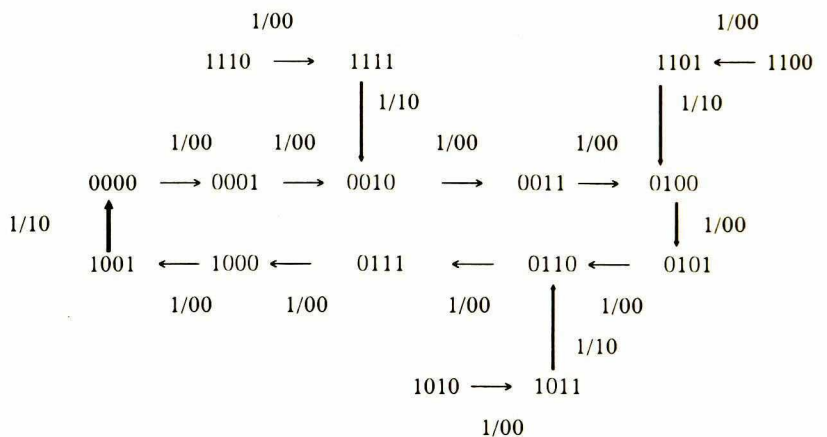
$$Q^{n+1} = T Q^n + \overline{T} \overline{Q^n}$$

Ta có : $Q_1^{n+1} = \overline{Q_1^n} \quad Q_2^{n+1} = Q_1^n \overline{Q_4^n} \overline{Q_2^n} + \overline{Q_1^n} \overline{Q_4^n} Q_2^n$

$$Q_3^{n+1} = Q_1^n Q_2^n \overline{Q_3^n} + \overline{Q_1^n} \overline{Q_2^n} Q_3^n Q_4^{n+1} = (Q_1^n Q_4^n + Q_1^n Q_2^n Q_3^n) \overline{Q_4^n} + \overline{Q_1^n} \overline{Q_4^n} + \overline{Q_1^n} Q_2^n Q_3^n Q_4^n \quad (6-2-16)$$

Giả định trạng thái hiện tại, tuần tự thay vào (6-12-14) và (6-12-16) để tính toán, kết quả ta có đồ hình trạng thái hình 6-2-15.

Có thể thấy rằng, khi $M = 1$, mạch điện thực hiện đếm thuận thập phân theo mã 8421 và có thể tự khởi động.



Hình 6-2-15.

Đồ hình trạng thái khi $M = 1$.

(Giải thích kí hiệu bên cạnh mũi tên : M/CB)

Khi $M = 0$, từ (6-2-11) (6-2-12) (6-2-13), ta có :

$$C = 0 \quad B = \overline{Q_4^n} \overline{Q_3^n} \overline{Q_2^n} \overline{Q_1^n} \quad (6-2-17)$$

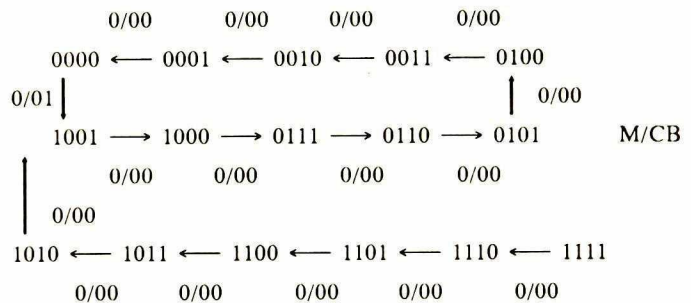
$$\begin{cases} T_1 = 1 ; T_2 = \overline{Q_1^n} (Q_2^n + Q_3^n + Q_4^n) \\ T_3 = \overline{Q_1^n} \overline{Q_2^n} (Q_3^n + Q_4^n) ; T_4 = \overline{Q_1^n} \overline{Q_2^n} \overline{Q_3^n} \end{cases} \quad (6-2-18)$$

Thay giá trị (6-2-18) vào phương trình đặc trưng của FFT, được phương trình trạng thái như sau :

$$\begin{cases} Q_1^{n+1} = \overline{Q_1^n} \\ Q_2^{n+1} = \overline{Q_1^n} (Q_2^n + Q_3^n + Q_4^n) \overline{Q_2^n} + \overline{Q_1^n} (Q_2^n + Q_3^n + Q_4^n) Q_2^n \\ \quad = \overline{Q_1^n} \overline{Q_2^n} (Q_3^n + Q_4^n) + Q_1^n Q_2^n \\ Q_3^{n+1} = \overline{Q_1^n} \overline{Q_2^n} (Q_3^n + Q_4^n) \overline{Q_3^n} + \overline{Q_1^n} \overline{Q_2^n} (Q_3^n + Q_4^n) Q_3^n \\ \quad = \overline{Q_1^n} \overline{Q_2^n} \overline{Q_3^n} Q_4^n + (Q_1^n + Q_2^n) Q_3^n \\ Q_4^{n+1} = \overline{Q_1^n} \overline{Q_2^n} \overline{Q_3^n} \overline{Q_4^n} + \overline{Q_1^n} \overline{Q_2^n} \overline{Q_3^n} Q_4^n \end{cases} \quad (6-2-19)$$

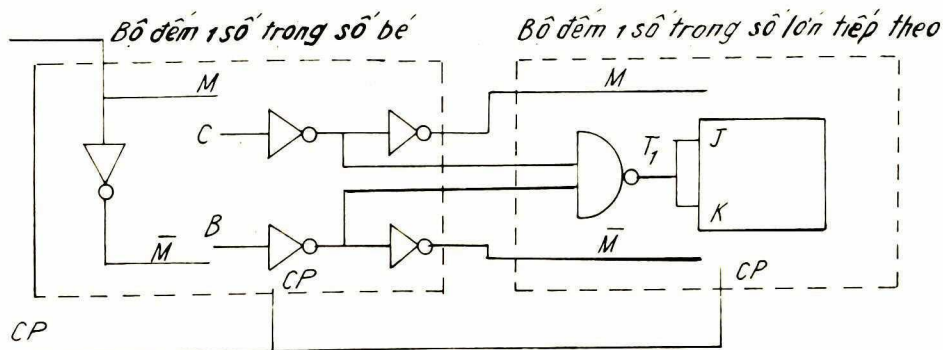
Giả định trạng thái hiện tại, tuần tự thay vào (6-2-17) và (6-2-19) để tính toán, kết quả ta có đồ hình trạng thái hình 6-2-16.

Có thể thấy rằng, khi $M = 0$, mạch điện thực hiện đếm nghịch thập phân theo mã 8421 và có thể tự khởi động.



Hình 6-2-16.

Đồ hình trạng thái khi $M = 0$.



Hình 6-2-17. Cách ghép nối nhiều bộ đếm thuận nghịch thập phân đồng bộ 1 số thành nhiều số.

Phương pháp ghép nối nhiều bộ đếm thuận nghịch thập phân đồng bộ được trình bày ở hình 6-2-17.

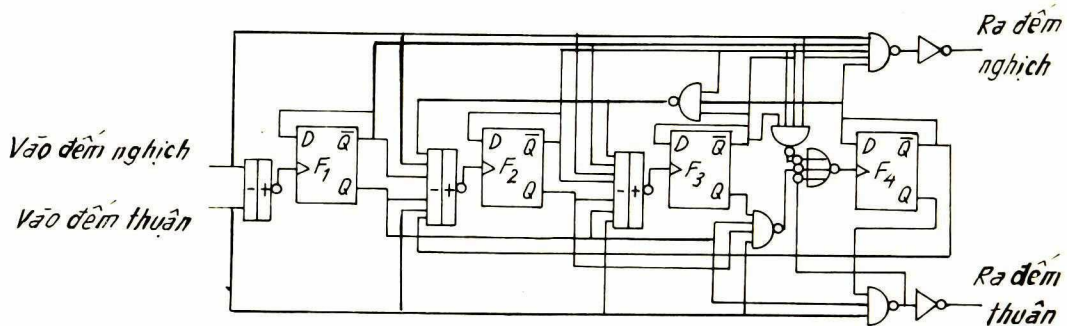
Khi bộ đếm trọng số bé $C = 1$ thì ở bộ đếm trọng số lớn $M = 1$, $T_1 = 1$, nó sẽ công tác chế độ đếm thuận.

Khi bộ đếm trọng số bé $B = 1$ thì ở bộ đếm trọng số lớn $\bar{M} = 1$, $T_1 = 1$, nó sẽ đếm nghịch.

Khi bộ đếm trọng số bé $C = B = 0$ thì ở bộ đếm trọng số lớn $M = \bar{M} = T_1 = 0$ và nó ngừng đếm.

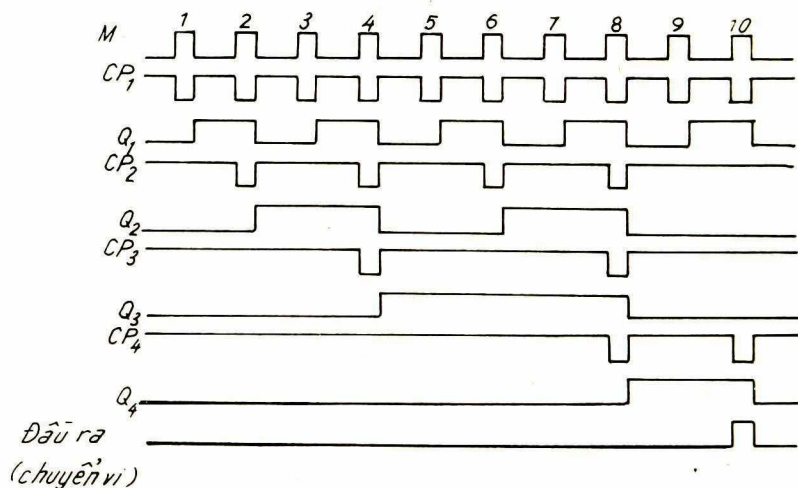
Xem lại hình 6-2-14, sơ đồ sử dụng Flip Flop T, xung CP liên tục đưa đến đồng thời tất cả đầu vào đồng hồ của các FF. Trạng thái đầu vào T quyết định sự chuyển đổi trạng thái của FF. $T = 1$ thì FF phải chuyển đổi, $T = 0$ thì FF phải không chuyển đổi.

Hình 6-2-18 dưới đây giới thiệu mạch điện bộ đếm thuận nghịch sử dụng Flip Flop T'.



Hình 6-2-18a. Sơ đồ logic bộ đếm thuận nghịch thập phân đồng bộ kiểu 2 đầu vào đồng hồ.

Flip Flop T' sẽ chuyển đổi trạng thái mỗi khi xung đồng hồ đến. Xung CP là phải đi qua các cổng điều khiển mới đến được đầu vào đồng hồ của FF. Vậy FF muốn lật thì cổng phải mở, FF cần giữ nguyên trạng thái thì cổng phải đóng. Xung đếm thuận, xung đếm nghịch được đưa đến bằng hai đầu vào riêng biệt. Khi đưa



Hình 6-2-18b.

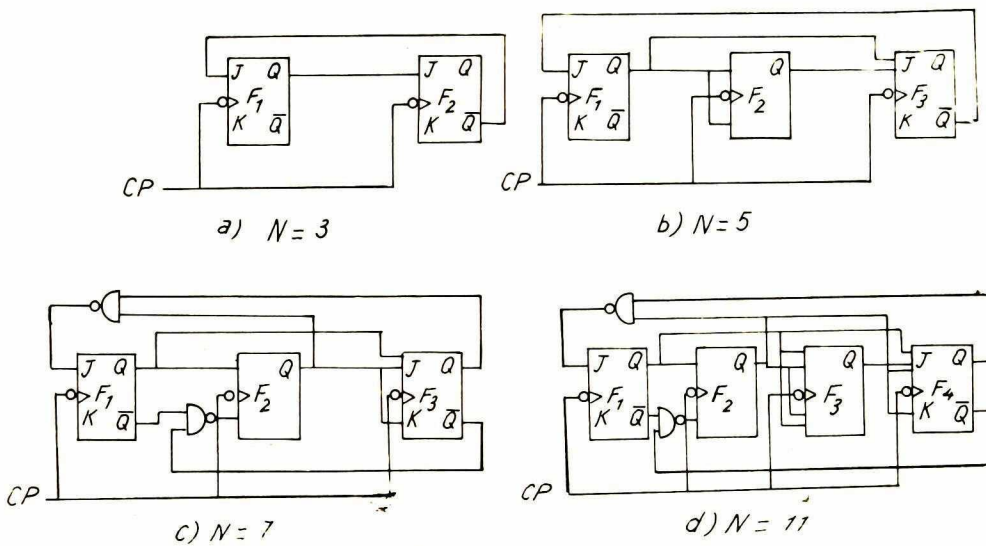
Dạng sóng bộ đếm hình 6-2-18a trường hợp đếm thuận.

vào xung đếm thuận thì bộ đếm thực hiện đếm thuận. Khi đưa vào đầu vào đếm nghịch thì bộ đếm đếm nghịch. Không cho phép hai đầu vào đồng thời có xung đếm. Khi ghép nối bộ đếm, chỉ cần nối đầu ra đếm thuận của bộ đếm 1 số trọng số bé với đầu vào đếm thuận của bộ đếm 1 số trọng số lớn hơn kế tiếp, tương tự cho đếm nghịch, nghĩa là nối dây chuyển.

Sử dụng phương pháp phân tích logic, tham khảo phần 6-2-2-1c, tương tự, ta có thể tìm đồ hình trạng thái của mạch điện hình 6-2-18a. Còn dạng sóng thì xem hình 6-2-18b.

3) Bộ đếm N phân đồng bộ

Sử dụng FF₁ ta có thể tùy ý xây dựng bộ đếm đồng bộ với hệ số đếm N bất kì (N phân) và dung lượng bất kì. Xem hình 6-2-19.



Hình 6-2-19. Bộ đếm đồng bộ N phân.

6.2.3. Bộ đếm dị bộ

1) Bộ đếm nhị phân dị bộ

Dem Flip Flop T' mắc dây chuyển với nhau thì được bộ đếm nhị phân dị bộ, kết cấu khá đơn giản.

a) Bộ đếm thuận nhị phân dị bộ

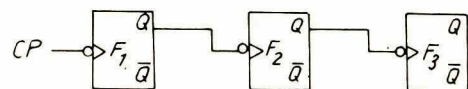
Cấu trúc mạch điện

Xem hình 6-2-20

Nguyên lí làm việc

Viết phương trình

Phương trình định thời $CP_1 = CP, CP_2 = Q_1, CP_3 = Q_2$ (6-2-20)



Hình 6-2-20. Bộ đếm thuận nhị phân dị bộ.

Flip Flop T' sẽ lật (chuyển đổi) mỗi khi xung đồng hồ xuất hiện.

Phương trình trạng thái

$$\begin{cases} Q_1^{n+1} = \overline{Q_1^n} \text{ với điều kiện xuất hiện sườn âm CP} \\ Q_2^{n+1} = \overline{Q_2^n} \text{ với điều kiện xuất hiện sườn âm } Q_1 \\ Q_3^{n+1} = \overline{Q_3^n} \text{ với điều kiện xuất hiện sườn âm } Q_2 \end{cases} \quad (6-2-21)$$

Trong (6-2-21) ghi rõ điều kiện định thời.

Tính toán

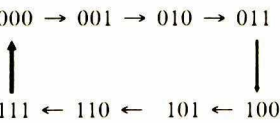
Giả thiết trạng thái ban đầu là $Q_3^n Q_2^n Q_1^n = 000$, tuần tự thay vào (6-2-21) để tính, ta được kết quả như bảng 6-2-3.

Bảng 6-2-3 : KẾT QUẢ TÍNH TOÁN

Q_3^n	Q_2^n	Q_1^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Điều kiện sườn âm
0	0	0	0	0	1	CP ₁
0	0	1	0	1	0	CP ₁ CP ₂
0	1	0	0	1	1	CP ₁
0	1	1	1	0	0	CP ₁ CP ₂ CP ₃
1	0	0	1	0	1	CP ₁
1	0	1	1	1	0	CP ₁ CP ₂
1	1	0	1	1	1	CP ₁
1	1	1	0	0	0	CP ₁ CP ₂ CP ₃

Lưu ý khi tính đến các điều kiện định thời : Chỉ với điều kiện xuất hiện sườn xung kích thì FF mới lật đúng như phương trình quy định, nếu không thì FF duy trì nguyên trạng (không lật). Ví dụ, khi $Q_3^n Q_2^n Q_1^n = 000$ và với điều kiện sườn âm xung đến đầu vào xuất hiện, do $CP_1 \equiv CP$ nên F_1 đủ điều kiện định thời để thực hiện lật theo phương trình $Q_1^{n+1} = \overline{Q_1^n}$, cụ thể $Q_1^n = 0$ nên $Q_1^{n+1} = 1$. Mà $CP_2 = Q_1$ tuy rằng F_1 lật từ 0 sang 1, nhưng FF kích bằng sườn âm, nghĩa là chưa thỏa mãn điều kiện định thời, nên F_2 duy trì nguyên trạng, $Q_2^{n+1} = Q_2^n = 0$. F_3 cũng không lật.

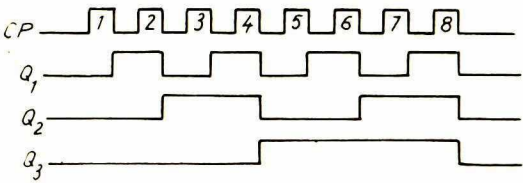
Lại xét trạng thái $Q_3^n Q_2^n Q_1^n = 011$ và với điều kiện xuất hiện sườn âm CP, F_1 lật trước, Q_1 xuất hiện sườn âm làm F_2 lật tiếp, Q_2 xuất hiện sườn âm làm F_3 lật sau cùng, trạng thái bộ đếm chuyển từ 011 thành 100. Trong bảng 6-2-3 có ghi chú điều kiện định thời được thỏa mãn khi bộ đếm chuyển trạng thái.



Hình 6-2-21.

Đồ hình trạng thái bộ đếm.

Vẽ đồ hình trạng thái (hình 6-2-21)



Hình 6-2-22.

Dạng sóng bộ đếm.

Hình 6-2-22 là dạng sóng, ta thấy rõ đặc điểm kích bằng sườn âm của các FF bộ đếm.

Nhận xét các hình 6-2-21 và 6-2-22 : Mạch điện hình 6-2-20 là sơ đồ bộ đếm thuận nhị phân 3 số nhị bộ.

Bộ đếm thuận nhị bộ kích bằng sườn dương (Hình 6-2-23)

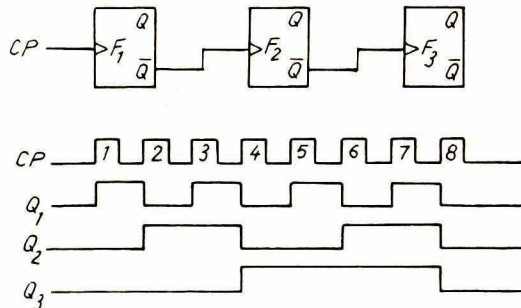
Nguyên lý công tác của sơ đồ mạch hình 6-2-23 cũng giống sơ đồ mạch hình 6-2-10. Những Flip Flop T' được sử dụng trong sơ đồ đòi hỏi phải kích bằng sườn dương. Vậy đầu vào của FF trọng số lớn phải nối với đầu ra đảo, $\bar{Q}$ của FF trọng số bé hơn kế tiếp.

$$CP_2 = \bar{Q}_1, \quad CP_3 = \bar{Q}_2$$

Chỉ cần chú ý đặc điểm điều kiện định thời kích bằng sườn dương thì ta dễ dàng hiểu được mạch đếm hình 6-2-23.

Hình 6-2-24 là sơ đồ mạch điện bộ đếm thuận nhị phân nhị bộ 3 số.

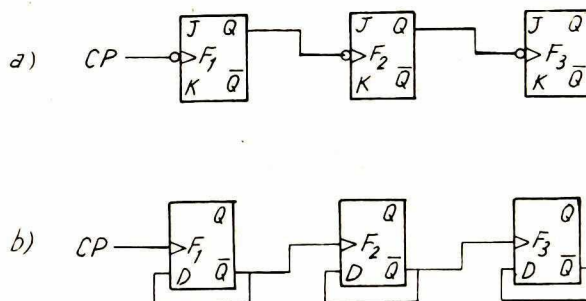
Ở đây Flip Flop T' được cấu trúc từ Flip Flop JK và Flip Flop D.



Hình 6-2-23. Bộ đếm thuận nhị phân nhị bộ kích bằng sườn dương.

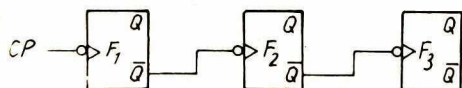
Hình 6-2-24.

- a) dùng Flip Flop JK ;
b) dùng Flip Flop D.



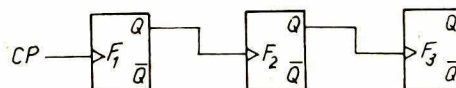
b) Bộ đếm nghịch nhị phân nhị bộ

Sơ đồ bộ đếm này trên hình 6-2-25 sử dụng Flip Flop T'.



Hình 6-2-25.

a) Kích bằng sườn âm ;

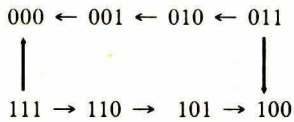


b) Kích bằng sườn dương.

Khi không ngừng đưa xung đếm CP vào bộ đếm nghịch, tình huống chuyển đổi trạng thái của mạch điện như bảng 6-2-4, đồ hình trạng thái hình 6-2-26 và dạng sóng hình 6-2-27

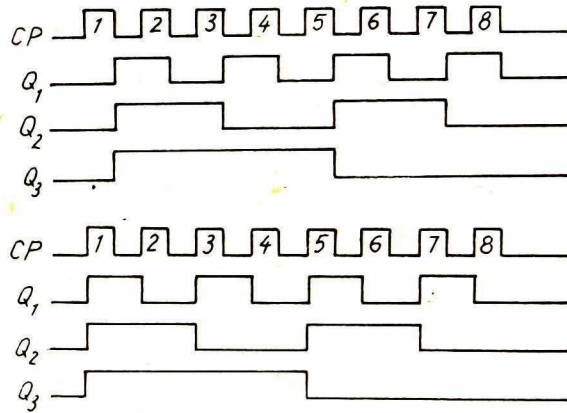
Bảng 6-2-4 : BẢNG CHỨC NĂNG

Q_3^n	Q_2^n	Q_1^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	
0	0	0	1	1	1	CP ₁ CP ₂ CP ₃
0	0	1	0	0	0	CP ₁
0	1	0	0	0	1	CP ₁ CP ₂
0	1	1	0	1	0	CP ₁
1	0	0	0	1	1	CP ₁ CP ₂ CP ₃
1	0	1	1	0	0	CP ₁
1	1	0	1	0	1	CP ₁ CP ₂
1	1	1	1	1	0	CP ₁



Hình 6-2-26.

Đồ hình trạng thái.



Hình 6-2-27.

- a) Kích bằng sườn âm ;
 b) Kích bằng sườn dương.

Hình 6-2-26 chứng tỏ rõ ràng rằng số trị của bộ đếm là giảm không ngừng theo chế độ đếm nghịch nhị phân.

c) Quy luật nối ghép các bộ đếm nhị phân dị bộ

Sự nối ghép giữa các bộ đếm nhị phân dị bộ khá đơn giản. Đầu ra Flip Flop trọng số bé nối vào đầu xung đồng hồ của Flip Flop trọng số lớn. Quy luật nối ghép xem bảng 6-2-5.

Bảng 6-2-5 : QUY LUẬT NỐI GHÉP CÁC BỘ ĐẾM NHỊ PHÂN DỊ BỘ

Quy luật nối ghép	Cách kích của Flip Flop T'	
	sườn dương	sườn âm
Đếm thuận	$CP_i = \bar{Q}_{i-1}$	$CP_i = Q_{i-1}$
Đếm nghịch	$CP_i = Q_{i-1}$	$CP_i = \bar{Q}_{i-1}$

Trong bảng trên CP_i là xung đồng hồ của Flip Flop F_i , Q_{i-1} và $\bar{Q}_{i-1}$ là tín hiệu ra của Flip Flop F_{i-1} có trọng số bé hơn liền kề với F_i . Nếu dùng loại Flip Flop kích bằng sườn dương thì xung đồng hồ CP_i của F_i nối vào $\bar{Q}_{i-1}$ của F_{i-1} , nếu

dùng loại Flip Flop kích bằng sườn âm thì CP_i nối vào Q_{i-1} để cấu trúc bộ đếm thuận. Còn để cấu trúc thành bộ đếm nghịch thì ngược lại.

d) *Đặc điểm bộ đếm di bộ nhị phân*

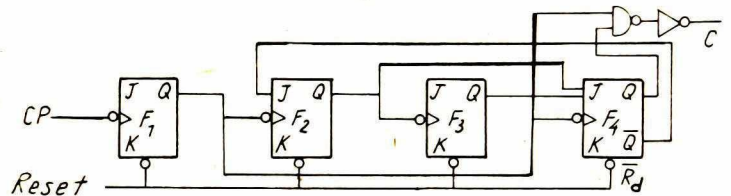
Ưu điểm : Cách nối ghép bộ đếm và Cấu trúc bộ đếm đều đơn giản

Nhược điểm : Tần số công tác thấp, xung nhiễu quá độ từ trạng thái mã hóa này sang trạng thái mã hóa khác lớn.

2) Bộ đếm thập phân di bộ

a) *Bộ đếm thuận thập phân di bộ*

Cấu trúc mạch điện



Hình 6-2-28.

Bộ đếm thuận thập
phân di bộ.

Sơ đồ hình 6-2-28 bao gồm 4 Flip Flop JK và hai cổng. CP là xung đếm đầu vào, C là tín hiệu chuyển vị (nhớ) đưa đến bộ đếm trọng số lớn hơn

Nguyên lí làm việc

Viết phương trình

Phương trình định thời : $CP_1 = CP$ $CP_2 = CP_4 = Q_1$ $CP_3 = Q_2$ (6-2-22)

Phương trình đầu ra : $C = Q_4^n Q_1^n$ (6-2-23)

Phương trình kích :

$$\begin{aligned} J_1 &= K_1 = 1 & J_2 &= \overline{Q_4^n} & K_2 &= 1 \\ J_3 &= K_3 = 1 & J_4 &= Q_3^n Q_2^n & K_4 &= 1 \end{aligned} \quad (6-2-24)$$

(Tạm quy ước rằng các đầu vào để trống là nối vào mức logic 1, đầu vào nào có nhiều đường nối coi như ở đó có mạch AND)

Tìm phương trình trạng thái

Thay giá trị (6-2-24) vào phương trình đặc trưng của Flip Flop JK, ta có :

$$\begin{cases} Q_1^{n+1} = J_1 \overline{Q_1^n} + \overline{K_1} Q_1^n = \overline{Q_1^n} & \text{với điều kiện xuất hiện sườn âm CP} \\ Q_2^{n+1} = J_2 \overline{Q_2^n} + \overline{K_2} Q_2^n = \overline{Q_4^n} Q_2^n & \text{với điều kiện xuất hiện sườn âm } Q_1 \\ Q_3^{n+1} = J_3 \overline{Q_3^n} + \overline{K_3} Q_3^n = \overline{Q_3^n} & \text{với điều kiện xuất hiện sườn âm } Q_2 \\ Q_4^{n+1} = J_4 \overline{Q_4^n} + \overline{K_4} Q_4^n = Q_3^n Q_2^n \overline{Q_4^n} & \text{với điều kiện xuất hiện sườn âm } Q_1 \end{cases} \quad (6-2-25)$$

Tiến hành tính toán

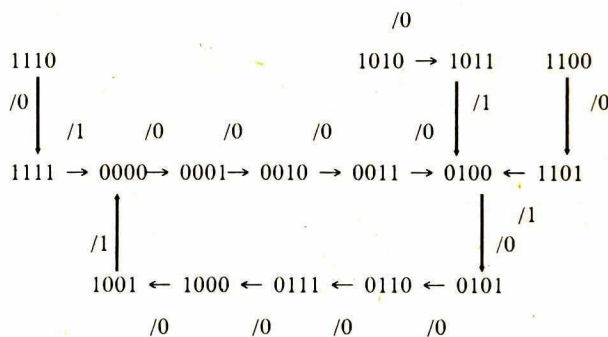
Giả định trạng thái, tuần tự thay vào (6-2-25) và (6-2-23) để tính ra kết quả như bảng 6-2-6. Khi tính toán cần lưu ý điều kiện định thời. Chỉ khi sườn âm xung kích tương ứng xuất hiện thì trạng thái Flip Flop mới chuyển đến trạng thái kế tiếp theo phương trình.

Bảng 6-2-6 : BẢNG TRẠNG THÁI CỦA BỘ ĐẾM THUẬN THẬP PHÂN DỊ BỘ

Q_4^n	Q_3^n	Q_2^n	Q_1^n	Q_4^{n+1}	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	C	
0	0	0	0	0	0	0	1	0	CP ₁
0	0	0	1	0	0	1	0	0	CP ₁ CP ₂ CP ₄
0	0	1	0	0	0	1	1	0	CP ₁
0	0	1	1	0	1	0	0	0	CP ₁ CP ₂ CP ₃ CP ₄
0	1	0	0	0	1	0	1	0	CP ₁
0	1	0	1	0	1	1	0	0	CP ₁ CP ₂ CP ₄
0	1	1	0	0	1	1	1	0	CP ₁
0	1	1	1	1	0	0	0	0	CP ₁ CP ₂ CP ₃ CP ₄
1	0	0	0	1	0	0	1	0	CP ₁
1	0	0	1	0	0	0	0	1	CP ₁ CP ₂ CP ₄
1	0	1	0	1	0	1	1	0	CP ₁
1	0	1	1	0	1	0	0	0	CP ₁ CP ₂ CP ₃ CP ₄
1	1	0	0	1	1	0	1	0	CP ₁
1	1	0	1	0	1	1	0	0	CP ₁ CP ₂ CP ₄
1	1	1	0	1	1	1	1	0	CP ₁
1	1	1	1	0	0	0	0	1	CP ₁ CP ₂ CP ₃ CP ₄

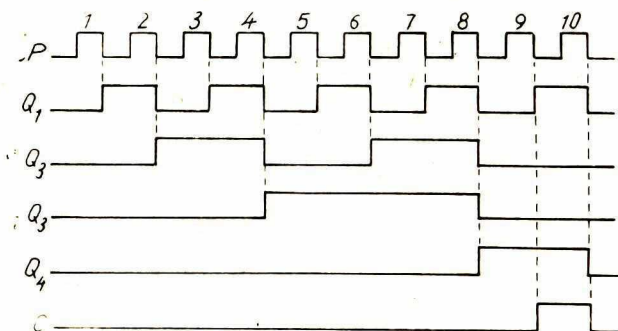
Vẽ đồ hình trạng thái

Căn cứ vào kết quả tính toán ở bảng 6-2-6 có thể vẽ đồ hình trạng thái như ở hình 6-2-29. Đồ hình này chứng tỏ rằng mạch điện có sơ đồ ở hình 6-2-28 là bộ đếm thuận thập phân dị bộ theo cách mã hóa 8421, hơn nữa mạch điện có thể tự khởi động. Xem dạng sóng hình 6-2-30.



Hình 6-2-29.

Đồ hình trạng thái bộ đếm thuận thập phân dị bộ.

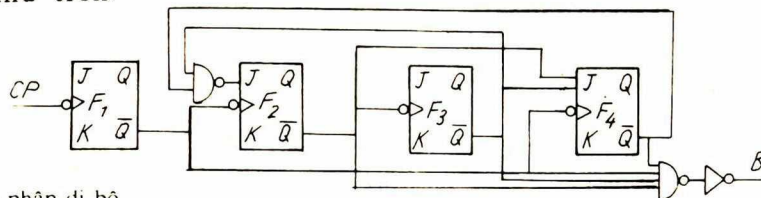


Hình 6-2-30.

Dạng sóng bộ đếm thuận thập phân dị bộ.

b) Bộ đếm nghịch thập phân di bộ (hình 6-2-31)

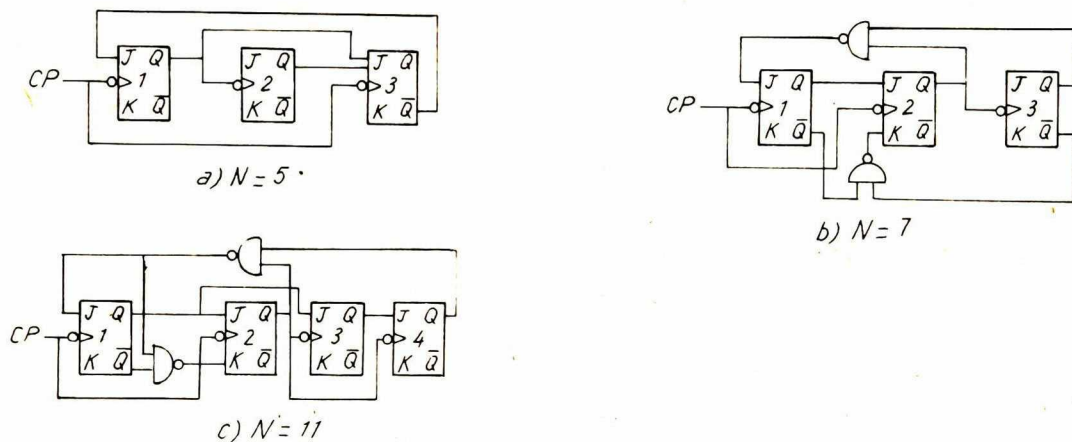
Phương pháp phân tích như trên.



Hình 6-2-31. Bộ đếm nghịch thập phân di bộ.

Về cách ghép nối các bộ đếm thập phân di bộ 1 số thành bộ đếm nhiều chữ số :
ghép nối dây chuyển, đầu ra của bộ đếm trọng số bé được nối vào đầu vào CP của
bộ đếm trọng số lớn hơn kế tiếp.

c) Bộ đếm N phân di bộ (hình 6-2-32)



Hình 6-2-32. Bộ đếm N phân dị bộ.

d) *Xóa và cài đặt ban đầu các bộ đếm di bộ*

Xóa bộ đếm là đưa tất cả Flip Flop của bộ đếm về trạng thái 0 trước khi bắt đầu công tác. Đối với Flip Flop D có mạch ổn định theo nguyên lý duy trì - ngăn trở thì cần chọn đầu vào R_d là mạch tín hiệu xóa Flip Flop về 0 (Đầu vào R bị trạng thái xung đồng hồ CP ảnh hưởng). Vì trong bộ đếm dị bộ, đầu vào CP của các Flip Flop có thể là 1, cũng có thể là 0.

Cài đặt ban đầu là làm cho bộ đếm trước khi bắt đầu công tác phải ở sẵn trạng thái quy định bằng cách điều khiển đầu vào di bộ. Cùng với một nguyên nhân đã nói trên, đối với Flip Flop D duy trì - ngăn trở thì cần chọn đầu vào S_d ; đầu vào S_d này không bị ảnh hưởng của CP (như đầu vào S). Đối với bộ đếm nghịch di bộ, đầu tiên đặt tất cả Flip Flop về trạng thái 1, sau đó theo trạng thái quy định mà xóa những Flip Flop được chọn về 0, để đạt được mục đích là cài đặt ban đầu cho bộ đếm. Sở dĩ như vậy vì trong bộ đếm nghịch di bộ, FF trọng số bé lật từ 0 sang 1 sẽ đưa ra tín hiệu chuyển vị (nhớ) cho FF trọng số lớn hơn, làm nó lật. Do đó làm hỏng sự cài đặt ban đầu. Đối với bộ đếm thuận di bộ, khi cài đặt ban đầu thông qua đầu vào di bộ, đầu tiên đặt tất cả FF ở trạng thái 0, sau đó mới chọn FF để lập 1. Nếu dùng các tín hiệu đảo nhau đồng thời đưa vào đầu R_d , S_d để cài đặt ban đầu thì không còn lo bị ảnh hưởng gì nữa.

6.2.4. Bộ đếm IC cỡ trung (MSI)

Các vi mạch MSI bộ đếm có nhiều chủng loại, chức năng mạnh, dùng tiện lợi.

1) Ví dụ phân tích

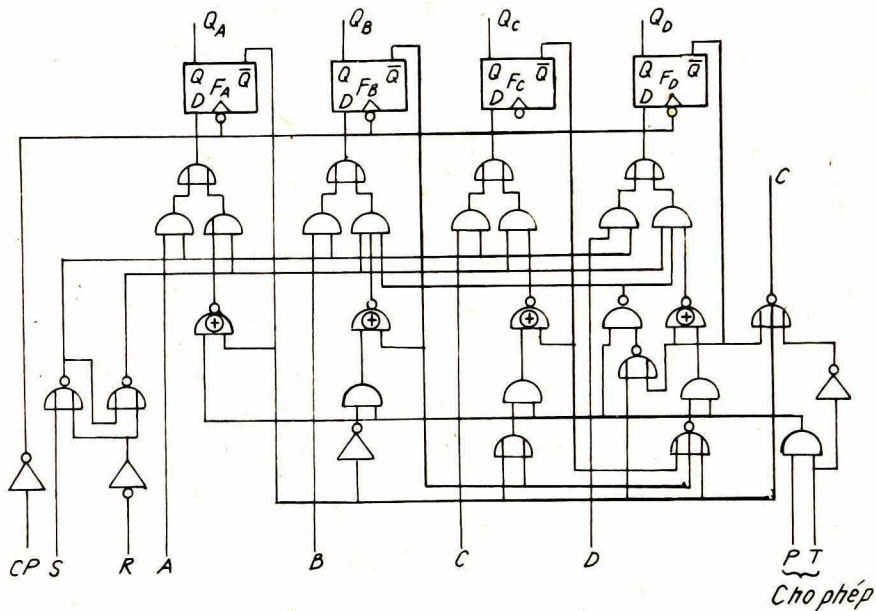
Hình 6-2-33 là bộ đếm thuận thập phân đồng bộ MSI.

Mạch điện bao gồm 4 Flip Flop D và nhiều cổng, 4 đầu vào dữ liệu A, B, C, D một đầu lập S, một đầu xóa R, hai đầu vào P, T bốn đầu ra Q_A, Q_B, Q_C, Q_D và đầu chuyển vị (nhớ)..

a) Phương trình đầu ra và phương trình trạng thái

Phương trình đầu ra và phương trình trạng thái

$$\text{Phương trình đầu ra } C = \overline{Q_D^n} + \overline{Q_A^n} + \overline{T} = Q_D^n Q_A^n T \quad (6-2-26)$$



Hình 6-2-33. Bộ đếm MSI.

Phương trình kích

$$\begin{aligned} D_A &= \overline{\overline{R}} + \overline{S} A + \overline{\overline{R}} + \overline{S} + \overline{\overline{R}} PT \oplus \overline{Q_A^n} \\ D_A &= R \overline{S} A + \overline{R \overline{S}} + \overline{\overline{R}} PT \oplus \overline{Q_A^n} = R \overline{S} A + RS PT + \overline{Q_A^n} \\ D_B &= \overline{\overline{R}} + \overline{S} B + \overline{\overline{R}} + \overline{S} + \overline{\overline{R}} PT \overline{Q_A^n} \oplus \overline{Q_B^n} PT \overline{Q_A^n} + \overline{Q_D^n} \\ D_B &= R \overline{S} B + RS PT \overline{Q_A^n} \oplus \overline{Q_B^n} PT \overline{Q_A^n} + \overline{Q_D^n} \\ D_C &= \overline{\overline{R}} + \overline{S} C + \overline{\overline{R}} + \overline{S} + \overline{\overline{R}} PT \overline{Q_A^n} + \overline{Q_B^n} \oplus \overline{Q_C^n} \\ D_C &= R \overline{S} C + RS PT \overline{Q_A^n} \overline{Q_B^n} \oplus \overline{Q_C^n} \\ D_D &= \overline{\overline{R}} + \overline{S} D + \overline{\overline{R}} + \overline{S} + \overline{\overline{R}} PT \overline{Q_A^n} + \overline{Q_D^n} PT \overline{Q_A^n} + \overline{Q_B^n} + \overline{Q_C^n} \oplus \overline{Q_D^n} \\ D_D &= R \overline{S} D + RS PT \overline{Q_A^n} \overline{Q_D^n} PT \overline{Q_A^n} \overline{Q_B^n} \overline{Q_C^n} \oplus \overline{Q_D^n} \end{aligned} \quad (6-2-27)$$

Phương trình trạng thái

Thay giá trị (6-2-27) vào phương trình đặc trưng của Flip Flop D, ta có :

$$\begin{cases} Q_A^{n+1} = R \bar{S} A + RS \overline{PT} \oplus \bar{Q}_A^n \\ Q_B^{n+1} = R \bar{S} B + RS \overline{PT} \overline{Q}_A^n \oplus \bar{Q}_B^n \overline{PT} Q_A^n Q_D^n \\ Q_C^{n+1} = R \bar{S} C + RS \overline{PT} \overline{Q}_A^n \overline{Q}_B^n \oplus \bar{Q}_C^n \\ Q_D^{n+1} = R \bar{S} D + RS \overline{PT} \overline{Q}_A^n \overline{Q}_B^n \overline{PT} \overline{Q}_A^n \overline{Q}_B^n \overline{Q}_C^n \oplus \bar{Q}_D^n \end{cases} \quad (6-2-28)$$

b) 4 chế độ công tác

Xóa

$R = 0$, với sự xuất hiện sườn dương xung đồng hồ CP, bộ đếm bị xóa.

Thay giá trị $R = 0$ vào (6-2-28), ta có :

$$Q_A^{n+1} = 0 \quad Q_B^{n+1} = 0 \quad Q_C^{n+1} = 0 \quad Q_D^{n+1} = 0$$

Cài đặt ban đầu

$R = 1, S = 0$ với sự xuất hiện sườn dương CP, bộ đếm thiết lập số, tức là đưa dữ liệu đầu vào DCBA vào bộ đếm.

Thay giá trị $R = 1, S = 0$ vào (6-2-28), ta có :

$$Q_A^{n+1} = A \quad Q_B^{n+1} = B \quad Q_C^{n+1} = C \quad Q_D^{n+1} = D$$

Duy trì nguyên trạng (nhớ)

$R = S = 1, P.T = 0$ với sự xuất hiện sườn dương CP, bộ đếm duy trì trạng thái vốn có, tức là cấm lật.

Thay giá trị $R = S = 1, P.T = 0$ vào (6-2-28), ta có

$$Q_A^{n+1} = Q_A^n \quad Q_B^{n+1} = Q_B^n \quad Q_C^{n+1} = Q_C^n \quad Q_D^{n+1} = Q_D^n$$

Đếm

$R = S = 1, P = T = 1$, bộ đếm thực hiện chức năng đếm.

Thay giá trị $R = S = P = T = 1$ vào (6-2-26), (6-2-28), ta có :

$$\begin{cases} Q_A^{n+1} = \bar{Q}_A^n \\ Q_B^{n+1} = Q_B^n \bar{Q}_A^n + \bar{Q}_B^n \bar{Q}_A^n Q_A^n \\ Q_C^{n+1} = \bar{Q}_C^n Q_B^n Q_A^n + Q_C^n \overline{Q_B^n Q_A^n} \\ Q_D^{n+1} = \bar{Q}_D^n Q_C^n Q_B^n Q_A^n + Q_D^n \bar{Q}_A^n \end{cases} \quad (6-2-29)$$

$$C = Q_D^n Q_A^n \quad (6-2-30)$$

Nếu đặt $Q_A = Q_1, Q_B = Q_2, Q_C = Q_3, Q_D = Q_4$ thì các công thức (6-2-29) (6-2-30) hoàn toàn trùng hợp với các công thức (6-2-9) và (6-2-7) của bộ đếm

thuận thập phân đồng bộ. Do đó có thể dùng chung bảng chức năng, để hình trạng thái (bảng (6-2-2) và hình (6-2-11))

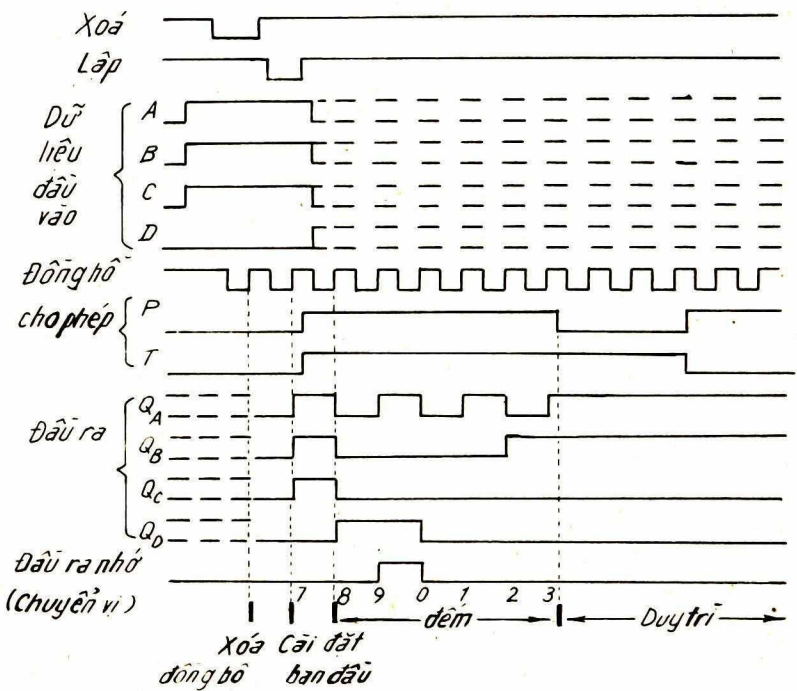
Qua trình bày trên đây, căn cứ phương trình đầu ra và phương trình trạng thái (6-2-26) và (6-2-28) có thể liệt kê thành bảng chức năng 6-2-7.

Bảng 6-2-7 : BẢNG CHỨC NĂNG BỘ ĐẾM HÌNH 6-2-33

P	T	R	S	CP	Chức năng
H	H	H	H	↑	Đếm
×	×	H	L	↑	Cài đặt ban đầu
L	H	H	H	×	Duy trì nguyên trạng
×	L	H	H	×	Duy trì C = 0
×	×	L	×	↑	Xóa

H biểu thị mức cao, L biểu thị mức thấp, × biểu thị tùy ý, ↑ biểu thị sườn dương xung đồng hồ.

Hình 6-2-34 là dạng sóng của bộ đếm ; hình 6-2-34 phản ánh toàn diện tình huống công tác của mạch điện hình 6-2-33



Hình 6-2-34. Dạng sóng bộ đếm.

2) Sử dụng bộ đếm IC cấu trúc bộ đếm N phân

Trên cơ sở các bộ đếm thuận thập phân (mã hóa 8421) và nhị phân dạng IC, bằng phương pháp phản hồi để xóa, chúng ta có thể cấu trúc bộ đếm N phân.

a) Các bước cơ bản

Giả sử S_0 biểu thị 0, S_1 biểu thị 1, ..., S_{N-1} biểu thị N-1, S_N biểu thị N. Phương pháp phản hồi để xóa có các bước sau :

- Viết ra mã nhị phân của S_N
- Tìm logic phản hồi để xóa - biểu thức của R_d
- Vẽ sơ đồ logic

b) Công thức logic phản hồi để xóa

Logic phản hồi để xóa là biểu thức hàm số của đầu xóa di bộ R_d của bộ đếm IC.

$$R_d = \bar{P} = \overline{\prod_{1-n} Q^1} \quad (6-2-31)$$

Trong công thức : P là mã của trạng thái S_N , $\prod_{1-n} Q^1$ là tích các giá trị Q của các FF trạng thái 1 tương ứng S_N . Trong mã trạng thái của S_N còn bao gồm $\prod_{1-n} Q^0$, đó là tích các giá trị $\bar{Q}$ của các FF trạng thái 0 tương ứng S_N . Nhưng trong bộ đếm N phân sử dụng logic phản hồi để xóa, vì các mã nhị phân S_{n+1} , S_{n+2} , ..., S_{2^n-1} không được dùng nên được lợi dụng để đơn giản hóa hàm logic (tối thiểu hóa), kết quả $\prod_{1-n} Q^0$ bị bỏ đi cả :

$$P = \prod_{1-n} Q^1 \cdot \prod_{1-n} Q^0 = \prod_{1-n} Q^1 \quad (6-2-32)$$

Bây giờ dùng bảng Karnaugh 3 biến làm ví dụ để thuyết minh sự đúng đắn của (6-2-32).

$N = 4 : S_N = S_4 = 100 ; S_N = P_4 = Q_3^n \quad m_5 + m_7$ dùng để tối thiểu hóa

$N = 5 : S_N = S_5 = 110 ; P_N = P_5 = Q_3^n Q_1^n \quad m_6, m_7$ dùng để tối thiểu hóa

$N = 6 : S_N = S_6 = 110 ; P_N = P_6 = Q_3^n Q_2^n \quad m_7$ dùng để tối thiểu hóa

$N = 7 : S_N = S_7 = 111 ; P_N = P_7 = Q_3^n Q_2^n Q_1^n$ không đơn giản hóa được

Ví dụ trên đây rất đơn giản nhưng minh họa (6-2-32) là chính xác.

Nếu dùng bảng Karnaugh 4 biến, 5 biến cũng thấy (6-2-32) là đúng.

c) Ví dụ

Ví dụ 6-2-1 : Hãy xây dựng bộ đếm $N = 12$ bằng bộ đếm thuận nhị phân đồng bộ 4 số.

1 - Viết mã nhị phân của S_N

$$N = 12 \quad S_N = S_{12} = 1100$$

2 - Tìm logic phản hồi để xóa

$$R_d = \prod_{1-n} Q^1 = \overline{Q_4 Q_3}$$

3 - Vẽ sơ đồ logic

Phương pháp này tồn tại hai vấn đề :

- Trạng thái quá độ S_N cực ngắn
- Độ tin cậy phản hồi xóa tương đối kém

Vấn đề trạng thái quá độ S_N

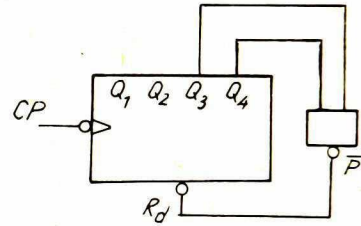
Theo tư tưởng trên đây, bộ đếm N bắt đầu đếm từ S_0 , đến lúc đạt số đếm S_{N-1} nếu thêm một xung đếm thì phải lập tức bị xóa về 0. Thực tế mạch điện phản hồi để xóa không lập tức về 0. Đầu tiên mạch chuyển đổi đến trạng thái S_N , làm cho $R_d = \overline{P} = 0$. Vì $R_d = 0$ nên bộ đếm reset, trạng thái S_N tiếp theo bị mất làm triệt tiêu tín hiệu $R_d = 0$. S_N tồn tại trong thời gian chừng xấp xỉ trễ truyền đạt 3 cấp cổng. Tuy trạng thái quá độ của S_N là cực ngắn, nhưng không thể thiếu ; không có trạng thái quá độ đó thì không có cách nào tạo ra tín hiệu xóa về 0.

Vấn đề độ tin cậy phản hồi xóa tương đối kém

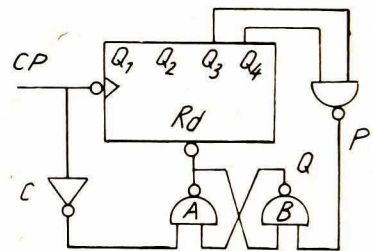
Vì đặc tính công tác xung và tình huống phụ tải của các Flip Flop bộ đếm là không giống nhau, lại luôn luôn chịu tác động của nhiễu dù nhiều dù ít, nên có thể xảy ra tình trạng có FF vẫn còn giữ nguyên trạng thái 1, trong khi đó có FF đã lật về 0. Do $R_d = \overline{P}$, ta biết rằng chỉ cần một FF bất kì lật về 0 thì S_N mất, rồi tín hiệu $R_d = 0$ cũng mất. Một khi $R_d = 0$ mất thì FF nào không kịp lật sẽ không có cách nào lật về không nữa. Hình 6-2-36 là mạch điện giải quyết vấn đề này. Trong mạch cải tiến, Flip Flop RS kéo dài $R_d = 0$ một chút, do đó bảo đảm tín hiệu reset có thời gian tác dụng đủ dài để bộ đếm xóa về 0 chắc chắn.

Bình thường Flip Flop RS căn bản (do các cổng A, B cấu trúc nên) ở trạng thái 0 dưới tác dụng của CP, $R_d = \overline{Q} = 1$.

Khi bộ đếm đếm đến giá trị $S_{N-1} = S_{11} = 1011$, nếu xuất hiện thêm 1 xung đếm CP, vào khoảng sườn âm của nó bộ đếm lật từ S_{n-1} đến $S_N = S_{12} = 1100$, làm cho $\overline{P} = \overline{Q_4 Q_3} = 0$, Flip Flop RS căn bản lập 1, $Q = 1$, $\overline{Q} = R_d = 0$, bộ đếm reset về 0, tức là lật về $S_0 = 0000$. Chỉ khi nào bộ đếm bắt đầu đếm lại từ S_0 , sườn dương xung CP qua cổng C được đảo pha rồi mới lật Flip Flop RS cơ bản về 0, $Q = 0$, $\overline{Q} = 1 = R_d$ (tín hiệu xóa về 0 bị triệt tiêu). Vậy thời gian $R_d = 0$



Hình 6-2-35. Bộ đếm N = 12.



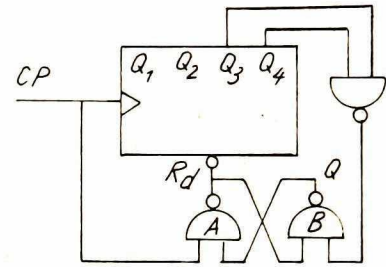
Hình 6-2-36. Mạch cải tiến của bộ đếm.

kéo dài thêm nhiều ; nếu tỉ số bề rộng xung CP với chu kì của nó là 50% thì thời gian tương ứng $R_d = 0$ là một nửa chu kì xung CP.

Nếu bộ đếm nhị phân cấu trúc bằng mạch kích bằng sườn dương xung đếm CP thì không cần cổng NOT (C) nữa, mạch điện như hình 6-2-37.

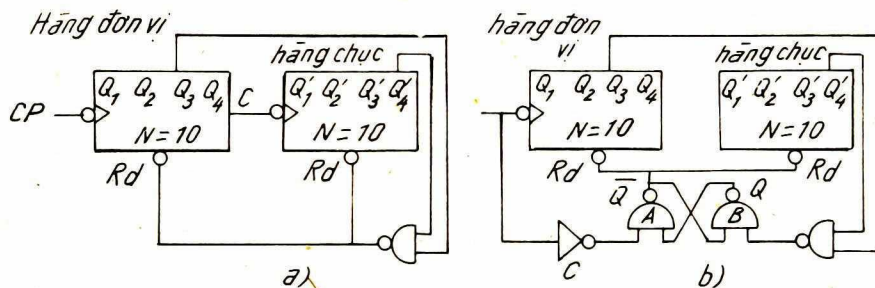
Nếu không có yêu cầu đặc biệt cao về độ tin cậy, nói chung người ta vẫn hay dùng mạch điện đơn giản hình 6-2-35.

Sử dụng bộ đếm IC cấu trúc bộ đếm N phân rất đơn giản tiện lợi. Cách làm này cũng khá kinh tế. Dùng 2 IC bộ đếm nhị phân 4 số có thể cấu trúc bộ đếm $N = 1 \div 256$. Dùng 2 IC bộ đếm thập phân có thể cấu trúc bộ đếm $N = 1 \div 100$. Hình 6-2-38 biểu thị bộ đếm $N = 84$ cấu trúc từ 2IC bộ đếm thập phân.



Hình 6-2-37.

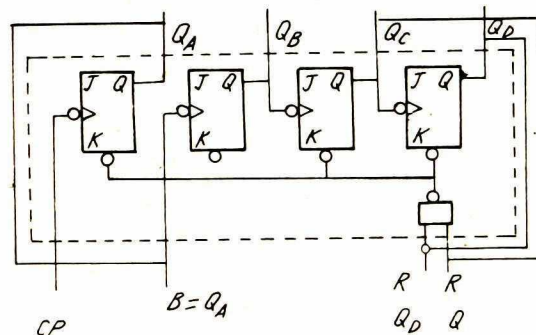
Bộ đếm nhị phân kích sườn dương.



Hình 6-2-38. Bộ đếm $N = 84$:

a) Sơ đồ nguyên lý ; b) Mạch cải tiến.

Hình 6-2-39 là bộ đếm $N = 12$ cấu trúc từ bộ đếm nhị phân dị bộ 4 số (IC). Phần trong khung nét đứt là sơ đồ logic của IC. Nối Q_A và B với nhau thì được bộ đếm thuận nhị phân dị bộ 4 số. Rồi căn cứ vào quy định phản hồi xóa về 0, ta nối Q_D với $R_{o(1)}$, Q_C với $R_{o(2)}$ thì bây giờ có bộ đếm thuận dị bộ $N = 12$. Xung đếm CP đưa đến đầu vào A.



Hình 6-2-39. Bộ đếm thuận dị bộ $N = 12$.

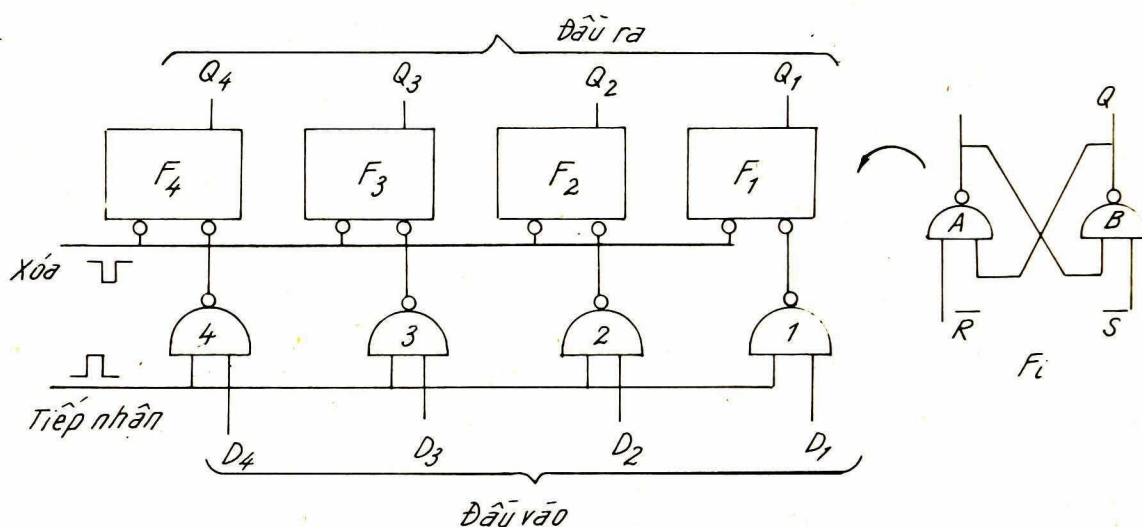
6.3. BỘ NHỚ

Bộ nhớ là một linh kiện quan trọng của mạch số. Bộ nhớ thường được dùng để lưu giữ tạm thời dữ liệu, lệnh... Một Flip Flop có thể nhớ 1 bit (nhị phân), muốn nhớ mã nhị phân n bit phải dùng n Flip Flop.

6.3.1. Bộ nhớ cơ bản

Mạch điện này chỉ có chức năng tiếp nhận tín hiệu nhị phân mã hóa và xóa tín hiệu đã nhớ trước. Căn cứ vào sự khác biệt trong cách tiếp nhận tín hiệu nhị phân mã hóa, bộ nhớ cơ bản chia làm hai loại : hai nhịp và một nhịp.

1) Cách tiếp nhận hai nhịp



Hình 6-3-1. Cách tiếp nhận hai nhịp.

a) Cấu trúc mạch điện

Hình 6-3-1 là bộ nhớ 4 bit do các Flip Flop RS cơ bản cấu trúc nên. Mạch điện có 4 đầu vào dữ liệu $D_4 D_3 D_2 D_1$, một đầu vào xóa, một đầu vào điều khiển tiếp nhận dữ liệu và 4 đầu ra $Q_4 Q_3 Q_2 Q_1$.

b) Quá trình tiếp nhận tín hiệu nhị phân mã hóa

Đầu tiên phải xóa về 0 : Dùng xung âm (gọi là xung xóa hay xung Reset) đưa các FF đều lật về 0.

Sau đó là nạp số liệu : Dùng xung dương (gọi là xung tiếp nhận hay xung nạp số liệu) để mở thông các cổng 1 ÷ 4, đưa từ mã $D_4 D_3 D_2 D_1$ nạp vào bộ nhớ và lưu giữ lại.

Từ phương trình đặc trưng của Flip Flop RS cơ bản, sau khi xóa về 0 :

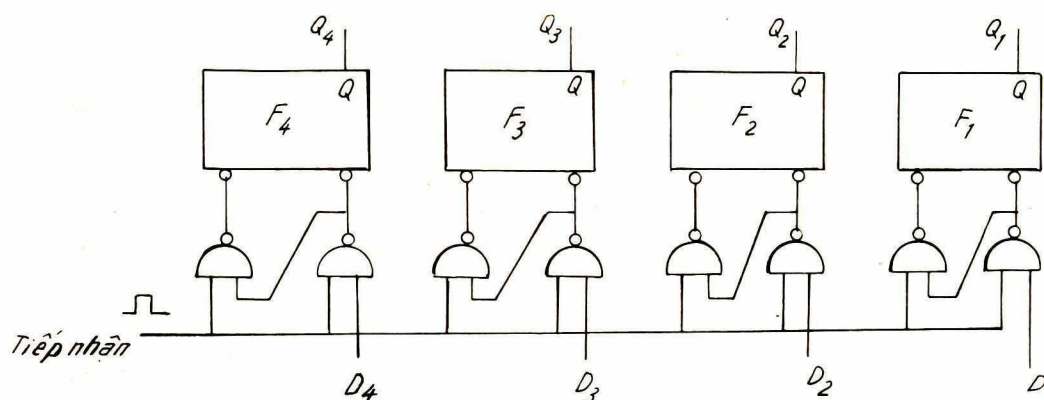
$$Q_4^n Q_3^n Q_2^n Q_1^n = 00000$$

Khi xung nạp xuất hiện :

$$Q_4^{n+1} Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} = D_4 D_3 D_2 D_1$$

Vì cả quá trình công tác gồm 2 bước, cho nên được gọi là cách tiếp nhận hai nhịp.

2) Cách tiếp nhận một nhịp (mạch điện 6-3-2)



Hình 6-3-2. Cách tiếp nhận một nhịp.

Trong hình 6-3-2, $F_4 F_3 F_2 F_1$ là 4 Flip Flop RS cơ bản, $D_4 D_3 D_2 D_1$ là đầu vào số liệu, $Q_4 Q_3 Q_2 Q_1$ là đầu ra, ngoài ra còn có đầu vào điều khiển tiếp nhận. Nếu xem xét toàn bộ các FF và các cổng của nó một thể thì mạch điện 6-3-2 thực tế là do 4 mạch chốt D cấu trúc nên, với đầu vào điều khiển tiếp nhận là đầu vào xung đồng hồ của mạch chốt, tức là CP.

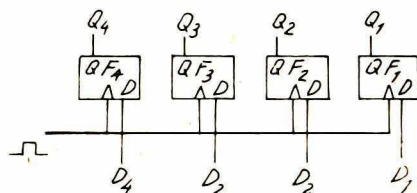
Phương trình đặc trưng của mạch chốt D là

$$Q^{n+1} = D \quad \text{với điều kiện xuất hiện CP.}$$

Vậy trong mạch điện hình 6-3-2, khi xuất hiện xung tiếp nhận, Flip Flop chuyển đổi trạng thái

$$Q_4^{n+1} Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} = D_4 D_3 D_2 D_1$$

tức là bộ nhớ tiếp nhận và lưu giữ tín hiệu nhị phân mã hóa. Mạch điện này hoàn thành chức năng bộ nhớ chỉ trong một bước, nên được gọi là mạch tiếp nhận một nhịp. Rõ ràng chúng ta có thể dùng các loại Flip Flop D, RS, JK để cấu trúc bộ nhớ cơ bản. Hình 6-3-3 giới thiệu bộ nhớ 4 bit dùng Flip Flop D.

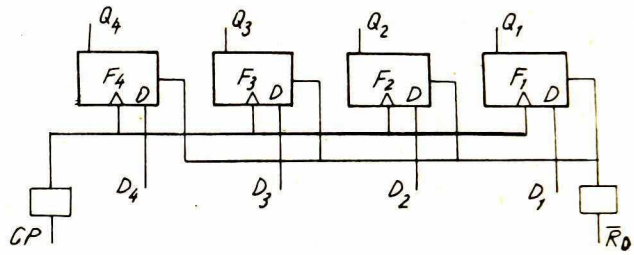


Hình 6-3-3. Bộ nhớ tiếp nhận một nhịp dùng Flip Flop D.

3) IC bộ nhớ cơ bản

Vi mạch bộ nhớ cơ bản bao gồm các Flip Flop và các tổng điều khiển liên quan được chế tạo trong một chip. Cần chú ý vào sự khác biệt về cấu trúc, các vi mạch bộ nhớ phân thành bộ nhớ đơn (chỉ có 1 bộ nhớ trong 1 vỏ) và bộ nhớ ghép (một số bộ nhớ được đóng gói chung trong 1 vỏ)

Hình 6-3-4 là bộ nhớ 4 bit dùng Flip Flop D, ngoài ra còn hay gộp các bộ nhớ kép 2×5 , 2×6 v.v... Các bộ nhớ do mạch chốt cấu trúc nên thường có mạch chốt 2 chiều 8 bit, mạch chốt 4 bit có đầu vào xóa và mạch chốt kép 2×4 . IC bộ nhớ ghép điển hình có bộ nhớ 4×4 , 8×2 v.v...



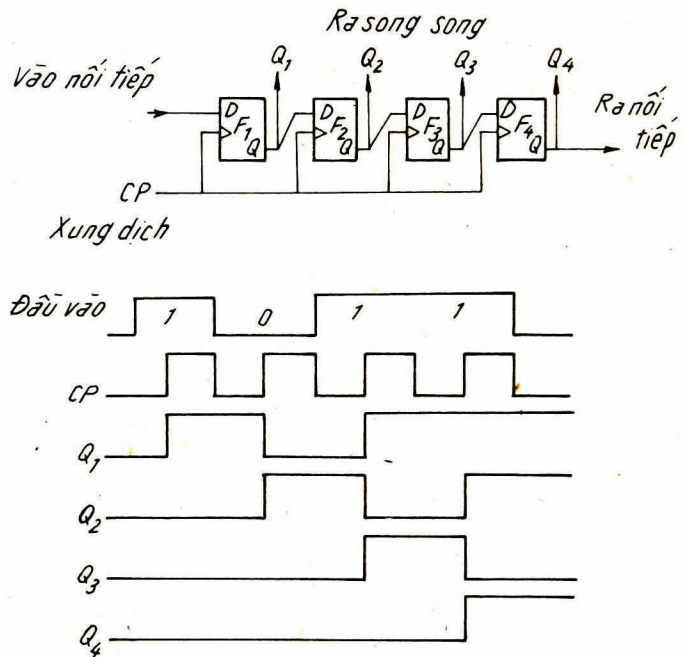
Hình 6-3-4. IC bộ nhớ 4 Flip Flop D.

Bộ ghi dịch ngoài chức năng lưu giữ ra, còn có chức năng dịch từng bit theo nhịp xung đồng hồ. Dữ liệu lưu giữ trong bộ ghi dịch dưới tác dụng của xung dịch (shift) có thể tuần tự dịch trái hay dịch phải.

1) Bộ ghi dịch một hướng

Hình 6-3-5 là bộ ghi dịch một hướng cấu trúc bằng Flip Flop D. Đầu ra Q của mỗi FF tuần tự nối đến đầu vào D của FF tiếp sau; chỉ có đầu vào D của FF thứ nhất tiếp nhận dữ liệu.

Cứ mỗi khi xuất hiện sườn dương xung đồng hồ thì dữ liệu mã hóa được dịch vào F_1 , đồng thời trạng thái của mỗi FF cũng dịch đến FF tiếp theo. Giả sử từ mã đầu vào là 1011, dưới tác dụng của xung dịch, thì tình huống dịch của từ mã trong bộ ghi dịch như bảng 6.3.1. Có thể thấy rằng, sau khi có 4 xung CP, từ mã 4 bit 1011 đã dịch vừa hết vào bộ ghi dịch. Lúc này, có thể lấy ra 4 bit song song của từ mã 1011 từ 4 đầu ra Q của các FF.



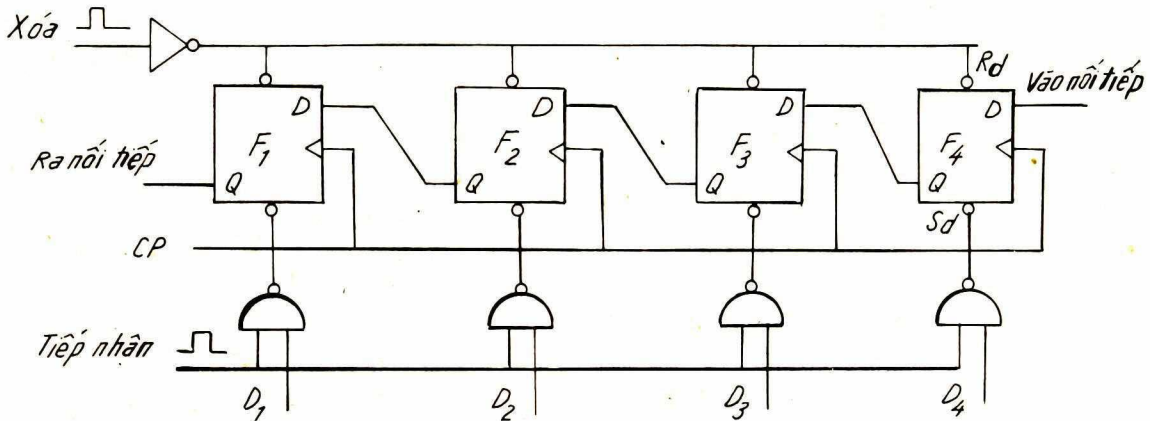
Hình 6-3-5. Bộ ghi dịch một hướng.

Bảng 6-3-1 : TÌNH HUỐNG DỊCH TỪ MÃ TRONG BỘ GHI DỊCH

CP	Từ mã trong bộ ghi dịch			
Thứ tự	F ₁	F ₂	F ₃	F ₄
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	0	1	0
4	1	1	0	1

Flip Flop cuối cùng (đầu ra Q) có thể làm đầu ra nối tiếp của từ mã. Muốn thế, chỉ cần qua thời gian 4 xung đồng hồ nữa thì 4 bit nối tiếp của từ mã được dịch ra ở đây. Đó là phương pháp đưa ra các bit nối tiếp. Vậy mạch điện hình 6-3-5 được gọi là bộ ghi dịch một hướng vào nối tiếp, ra nối tiếp / song song.

Đầu vào bộ ghi dịch cũng có thể dùng cách vào song song - Hình 6-3-6 là bộ ghi dịch vào nối tiếp / song song, ra nối tiếp.



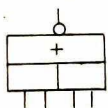
Hình 6-3-6. Bộ ghi dịch một hướng vào nối tiếp / song song.

Khi vào song song thì dùng cách tiếp nhận ra nối tiếp hai nhịp. Nhịp thứ nhất : xung xóa đưa đến đầu R_d xóa tất cả các FF, nhịp thứ hai : xung tiếp nhận đưa đến mở các cổng để tiếp nhận dữ liệu ở đầu S_d .

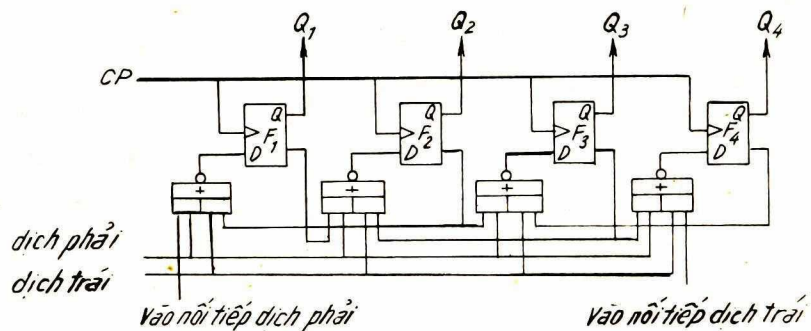
Trong một chip IC hiện nay, bộ ghi dịch có từ mã dài nhiều bit.

2) Bộ ghi dịch hai hướng

(ghi chú :



mạch NORAND
xem phần 3-3-4)



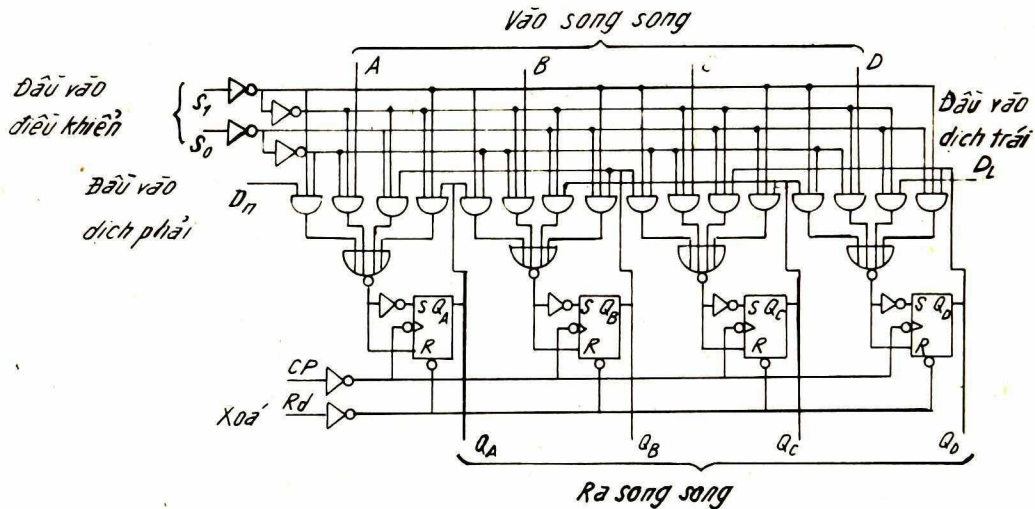
Hình 6-3-7. Bộ ghi dịch hai hướng.

Xét mạch hình 6-3-7. Dữ liệu có thể tuần tự dịch từ F_1 đến F_4 (dịch phải), cũng có thể dịch từ F_4 đến F_1 (dịch trái), vậy chúng ta gọi đây là bộ ghi dịch hai hướng.

Khi tín hiệu dịch phải bằng 1, cổng AND bên trái của mạch NORAND mở thông đầu Q của FF bên trái thông qua NORAND (đã đảo mức logic) nối vào đầu vào D

của FF bên phải (tương đương đầu Q của FF trái nối vào đầu D của FF bên phải liền kề). Vậy khi xung dịch phải xuất hiện, dữ liệu được dịch từ trái sang phải. Ngược lại, khi tín hiệu dịch trái bằng 1, thì dữ liệu dịch từ phải sang trái. Đầu vào là tín hiệu đảo, qua mạch NORAND đảo pha, tín hiệu được lưu giữ trong bộ nhớ. Nếu tín hiệu đầu vào không đảo, thì tín hiệu được lưu giữ là đảo.

3) Vi mạch bộ ghi dịch MSI



Hình 6-3-8. Bộ ghi dịch MSI.

Hình 6-3-8 là vi mạch bộ ghi dịch MSI 4 bit hai hướng tính năng mạch. Mạch điện dùng phần tử nhớ là Flip Flop RS master slave mắc thành FFD, có hai đầu điều khiển S_0 , S_1 , 4 đầu vào dữ liệu song song A B C D, đầu vào dữ liệu nối tiếp D_R (dịch phải) và đầu vào dữ liệu nối tiếp D_L (dịch trái), một đầu vào xóa, một đầu vào đồng hồ CP, 4 đầu ra Q_A Q_B Q_C Q_D .

4 mạch NORAND làm thành bộ chọn lựa 4 đường thông. Các tín hiệu S_0 , S_1 điều khiển sự chọn lựa.

Phần tử nhớ là Flip Flop D, có phương trình đặc trưng :

$$Q^{n+1} = D$$

Khi $S_0 S_1 = 00$, từ sơ đồ logic, ta có :

$$Q_A^{n+1} = \overline{\overline{Q}}_A^n = Q_A^n, Q_B^{n+1} = \overline{\overline{Q}}_B^n = Q_B^n, Q_C^{n+1} = \overline{\overline{Q}}_C^n = Q_C^n; Q_D^{n+1} = \overline{\overline{Q}}_D^n = Q_D^n \quad (6-3-1)$$

Xung đồng hồ xuất hiện thì bộ nhớ giữ nguyên trạng thái.

Khi $S_0 S_1 = 01$, ta có :

$$Q_D^{n+1} = \overline{\overline{D}}_L = D_L, Q_C^{n+1} = \overline{\overline{Q}}_D^n = Q_D^n; Q_B^{n+1} = \overline{\overline{Q}}_C^n = Q_C^n, Q_A^{n+1} = \overline{\overline{Q}}_B^n = Q_B^n \quad (6-3-2)$$

Với tác dụng của xung đồng hồ, bộ nhớ công tác ở chế độ dịch trái tín hiệu vào nối tiếp.

Khi $S_0 S_1 = 11$, ta có

$$Q_D^{n+1} = \overline{\overline{D}} = D, Q_C^{n+1} = \overline{\overline{C}} = C, Q_B^{n+1} = \overline{\overline{B}} = B, Q_A^{n+1} = \overline{\overline{A}} = A \quad (6-3-3)$$

Khi xuất hiện xung đồng hồ, bộ nhớ tiếp nhận tín hiệu đầu vào song song.

Khi $S_0 S_1 = 10$, ta có :

$$Q_A^{n+1} = \overline{\overline{D_R}} = D_R, Q_B^{n+1} = \overline{\overline{Q_A^n}} = Q_A^n, Q_C^{n+1} = \overline{\overline{Q_B^n}} = Q_B^n, Q_D^{n+1} = \overline{\overline{Q_C^n}} = Q_C^n \quad (6-3-4)$$

Với tác dụng của xung đồng hồ, bộ nhớ công tác ở chế độ dịch phải tín hiệu vào nối tiếp.

Nếu ở đầu vào R_d có xung dương, thì bộ nhớ bị xóa về 0. Bảng 6-3-2 tóm tắt chức năng bộ ghi dịch đã giới thiệu như trên.

Bảng 6-3-2 : BẢNG CHỨC NĂNG

Chức năng	R_d	S_0	S_1	CP
Xóa về 0	H	×	×	×
giữ nguyên trạng	L	L	L	↑
dịch trái	L	L	H	↑
vào dữ liệu song song	L	H	H	↑
dịch phải	L	H	L	↑

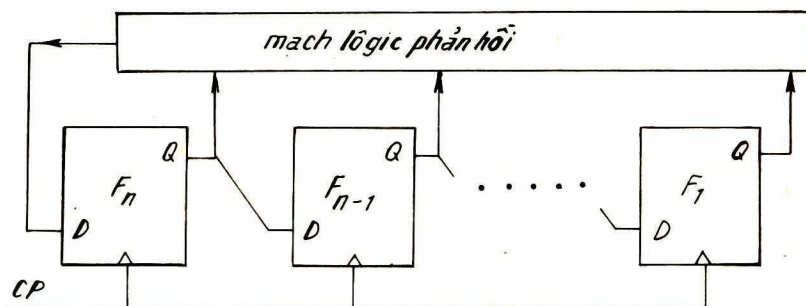
6.3.3. Ví dụ về ứng dụng bộ nhớ

Bộ nhớ, đặc biệt bộ ghi dịch, có ứng dụng rất rộng rãi : biến đổi từ mã nhị phân từ các bit nối tiếp thành các bit song song và ngược lại, dùng để cấu trúc bộ đếm kiểu ghi dịch rất tiện lợi v.v... Ở đây trình bày làm ví dụ về bộ đếm kiểu ghi dịch.

Nếu đem tín hiệu đầu ra của bộ ghi dịch phản hồi theo một cách xác định đến đầu vào nối tiếp D_n (đầu vào đồng bộ của Flip Flop D F_n) thì có thể cấu trúc thành bộ đếm cho nhiều mã đặc thù khác nhau. Hình 6-3-9 giới thiệu một cấu

Hình 6-3-9.

Bộ đếm kiểu ghi dịch.

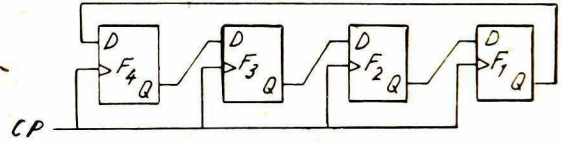


trúc như vậy. Dùng mạch ghi logic phản hồi khác nhau thì có được các bộ đếm khác nhau. Dưới đây trình bày mấy mạch điện thường dùng.

1) Bộ đếm vòng

a) Cấu trúc mạch điện

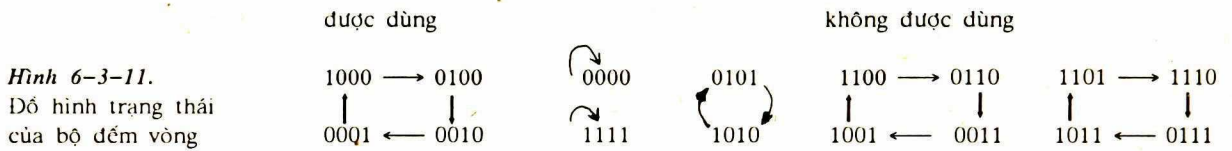
Lấy $D_n = Q_1$, tức là nối đầu ra Q_1 của F_1 vào đầu vào D_n của F_n . Vậy khi đó các Flip Flop tạo thành mạch vòng, nên có tên là bộ đếm vòng ; thực chất là bộ ghi dịch tự tuần hoàn. Hình 6-3-10 là bộ đếm vòng $n = 4$.



Hình 6-3-10. Bộ đếm vòng.

b) Nguyên lý công tác

Bằng phương pháp phân tích logic, ta có thể tìm được đồ hình trạng thái của bộ đếm vòng, như hình 6-3-11



Hình 6-3-11.
Đồ hình trạng thái
của bộ đếm vòng

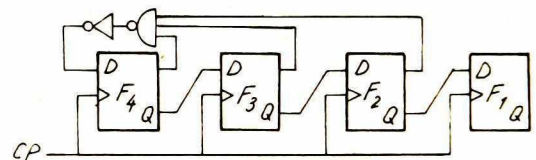
Nhận xét hình 6-3-11 : khi tác dụng xung đếm đầu vào CP, mạch tuần hoàn dịch 1, cũng có thể tuần hoàn dịch 0. Nếu chọn dùng tuần hoàn dịch 1 thì các trạng thái của bộ đếm là 1000, 0100, 0010, 0001. Khi công tác, đầu tiên nên dùng xung khởi động đưa bộ đếm vào trạng thái sử dụng, ví dụ 1000, sau đó hãy tác động CP vào.

c) Vấn đề tự khởi động

Đồ hình trạng thái cho chúng ta biết rằng bộ đếm loại này không thể tự khởi động giá như chịu tác động của nhiễu hay sự cố nguồn điện mà mạch rơi vào trạng thái không được dùng thì bộ đếm sẽ mãi mãi nằm trong vòng tuần hoàn không được dùng ; chỉ có khởi động lại thì mạch mới có thể trở về trạng thái được dùng.

Hình 6-3-12 là bộ đếm vòng 4 bit có thể tự khởi động từ sơ đồ logic ta có phương trình kích

$$\begin{aligned} D_4 &= \overline{Q_4}^n \overline{Q_3}^n \overline{Q_2}^n & D_3 &= Q_4^n \\ D_2 &= Q_3^n & D_1 &= Q_2^n \end{aligned} \quad (6-3-5)$$



Hình 6-3-12.

Bộ đếm vòng 4 bit tự khởi động.

Thay các giá trị trên vào phương trình đặc trưng của Flip Flop D, ta có :

$$\begin{aligned} Q_4^{n+1} &= \overline{Q_4}^n \overline{Q_3}^n \overline{Q_2}^n & Q_3^{n+1} &= Q_4^n \\ Q_2^{n+1} &= Q_3^n & Q_1^{n+1} &= Q_2^n \end{aligned} \quad (6-3-6)$$

Giả định trạng thái đầu là 0000, tuần tự thay vào (6-3-6) tiến hành tính, ta được bảng 6-3-3

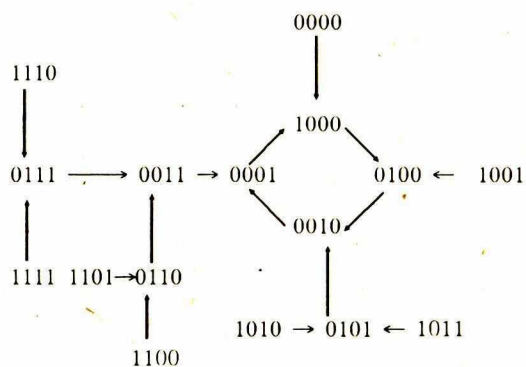
Bảng 6-3-3. BẢNG CHỨC NĂNG

Q_4^n	Q_3^n	Q_2^n	Q_1^n	Q_4^{n+1}	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}
0	0	0	0	1	0	0	0
0	0	0	1	1	0	0	0
0	0	1	0	0	0	0	1
0	0	1	1	0	0	0	1
0	1	0	0	0	0	1	0
0	1	0	1	0	0	1	0
0	1	1	0	0	0	1	1
0	1	1	1	0	0	1	1
1	0	0	0	0	1	0	0
1	0	0	1	0	1	0	0
1	0	1	0	0	1	0	1
1	0	1	1	0	1	0	1
1	1	0	0	0	1	1	0
1	1	0	1	0	1	1	0
1	1	1	0	0	1	1	1
1	1	1	1	0	1	1	1

Hình 6-3-13 là đồ hình trạng thái của mạch hình 6-3-12.

Hình 6-3-13.

Đồ hình trạng thái
của bộ đếm vòng có
thể tự khởi động.



d) Đặc điểm

Ưu điểm của bộ đếm vòng : tất cả các Flip Flop bình thường chỉ chọn một Flip Flop ở trạng thái 1 (những Flip Flop còn lại ở trạng thái 0). Vậy có thể lấy đầu ra của bộ đếm vòng từ đầu Q của các Flip Flop mà không cần bộ giải mã. Khi liên tục có xung CP đầu vào, các đầu ra Q, $\bar{Q}$ của các Flip Flop sẽ cho ra xung vuông luân lưu. Vì thế mạch điện này còn gọi là bộ phân phối xung vòng.

Nhược điểm : hiệu suất sử dụng trạng thái là thấp, nhớ N số cần N Flip Flop (cần dùng nhiều Flip Flop).

2) Bộ đếm vòng xoắn

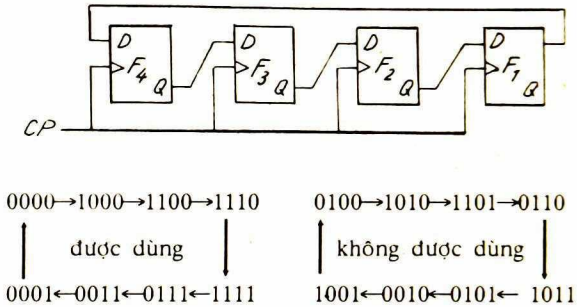
Đặc điểm cấu trúc của bộ đếm vòng xoắn là

$$D_n = \bar{Q}_1^n \quad (6-3-7)$$

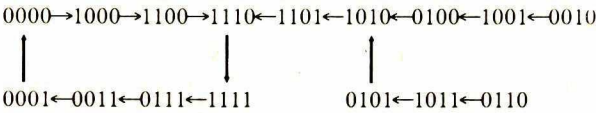
Xem sơ đồ logic và đồ hình trạng thái của mạch đếm vòng - xoắn 4 bit

hình 6-3-14 có 8 trạng thái được dùng. Có 8 trạng thái không được dùng. Mạch không thể tự khởi động. Trước khi đếm, cần thiết lập trạng thái 0000 cho bộ đếm vòng - xoắn.

Hình 6-3-15 bộ đếm vòng - xoắn có thể tự khởi động.



Hình 6-3-14. Bộ đếm vòng xoắn



Hình 6-3-15.

Bộ đếm vòng xoắn 4 bit có thể tự khởi động.

Đặc điểm của bộ đếm vòng - xoắn là chỉ có một Flip Flop duy nhất chuyển đổi trạng thái trong mỗi lần đếm ; vậy không tồn tại nguy hiểm chạy đua khi giải mã, hơn nữa các cổng giải mã đều chỉ cần hai đầu vào. Nhược điểm của bộ đếm vòng - xoắn vẫn là chưa tận dụng hết các trạng thái bộ đếm. Trong bộ đếm n bit ($n \geq 3$) thì có $2^n - 2n$ trạng thái không được dùng.

3) Bộ đếm kiểu ghi dịch độ dài cực đại

Ý nói bộ đếm kiểu ghi dịch có độ dài đếm $N = 2^n - 1$. Mạch logic phản hồi của bộ đếm này dùng cổng XOR. Bảng 6-3-4 là logic phản hồi khi $n = 3 \div 12$

Bảng 6-3-4. LOGIC PHẢN HỒI CỦA BỘ ĐẾM KIỂU GHI DỊCH ĐỘ DÀI CỰC ĐẠI

Bộ ghi dịch n bit	logic phản hồi
3	$D_3 = Q_1 \oplus Q_2, Q_1 \oplus Q_3$
4	$D_4 = Q_1 \oplus Q_2, Q_1 \oplus Q_4$
5	$D_5 = Q_1 \oplus Q_3, Q_1 \oplus Q_4$
6	$D_6 = Q_1 \oplus Q_2, Q_1 \oplus Q_6$
7	$D_7 = Q_1 \oplus Q_2, Q_1 \oplus Q_7$
8	$D_8 = Q_1 \oplus Q_3 \oplus Q_4 \oplus Q_5, Q_1 \oplus Q_5 \oplus Q_6 \oplus Q_7$
9	$D_9 = Q_1 \oplus Q_5, Q_1 \oplus Q_6$
10	$D_{10} = Q_1 \oplus Q_4, Q_1 \oplus Q_8$
11	$D_{11} = Q_1 \oplus Q_3, Q_1 \oplus Q_{10}$
12	$D_{12} = Q_1 \oplus Q_2 \oplus Q_5 \oplus Q_7, Q_1 \oplus Q_7 \oplus Q_9 \oplus Q_{12}$

Hình 6-3-16 là sơ đồ logic và đồ hình trạng thái của bộ đếm kiểu ghi dịch độ dài cực đại 3 bit. Bất kể nhiều ít 0, logic cổng XOR là 0. Vậy trong bộ đếm này, trạng thái toàn 0 không được dùng, cấu thành vòng không được dùng.

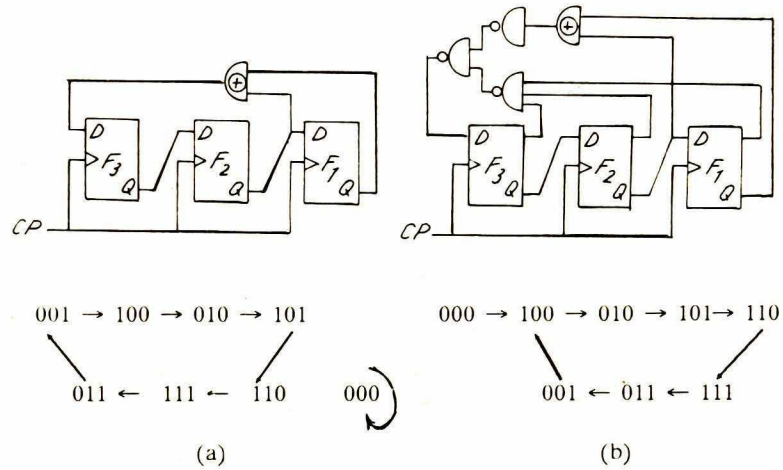
Hình 6-3-16.

Bộ đếm kiểu ghi dịch

độ dài cực đại 3 bit :

a) Không thể tự khởi động ;

b) Có thể tự khởi động.



Trong bộ đếm kiểu ghi dịch độ dài cực đại thì các trạng thái của bộ đếm tương đối được tận dụng, logic phản hồi rất đơn giản. Vậy nó kinh tế hơn bộ đếm nhị phân đồng bộ. Nhất là khi độ dài đếm khá dài thì ưu điểm này càng rõ rệt.

4) Thực hiện phương pháp tự khởi động của bộ đếm điều khiển ghi dịch

Các mạch cơ bản của bộ đếm : vòng, vòng - xoắn, kiểu độ dài cực đại v.v... đều không thể tự khởi động. Muốn giữ nguyên các trạng thái được dùng của các bộ đếm, mà mạch có thể tự khởi động, ta phải giải quyết vấn đề đó như dưới đây.

a) Các bước cơ bản :

- Vẽ ra mạch điện cơ bản và đồ hình trạng thái của nó.
- Sửa đổi quan hệ chuyển đổi trạng thái không được dùng, thực hiện tự khởi động của đồ hình trạng thái.
- Tìm logic phản hồi
- Vẽ sơ đồ logic

b) Ví dụ : thiết kế bộ đếm vòng - xoắn 3 bit có thể tự khởi động.

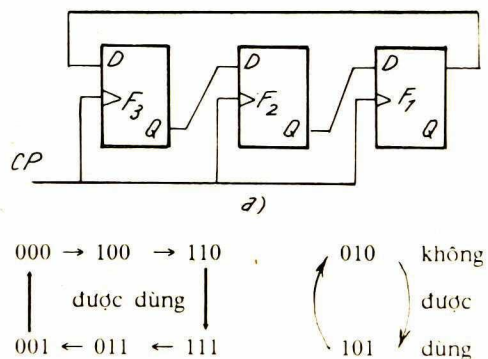
Vẽ ra mạch điện cơ bản và đồ hình trạng thái của nó

Xem hình 6-3-17

Hình 6-3-17. Bộ đếm vòng - xoắn 3 bit :

a) Sơ đồ logic ;

b) Đồ hình trạng thái.

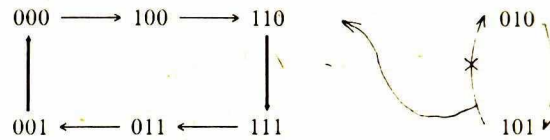


Sửa đổi vòng trạng thái không được dùng, thực hiện tự khởi động

Công việc sửa đổi là cắt đứt vòng trạng thái không được dùng, nối ghép trạng thái không được dùng tại chỗ đứt vào trạng thái được dùng tương ứng để thực hiện tự khởi động. Xem hình 6-3-18.

Hình 6-3-18.

Đồ hình trạng thái
của mạch có thể tự khởi động



Khi ghép nối trạng thái không được dùng cần chú ý rằng từ Flip Flop tương ứng bit cao nhất F_n đến Flip Flop tương ứng bit thấp nhất F_1 có quan hệ ghi dịch bit cố định ; trạng thái hiện tại của bit cao hoàn toàn quyết định trạng thái kế tiếp của bit thấp ; chúng ta chỉ sửa đổi được trạng thái kế tiếp của F_n (trong ví dụ này là F_3). Căn cứ vào vòng trạng thái không được dùng vốn có, trạng thái kế tiếp của F_3 là 0. Sau khi sửa đổi, trạng thái kế tiếp của F_3 là 1. Nếu bộ đếm lạc vào vòng trạng thái không được dùng, nó chuyển đến 101, đợi xung CP nữa thì tự động theo cách ghép nối trạng thái của chúng ta, chuyển đến 110.

Tìm logic phản hồi

Đầu tiên căn cứ quan hệ logic cần để tự khởi động, ta vẽ ra bảng Karnaugh của Q_n^{n+1} (trong ví dụ này là Q_3^{n+1}), rồi tìm hàm logic của Q_n^{n+1} .

Tiếp theo, ta so sánh với phương trình đặc trưng của Flip Flop F_n , tức là tìm ra logic phản hồi.

Từ hình 6-3-18 ta vẽ bảng Karnaugh hình 6-3-19.

Từ hình 6-3-19, ta có :

$$Q_3^{n+1} = \bar{Q}_1^n + Q_3^n \bar{Q}_2^n \quad (6-3-8)$$

Phương trình đặc trưng của Flip Flop D là :

$$Q^{n+1} = D$$

$$\text{Vậy } D_3 = \bar{Q}_1^n + Q_3^n \bar{Q}_2^n \quad (6-3-9)$$

Vẽ sơ đồ logic

$$D_3 = \overline{\overline{Q}_1^n + Q_3^n \bar{Q}_2^n} = \overline{Q}_1^n \overline{Q_3^n \bar{Q}_2^n}$$

$Q_3^n \backslash Q_2^n Q_1^n$	00	01	11	10
0	1	0	0	x
1	1	1	0	1

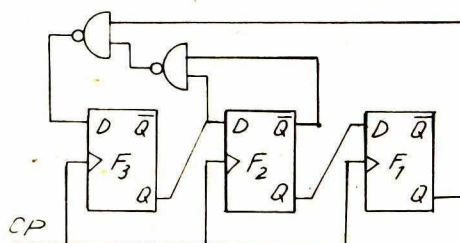
Hình 6-3-19.

Bảng Karnaugh của Q_3^{n+1} .

Xem hình 6-3-20

Hình 6-3-20.

Bộ đếm vòng - xoắn
có thể tự khởi động.



Cần nói rõ rằng, nếu mạch điện có nhiều trạng thái không được dùng, thì trong số đó có trạng thái có thể trực tiếp chuyển thành trạng thái được dùng, những trạng thái khác có thể qua một hay nhiều trạng thái không được dùng trung gian trước khi chuyển thành trạng thái được dùng. (Thể hiện trong đồ hình trạng thái tự khởi động).

6.4. BỘ TẠO XUNG TUẦN TỰ

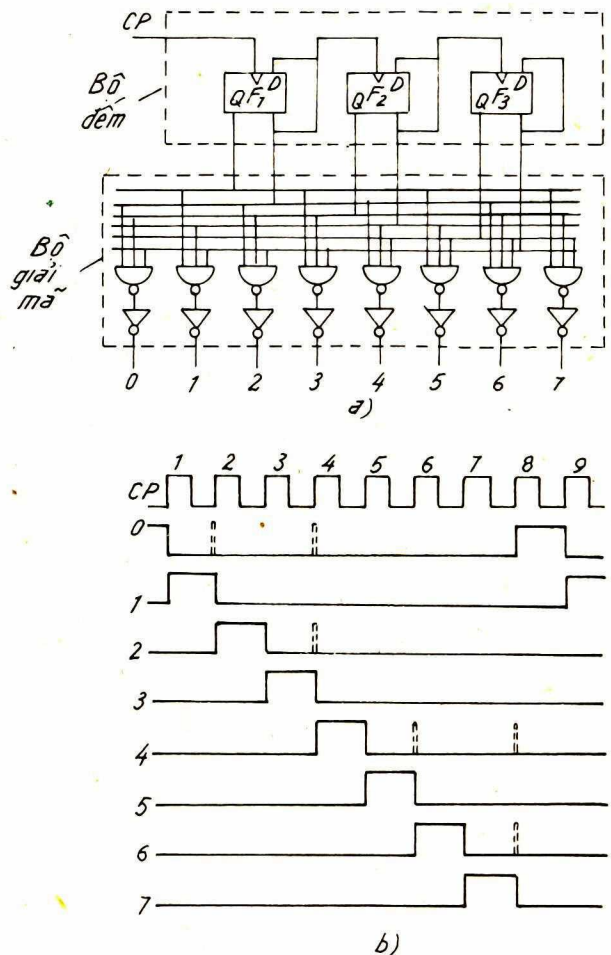
Trong các thiết bị điều khiển kĩ thuật số và máy tính số thường yêu cầu các phép toán và thao tác phải tiến hành tuần tự theo quy định trước một cách chính xác. Do đó phần điều khiển không chỉ tạo ra các tín hiệu điều khiển mà còn phân bố thời gian tuần tự cho các tín hiệu điều khiển đó. Phương pháp hay dùng nhất là sử dụng bộ tạo xung tuần tự (bộ phát xung nhịp) để tạo ra các xung tuần tự có thứ tự thời gian trước sau ; những xung này làm chuẩn thời gian cho sự hiệp đồng của các bộ phận trong toàn máy.

Bộ tạo xung tuần tự thông thường bao gồm bộ đếm và bộ giải mã như hình 6-4-1a.

Xung đồng hồ thời gian chuẩn được đưa vào đầu vào bộ đếm. Nhờ bộ giải mã sẽ biến đổi các trạng thái bộ đếm thành xung tuần tự trên các đầu ra như hình 6-4-1b.

Bộ đếm hình 6-4-1a là dị bộ. Khi xuất hiện xung đồng hồ thì các FF không lật đồng thời mà có trước có sau so với nhau. Ngoài ra, trong mỗi lần chuyển đổi trạng thái, có thể có nhiều FF cùng lật, nên sinh ra hiện tượng nguy hiểm : chạy đua. Do đó, tạo ra xung nhiều ở đầu ra bộ giải mã (của bộ tạo xung tuần tự) ; xung nhiều đôi khi được gọi là tạp âm quá độ. Ví dụ, như ở hình 6-4-1b : khi bộ đếm chuyển từ 001 thành 010, giả sử F_1 lật sang 0 trước khi F_2 lật thành 1, trong thời gian quá độ sẽ xuất hiện trạng thái 000 (ngán ngủ).

Do đó, có xung hẹp sinh ra trên đầu ra "0". Tương tự, khi từ 011 thành 100 thì cũng có thể xuất hiện xung nhiều quá độ trên đầu ra "0". Các đầu ra khác cũng có thể xuất hiện xung nhiều quá độ. Chẳng hạn, trên dây "2" khi từ 011 thành 100, trên dây "4" khi từ 101 thành 110...



Hình 6-4-1. Bộ tạo xung tuần tự :

- a) sơ đồ logic ;
- b) dạng sóng.

Có những phương pháp sau đây để trừ bỏ xung nhiễu quá độ :

1) Dùng bộ đếm vòng. Chúng ta đã xem xét mạch điện bộ đếm vòng ở tiết 6-3-3. Vì đầu ra Q của mỗi Flip Flop đã là xung tuần tự, không cần bộ giải mã, nên tuy rằng có thể có nhiều FF lật khi bộ đếm chuyển đổi, vẫn không thể sinh ra xung nhiễu quá độ.

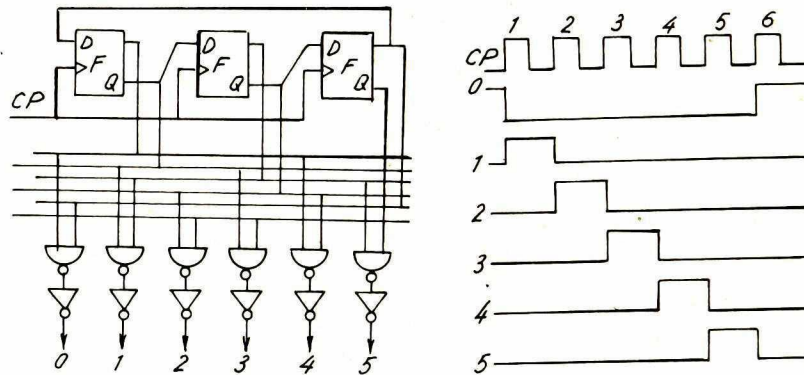
Như ta đã nói, nhược điểm của mạch này là không kinh tế : cứ tăng thêm một đầu ra phải có thêm một Flip Flop.

2) Dùng bộ đếm mỗi lần trị số đếm thay đổi chỉ có một Flip Flop lật. Thuộc về loại này là bộ đếm dùng mã Gray và bộ đếm vòng - xoắn (bộ đếm Johnson). Ví dụ : hình 6-4-2

Hình 6-4-2.

Bộ tạo xung tuần tự dùng bộ đếm vòng - xoắn

- a) Sơ đồ logic ;
b) Dạng sóng.

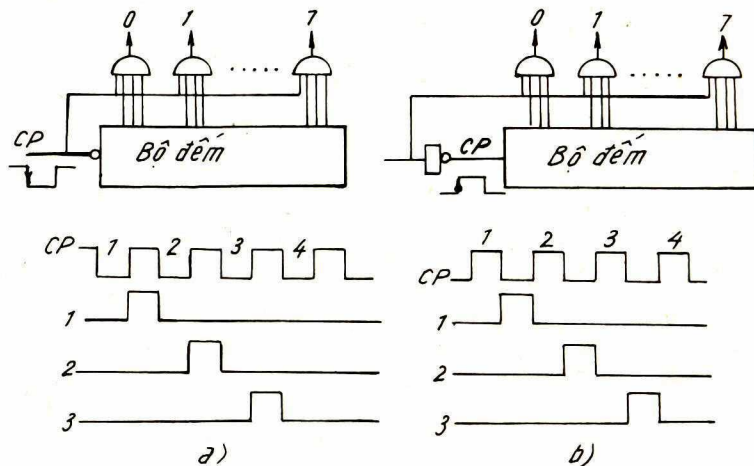


3) Ứng dụng phương pháp trừ bỏ hiện tượng nguy hiểm "chạy đua" đã giới thiệu ở tiết 4.9.2. Ví dụ, dùng xung đếm đầu vào để khóa cổng giải mã.

Hình 6-4-3.

Dùng xung đồng hồ để khóa cổng giải mã trừ bỏ "chạy đua" :

- a) Kích bằng sườn âm ;
b) Kích bằng sườn dương.



Khi kích FF bằng sườn âm CP, dùng CP khóa cổng giải mã như hình 6-4-3a. Khi kích FF bằng sườn dương CP thì dùng $\overline{CP}$ khóa cổng giải mã như hình 6-4-3b. Xung đầu ra bây giờ tuy vẫn tuần tự theo thời gian, nhưng không còn nổi sát nhau nữa.

Sử dụng bộ đếm đồng bộ có vẻ không sinh ra nhiều, vì trên lý thuyết cho là tất cả các FF đều lật đồng thời. Thực ra, các FF đều không thể hoàn toàn như nhau, phụ tải và dây nối lắp ráp của các FF cũng không hoàn toàn giống nhau, nghĩa là các FF không hoàn toàn đồng thời cùng lật, cũng tức là không thể triệt để trừ bỏ "chạy đua" được.

6.5. BỘ NHỚ RAM VÀ DỤNG CỤ GHÉP ĐIỆN TÍCH CCD

6.5.1. Bộ nhớ RAM (Random Access Memory - bộ nhớ đọc / viết)

RAM là một phần không thể thiếu của máy tính điện tử số. Trước đây, RAM là bộ nhớ bằng xuyên từ. Hiện nay, RAM là bộ nhớ bán dẫn, ; RAM bán dẫn có ưu điểm tốc độ lớn, thể tích nhỏ, dung lượng lớn, tiết kiệm điện năng và độ tin cậy cao.

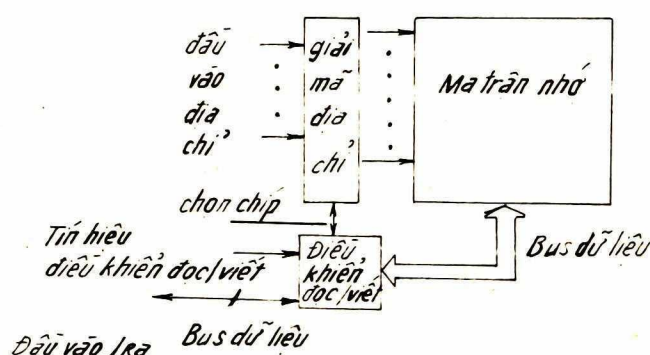
1) Kết cấu của RAM bán dẫn

Trong máy tính điện tử số, cả chương trình và số liệu đều biểu thị bằng số nhị phân - RAM bán dẫn là vi mạch (IC) cỡ lớn, bao gồm hàng trăm, nghìn phần tử nhớ để lưu giữ số nhị phân đó. Như ta đã biết, một phần tử nhớ có thể nhớ 1 số nhị phân (1bit). Căn cứ vào số bit, RAM có 2 hình thức kết cấu tổ chức bộ nhớ là : nhiều từ 1 bit và nhiều từ nhiều bit. Trong kết cấu nhiều từ 1 bit, mỗi tổ chức cơ sở của bộ nhớ chỉ nhớ 1 bit. Ví dụ, RAM 1024×1 là bộ nhớ có 1024 phần tử nhớ 1 bit. Trong kết cấu nhiều từ nhiều bit, mỗi tổ chức cơ sở của bộ nhớ lưu giữ nhiều bit. Ví dụ, RAM 256×4 là bộ nhớ có 256 phần tử nhớ 4 bit. Tích số của số phần tử cơ sở và số bit mỗi phần tử đó là dung lượng của bộ nhớ RAM. Ví dụ, RAM 16384×1 có dung lượng 16 Kbit (1 Kbit = 1024 bit). Nói chung RAM bán dẫn có cấu trúc nhiều từ 1 bit.

Hình 6-5-1 là sơ đồ khối điển hình của RAM, nó bao gồm các khối sau :

Hình 6-5-1.

Kết cấu của RAM.



a) *Bộ giải mã địa chỉ.* Trong RAM có rất nhiều phần tử nhớ ; để phân biệt, từng phần tử nhớ được gán một địa chỉ. Mỗi lần đọc hoặc viết chỉ có thể làm việc với một phần tử nhớ có địa chỉ đã cho. Hoặc là viết vào phần tử xét, hoặc là đọc ra nội dung đã viết vào trước đó, quá trình này gọi là truy nhập xuất bộ nhớ. Mã

nhị phân biểu thị địa chỉ cần truy nhập truy xuất được đưa vào bộ giải mã địa chỉ. Sau khi đã giải mã, ở đầu ra ta có tín hiệu tích cực một dây tương ứng để mở thông đường vào / ra cho tín hiệu dữ liệu được viết / đọc vào phần tử nhớ có địa chỉ đó.

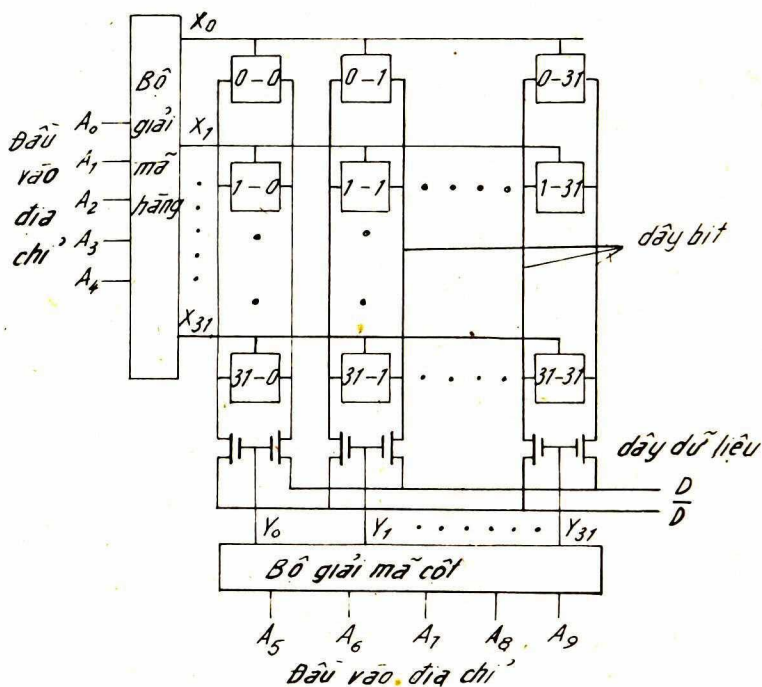
b) *Điều khiển đọc / viết.* Đối với phần tử nhớ được chọn theo địa chỉ, sự đọc ra hay viết vào tùy thuộc sự điều khiển của tín hiệu điều khiển đọc / viết. Ví dụ, $\overline{RW}$, mức logic 1 là đọc, mức logic 0 là viết. Cũng có RAM có hai trường dây tín hiệu riêng để điều khiển đọc / viết.

c) *Đầu vào / ra.* Bằng các đầu vào / ra mà RAM trao đổi tin tức với bộ xử lý trung ương (CPU - Central Processing Unit). Các đường dây dữ liệu là hai chiều, do tín hiệu điều khiển đọc / viết mà khi đọc, nó là đầu ra ; khi viết, nó là đầu vào. Số đầu vào / ra này phụ thuộc vào số bit trong một địa chỉ. Ví dụ, RAM 1024×1 mỗi địa chỉ là của một phần tử nhớ nên tương ứng chỉ có một đầu vào / ra. RAM 256×4 mỗi địa chỉ là của 1 nhóm 4 phần tử nhớ nên tương ứng có 4 đầu vào / ra. Cũng có RAM dây dữ liệu vào riêng, dây dữ liệu ra riêng. Đầu ra nói chung là mạch ra 3 trạng thái hay mạch hở cực góp (colector)

d) *Điều khiển chọn chip.* Do sự hạn chế về khả năng tích hợp RAM trên mỗi chip, bộ nhớ RAM của máy tính phải do nhiều chip RAM ghép nối logic với nhau. Khi CPU truy nhập truy xuất bộ nhớ theo địa chỉ thì địa chỉ đó thường tương ứng với một chip RAM nào đó được chọn. Điều khiển chọn chip nhằm mục đích đó. Nếu tín hiệu chọn chip dẫn vào chip RAM nào ở mức tích cực thì chip đó được chọn. Tín hiệu đầu ra bộ giải mã của chip xét sẽ điều khiển mở thông đường vào / ra cho việc trao đổi dữ liệu giữa CPU và phần tử nhớ có địa chỉ CPU phát ra. (Những chip RAM khác không có tín hiệu chọn chip ở mức tích cực thì không được chọn, nghĩa là bị ngắt khỏi liên hệ với CPU)

e) *Ma trận nhớ.* Các phần tử nhớ của RAM thường được bố trí dạng ma trận, gọi là ma trận nhớ. Đầu ra bộ giải mã địa chỉ điều khiển sự nối / ngắt giữa phần tử nhớ trong ma trận với đầu vào / ra của bộ nhớ. Phần tử nhớ tương ứng với địa chỉ được giải mã được nối thông, những phần tử khác bị ngắt.

Hình 6-5-2 là ma trận nhớ và bộ giải mã địa chỉ của RAM 1024×1 . Ma trận này có hình thức kết cấu nhiều từ 1 bit, cấu trúc thành ma trận 32×32 , mỗi khối vuông nhỏ trong hình vẽ là một phần tử nhớ ; sự nối thông với mạch ngoài của phần tử nhớ do tín hiệu đầu ra bộ giải mã địa chỉ điều khiển. Có 10 dây địa chỉ, tương ứng 1024 địa chỉ của



Hình 6-5-2. Ma trận nhớ RAM 1024×1 bit.

1024 phần tử nhớ. Giải mã địa chỉ phân làm hai : bộ giải mã hàng và bộ giải mã cột. Các dây địa chỉ $A_0, \dots, A_4$ là đầu vào bộ giải mã hàng. Đầu ra bộ giải mã hàng là 32 dây $X_0, X_1, \dots, X_{31}$ là các dây chọn hàng ; các dây địa chỉ $A_5, \dots, A_9$ là đầu vào bộ giải mã cột. Đầu ra bộ giải mã cột là 32 dây $Y_0, Y_1, \dots, Y_{31}$ là các dây chọn cột. Dây chọn hàng X_i điều khiển sự nối thông của mỗi phần tử nhớ trong hàng tương ứng của ma trận nhớ với dây bit. Dây chọn cột Y_j điều khiển sự nối thông của dây bit mỗi cột tương ứng với dây dữ liệu $D, \bar{D}$. Ví dụ, khi $X_0 = 1, Y_0 = 1$, 32 phần tử nhớ 0-0 ÷ 0-31 của hàng thứ nhất trong ma trận nhớ được nối thông với dây bit tương ứng. Trong 32 đôi dây bit thì chỉ có đôi dây được Y_0 điều khiển mới nối thông với dây dữ liệu. Vậy chỉ có mỗi phần tử nhớ 0-0 là được nối thông với dây dữ liệu. Phần tử nhớ 0 - 0 trên đây được đọc hay được viết, vấn đề này do tín hiệu dây đọc / viết điều khiển. Nếu là đọc thì tín tức lưu trữ trong phần tử nhớ 0-0 sẽ xuất ra dây dữ liệu, đầu vào / ra và truyền đến CPU. Nếu là viết thì CPU đưa tín tức cần được viết qua đầu vào / ra, dây dữ liệu và ghi vào phần tử nhớ 0-0. Tương tự, khi $X_{31} = 1, Y_{31} = 1$ thì phần tử nhớ 31-31 được nối thông với dây dữ liệu, với điều khiển đọc / viết, CPU thông qua BUS dữ liệu, đầu vào / ra, dây dữ liệu thực hiện đọc ra hay viết vào phần tử nhớ 31-31.

Hình 6-5-3 là mạch điện tương đối đơn giản dùng để điều khiển đọc / viết. Các cổng 1 ÷ 5 làm thành bộ phận điều khiển đọc / viết.

Khi $\overline{CS} = 0 ; R/W = 1$ thì $\overline{K_R} = 0$
 $\overline{K_W} = 1$ thực hiện đọc.

Khi $\overline{CS} = 0 ; R/W = 0$ thì $\overline{K_R} = 1$
 $\overline{K_W} = 0$ thực hiện viết.

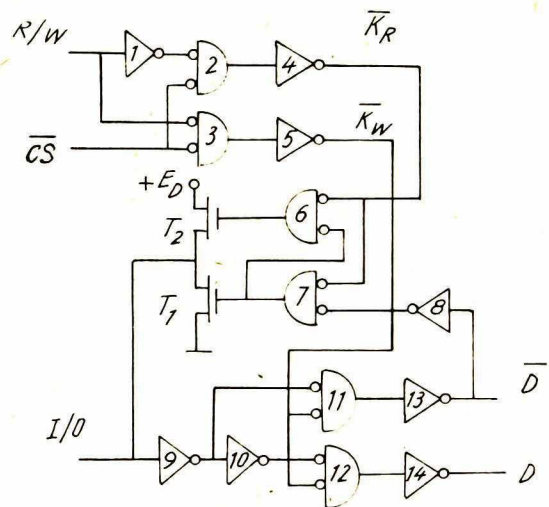
Các cổng 6,7 và bán dẫn MOS T_1, T_2 làm thành mạch đầu ra 3 trạng thái.

Khi $\overline{K_R} = 0 ; \overline{K_W} = 1$ thì cổng 11, 12 ngắt, cổng 6,7 sẵn sàng. Dữ liệu $\bar{D}$ qua cổng 8 đảo pha, qua mạch 3 trạng thái rồi ra đầu ra I/O : $I/O = \bar{D} = D$.

Vậy mạch đã thực hiện đọc.

Khi $\overline{K_R} = 1 ; \overline{K_W} = 0$ thì các cổng 6,7 bị ngắt, đầu ra của chúng là mức thấp làm cho bán dẫn T_1, T_2 bị khóa, mạch ra 3 trạng thái thể hiện trở kháng cao. Trong khi đó các cổng 11, 12 sẵn sàng, đường vào cho tín hiệu dữ liệu được mở thông qua các cổng 9, 10, 11, 12, 13, 14 với $D = I/O$ và $\bar{D} = \bar{I}/O$, tức thực hiện viết dữ liệu vào bộ nhớ.

Khi $\overline{CS} = 1 ; \overline{K_R} = 1 ; \overline{K_W} = 1$, nghĩa là khi chip RAM không được chọn thì mạch 3 trạng thái thể hiện trở kháng cao và các cổng 11, 12 cũng bị ngắt, I/O bị ngắt khỏi $D, \bar{D}$, tức là không đọc, không viết. RAM đã giới thiệu ở hình 6-5-2 lưu

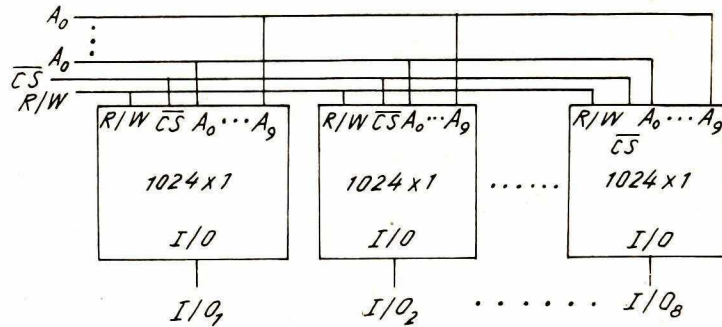


Hình 6-5-3. Mạch điều khiển đọc / viết của RAM

giữ 1 bit ở 1 địa chỉ. Thực tế thường dùng lưu giữ 8 bit hay 16 bit ở địa chỉ. Vậy nên phải ghép nối song song các RAM nhiều từ 1 bit. Hình 6-5-4 dưới đây giới thiệu 8 chip RAM 1024×1 cấu trúc thành bộ nhớ RAM 1024×8 . Trong hình này, các dây địa chỉ, dây đọc / viết, dây chọn chip đều nối song song, còn các dây I/O được dùng riêng rẽ.

Hình 6-5-4.

Bộ nhớ RAM
 1024×8 bit
dùng 8 chip
RAM 1024×1 .

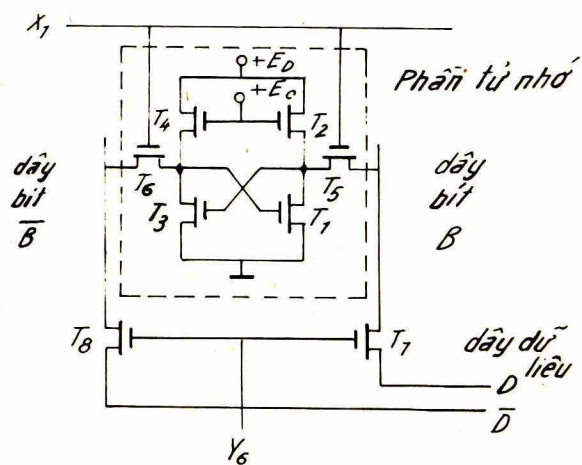


2) Phần tử nhớ RAM tĩnh

Phần tử nhớ là hạt nhân của bộ nhớ. Căn cứ sự khác biệt nguyên lí làm việc, chúng phân thành RAM tĩnh và RAM động. Căn cứ vào công nghệ sản xuất, chúng phân thành loại lưỡng cực và MOS. Vậy hình thức mạch điện rất đa dạng. Dưới đây trước tiên giới thiệu RAM tĩnh.

a) Phần tử nhớ NMOS 6 bóng bán dẫn

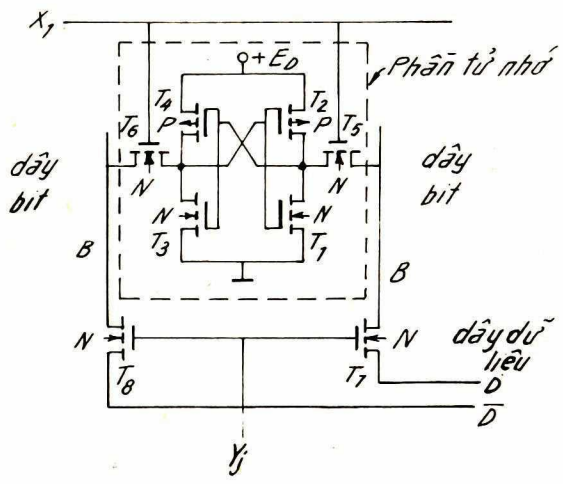
Mạch điện xem hình 6-5-5. T_1 và T_2 làm thành bộ đảo pha. T_3 và T_4 cũng làm thành một bộ đảo pha khác. Đầu vào đầu ra của hai bộ đảo pha nối chéo nhau tạo thành một Flip Flop RS cơ bản, nghĩa là cấu trúc nên phần tử nhớ. T_1 thông T_3 ngắt là trạng thái 0 ; T_3 thông và T_1 ngắt là trạng thái 1 - T_5 , T_6 là các bóng bán dẫn điều khiển. Dây X_i điều khiển T_5 , T_6 thông hoặc ngắt, do đó điều khiển sự nối thông đầu ra của Flip Flop với dây bit. Khi $X_i = 1$ thì T_5 , T_6 thông, do đó FF thông với dây bit. Khi $X_i = 0$ thì T_5 , T_6 ngắt, do đó FF bị ngắt khỏi dây bit. T_7 , T_8 là các bóng bán dẫn điều khiển sự nối thông dây bit với dây dữ liệu bằng tín hiệu dây Y_j , nguyên lí làm việc tương tự T_5 , T_6 . Không phải mỗi phần tử nhớ đều có riêng T_7 , T_8 này ; mà T_7 , T_8 là dùng chung cho cả cột phần tử nhớ (xem



Hình 6-5-5. Phần tử nhớ RAM tĩnh
6 bóng bán dẫn MOS.

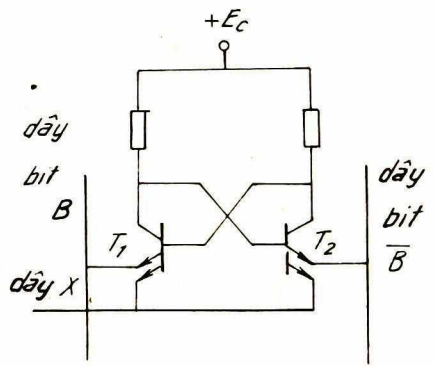
hình 6-5-5). Vậy chỉ phần tử nhớ nào mà các giá trị X_c , Y_j của nó đều là 1 thì mới được nối thông với dây dữ liệu, nghĩa là mới có thể tiến hành đọc / viết đối với phần tử đó. Ta nói phần tử nhớ $i-j$ đã được chọn. Bất kì thời điểm nào thì cũng chỉ có 1 dây X_i nào đó có thể có mức 1, và cũng chỉ có 1 dây Y_j nào đó có thể có mức 1. Nghĩa là khi truy nhập truy xuất, lúc nào cũng chỉ có một phần tử nhớ được chọn ; các phần tử nhớ khác giữ nguyên trạng thái, tức lưu giữ không đổi nội dung đã ghi vào.

b) *Phần tử nhớ CMOS 6 bóng bán dẫn* (xem hình 6-5-6). Cấu trúc và nguyên lí công tác giống như mạch hình 6-5-5. $T_1 \div T_4$ làm thành Flip Flop RS cơ bản. T_7 , T_6 là bóng điều khiển sự nối thông FF với dây bit. T_7 , T_8 là bóng điều khiển sự nối thông dây bit với dây dữ liệu. Đặc điểm của mạch này là bóng bán dẫn phụ tải của bộ đảo pha loại MOS kênh P tăng cường. Phần tử nhớ CMOS chỉ cần tiêu tốn rất ít điện năng (cỡ μW). Vậy rất tiện dùng pin thay thế khi lưới điện bị sự cố nhằm giữ gìn thông tin đã ghi vào bộ nhớ.



Hình 6-5-6. Phần tử nhớ RAM tĩnh 6 bóng CMOS.

c) *Phần tử nhớ lưỡng cực* (xem hình 6-5-7). Mạch gồm 2 tranzito nhiều emitơ và 2 điện trở, chúng cấu trúc nên Flip Flop. Một đôi emitơ nối vào dây X, đôi emitơ còn lại nối riêng rẽ vào dây bit B, $\bar{B}$.



Hình 6-5-7. Phần tử nhớ lưỡng cực.

Ở trạng thái lưu giữ số liệu, điện thế dây X cỡ 0,3V, điện thế dây bit cỡ 1,1V. Khi đó, dòng điện của tranzito thông sẽ chạy ra dây X, lớp tiếp giáp bán dẫn nối với dây bit phân cực nghịch làm hở mạch dây bit với FF.

Trạng thái phần tử nhớ có thể là 0 (T_1 thông, T_2 ngắt) hoặc có thể là 1 (T_2 thông, T_1 ngắt).

Khi phần tử nhớ được chọn (đề vào / ra dữ liệu), điện thế dây X lên cao đến cỡ 2,2V, điện thế dây bit bé hơn, nên dòng điện qua tranzito thông sẽ chạy ra dây bit.

Giả sử cần đọc ra, thì chỉ cần xác định dòng điện trên một dây bit có hay không. Chẳng hạn xét dây bit $\bar{B}$: trạng thái phần tử nhớ là 1, T_2 thông, dòng điện ra dây $\bar{B}$, qua bộ khuếch đại đọc ra điện áp mức 1 ; trạng thái phần tử nhớ là 0, T_2 ngắt, không có dòng điện ra dây $\bar{B}$, đầu ra bộ khuếch đại đọc không có tín hiệu (điện áp mức 0).

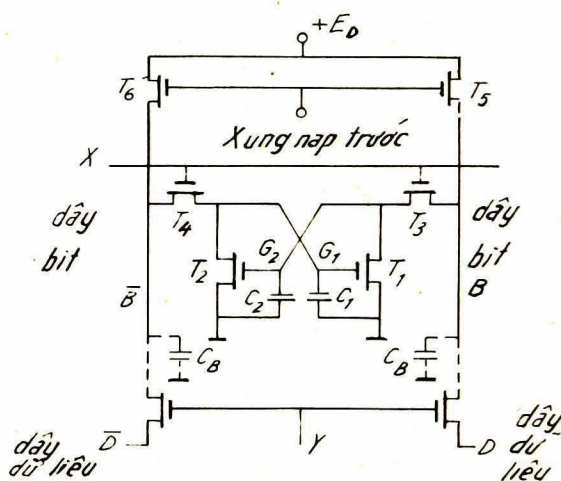
Giả sử cần viết vào giá trị 1, thì sau mạch đầu vào ta có $B = 1$, $\bar{B} = 0$, tương ứng T_1 ngắt, T_2 thông. Dòng điện của T_2 chạy ra dây bit $\bar{B}$. Sau khi dây X trở về mức thấp thì dòng điện của T_2 chuyển hướng chạy ra dây X, trạng thái phân tử nhớ không thay đổi, hoàn thành viết vào nó giá trị 1. Giả sử cần viết vào giá trị 0. Khi đó, $B = 0$, $\bar{B} = 1$ tương ứng T_1 thông, T_2 ngắt.

3) Phần tử nhớ RAM động

Phần tử nhớ động MOS sử dụng điện dung cực cửa (gate) của bóng bán dẫn MOS để nhớ tạm thời dữ liệu. Do có sự dò điện nên điện tích lưu giữ trên điện dung cực cửa bị suy giảm dần. Vậy để dữ liệu lưu giữ không bị mất đi, phải bù lượng điện tích bị dò mất bằng cách định kì nạp điện bổ sung cho điện dung cực cửa. Việc này được gọi là làm tươi dữ liệu bộ nhớ động.

Dưới đây giới thiệu mấy loại phần tử nhớ động thường gặp

a) *Phần tử nhớ động 4 bóng* (xem hình 6-5-8). T_1 và T_2 nối ghép chéo nhau. Dữ liệu (điện tích) lưu trữ trên C_1 và C_2 . Điện áp trên C_1 , C_2 điều khiển T_1 , T_2 thông hoặc ngắt. Khi C_1 nạp điện tích (điện áp trên C_1 lớn hơn điện áp cắt của T_1) và C_2 không có điện tích (điện áp trên C_2 nhỏ hơn điện áp cắt của T_2) thì T_1 thông, T_2 ngắt, tương ứng với trạng thái 0 của phần tử nhớ. Khi C_2 nạp điện tích, C_1 không có điện tích thì T_2 thông, T_1 ngắt, tương ứng với trạng thái 1 của phần tử nhớ. T_3 và T_4 là những bóng điều khiển sự nối thông phần tử nhớ với dây bit. T_5 và T_6 là mạch điện nạp trước của dây bit, dùng chung cho tất cả các phần tử nhớ cùng cột trong ma trận nhớ. Khi bắt đầu truy nhập truy xuất bộ nhớ, trên cực cửa của T_5 và T_6 có xung nạp trước nên T_5 , T_6 nối thông, do đó các dây bit B , $\bar{B}$ có mức điện áp cao vì thông đến nguồn E_D . Sau khi kết thúc xung nạp trước, T_5 và T_6 ngắt, dây bit cách li khỏi nguồn E_D . Nhưng do tác dụng của điện dung phân bố C_B và $C_{\bar{B}}$. Khi đó, mức điện áp cao của dây bit có thể duy trì thêm một khoảng thời gian nữa. Trong khoảng thời gian này, giả sử tiến hành đọc dữ liệu, dây X có mức cao, T_3 và T_4 thông. Giả sử phần tử nhớ có trạng thái 0 (T_1 thông, T_2 ngắt) thì G_1 có mức cao, G_2 có mức thấp. Lúc này C_B phóng điện qua T_1 và T_3 . Do đó dây bit B biến thành mức thấp. Do T_2 ngắt, dây bit $\bar{B}$ vẫn ở mức cao. Vậy dữ liệu nhớ trong phần tử đã được đọc ra dây bit B và $\bar{B}$. Nếu lúc này dây Y cũng ở mức cao thì tín hiệu sẽ đưa đến đầu ra của RAM qua dây dữ liệu D và $\bar{D}$.



Hình 6-5-8. Phần tử nhớ động MOS 4 bóng.

Vậy mạch điện nạp trước của dây bit có tác dụng gì ? Trong khoảng thời gian T_3 , T_4 thông, nếu dây bit không được nạp điện trước thì mức cao có được của dây $\bar{B}$ chỉ do C_1 phóng qua T_4 nạp vào $C_{\bar{B}}$. Nếu thế, điện tích trên C_1 bị suy giảm. $C_{\bar{B}}$ có giá trị thậm chí lớn hơn C_1 (vì có nhiều phần tử nối vào dây bit). Vậy có thể G_1 không giữ nguyên mức cao sau 1 lần đọc, tức là dữ liệu bị mất. Nhờ có mạch điện nạp trước, điện thế dây bit $\bar{B}$ còn cao hơn điện thế G_1 một ít. Vậy khi đọc dữ liệu, điện tích trên C_1 không những không hề bị suy giảm, mà còn được làm tươi nhờ sự nạp điện thêm cho C_1 qua T_4 .

Khi tiến hành viết, đầu vào dữ liệu của RAM sẽ làm thay đổi trạng thái phần tử nhớ thông qua dây dữ liệu và dây bit, tức là đưa dữ liệu vào lưu giữ trong phần tử nhớ.

b) Phần tử nhớ động 3 bóng

Xem hình 6 - 5- 9. Dữ liệu lưu giữ ở điện dung C của cực bóng T_2 . Điện áp trên C điều khiển trạng thái T_2 . Các dây đọc /viết bit và dây chọn từ đều riêng biệt. Dây chọn đọc từ điều khiển bóng T_3 . Dây chọn viết từ điều khiển bóng T_1 . T_4 là bóng bán dẫn mạch nạp trước dùng chung cho cột phần tử nhớ của ma trận.

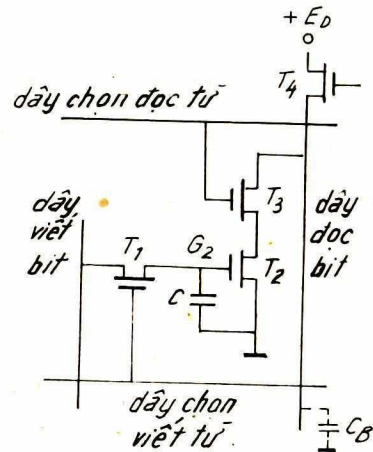
Quá trình đọc diễn ra như sau. Đầu tiên dây đọc bit được nạp trước đến mức cao. Tiếp theo, dây chọn đọc từ lên mức cao làm cho T_3 thông. Giả sử C được nạp điện đến mức lớn hơn điện áp cắt của T_2 làm T_2 thông. $C_{\bar{B}}$ phóng điện qua T_3 , T_2 làm cho dây đọc bit ở mức thấp. Giả sử C không có điện tích, thì T_2 ngắt, $C_{\bar{B}}$ không có đường phóng điện, mức điện trên dây đọc bit qua bộ khuếch đại đọc ra đưa đến đầu ra bộ nhớ.

Khi tiến hành viết, dây chọn viết từ có mức cao, T_1 thông, dữ liệu viết vào được đưa đến dây viết bit điều khiển mức điện áp trên điện dung C qua T_1 . Vậy đã đưa dữ liệu vào lưu giữ trong phần tử nhớ.

Điện áp trên C khi đọc (tức mức ở G_2) ngược pha với mức điện dây đọc bit. Mức điện dây viết bit khi viết cùng cao cùng thấp như mức ở G_2 . Nếu tiến hành đọc một cách chu kì, đưa dữ liệu ở C ra dây đọc bit, qua bộ đảo pha đưa vào dây viết bit, rồi tiến hành viết lại vào phần tử nhớ. Đó là phương pháp làm tươi phần tử nhớ một cách chu kì.

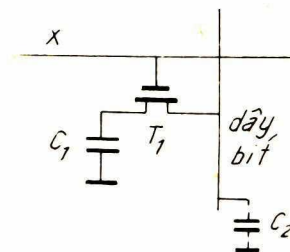
c) Phần tử nhớ động 1 bóng

Xem hình 6 - 5 - 10. Mạch này chỉ dùng một bóng bán dẫn MOS và một tụ điện. Dữ liệu lưu giữ ở điện dung C_1 . Bóng bán dẫn T điều khiển sự nối thông để đọc/viết ; đưa dữ liệu từ dây bit vào phần tử nhớ hoặc đưa dữ liệu từ phần tử nhớ ra dây bit.



Hình 6-5-9.

Phần tử nhớ động MOS 3 bóng.



Hình 6-5-10. Phần tử nhớ động MOS 1 bóng.

Khi viết, dây bit điều khiển mức điện trên C_1 qua T. Khi đọc, C_1 điều khiển mức điện trên C_B , tức đưa ra dữ liệu. Ví dụ, trên C_1 vốn mức V_1 , dây bit vốn $V_B = 0$ thì sau khi đọc, mức điện trên dây bit là $V_B = V_1 \times \frac{C_1}{C_1 + C_B}$

Nhược điểm của mạch này là điện tích trên phần tử nhớ C_1 bị suy giảm mỗi lần đọc. Vậy nên cần làm tươi sau mỗi lần đọc. Ngoài ra, do nhiều phần tử nối vào dây bit nên giá trị điện dung C_B tương đối lớn, $C_B \gg C_1$. Dữ liệu đọc ra có mức điện bé ; giá trị mức logic 0 và mức logic 1 trên dây bit không khác xa nhau. Để xác định mức điện chênh lệch nhỏ trên dây bit cần phải dùng bộ khuếch đại đọc ra có độ nhạy cao.

Ba loại phần tử nhớ động trình bày trên đây đều có ưu nhược điểm. Mạch 4 bóng chiếm diện tích lớn trên chip nhưng không cần mạch làm tươi riêng, quá trình đọc ra đồng thời là quá trình làm tươi ; vậy mạch phụ đơn giản. Mạch 3 bóng giảm diện tích một ít nhưng yêu cầu các dây chọn đọc/viết và dây dữ liệu đều riêng biệt, cần mạch ngoài điều khiển phản hồi để làm tươi ; vậy dây nối với mạch ngoài tương đối nhiều hơn. Mạch 1 bóng đơn giản nhất. Nhưng yêu cầu bộ khuếch đại đọc ra độ nhạy cao và yêu cầu làm tươi sau mỗi lần đọc ra. Vậy mạch điện phụ ngoài phức tạp. RAM tĩnh so với RAM động : Số lượng bán dẫn nhiều hơn, độ tích hợp thấp hơn, nhưng không nhất thiết định kì làm tươi, mạch phụ đơn giản, sử dụng tiện.

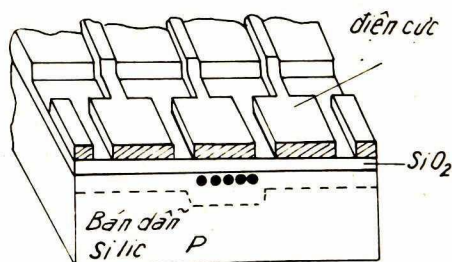
6.5.2. Dụng cụ ghép điện tích CCD (Charge Coupled Device)

Dụng cụ ghép điện tích CCD thuộc công nghệ MOS phát triển từ năm 1970. Ưu điểm của CCD là cấu trúc đơn giản, giá thành hạ, độ tích hợp cao, có thể chế tạo trên dây chuyền công nghệ MOS thông thường. CCD được quan tâm nhiều, hiện nay đã ứng dụng trong các bộ nhớ, xử lí tín hiệu và nhiếp ảnh. Nhược điểm của CCD là tốc độ chậm hơn bộ nhớ bán dẫn.

Sự khác biệt trong nguyên lí làm việc của CCD là ở chỗ nó dùng điện tích để biểu thị dữ liệu, chứ không phải là dòng hay áp. Về cơ bản, CCD là một bộ ghi dịch động, nên hiện nay dùng làm bộ nhớ nối tiếp.

1) Cấu trúc (Xem hình 6 - 5 - 11)

Trên đế bán dẫn Silic loại P (hoặc loại N), người ta tạo ra một lớp mỏng cách điện SiO_2 cỡ 1200 Å. Trên lớp cách điện này người ta cho lắng đọng một loạt các điện cực $10 \times 10 \mu\text{m}$ với giãn cách $< 3 \mu\text{m}$. Mỗi điện cực và lớp đế bán dẫn với lớp cách điện ở giữa chúng tạo thành một tụ điện. Vậy CCD là một dãy các tụ điện MOS cấu trúc nên. Những tụ điện này là phần tử nhớ mà có hay không có điện tích biểu thị các mức logic 1 hay 0. Điện tích nạp vào



Hình 6-5-11.

Sơ đồ mặt cắt của CCD.

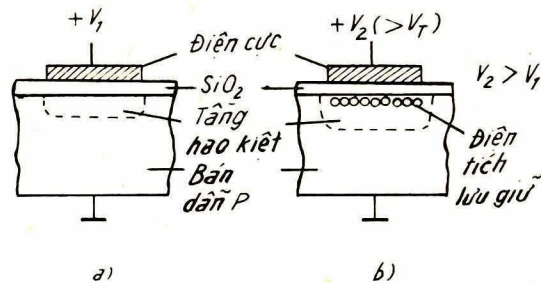
có thể dịch chuyển từ tụ điện nọ sang tụ điện kia tương tự như sự chuyển dịch mức trong bộ ghi dịch ta đã biết.

2) Lưu giữ điện tích

Giả sử đưa điện áp dương $+V_1$ vào điện cực. Những phần tử lỗ trống (hạt dẫn đa số) trong lớp Silic bên dưới điện cực bị đẩy đi khỏi tạo thành một tầng hao kiệt (Xem hình 6-5-12).

Độ dày của tầng hao kiệt tăng theo độ lớn của điện áp $+V_1$. Khi điện áp điện cực lớn hơn điện áp cắt của cấu trúc MOS, $+V_2 > V_T$, một rãnh loại N hình thành trên mặt đế Silic bên dưới điện cực đó.

Trong bóng bán dẫn MOS, hai phía là cực nguồn và cực máng, giữa chúng các hạt dẫn đa số có thể khuếch tán về phía đế Silic, nên quá trình tạo ra rãnh N là rất ngắn. Ở CCD thì khác, vì không có cực nguồn và cực máng, chỉ có các hạt dẫn thiểu số do nhiệt sinh ra khuếch tán về phía đế Silic, nên quá trình tạo ra rãnh N là khá dài hơn, cỡ nhiều giây đồng hồ. Trước khi rãnh N được tạo ra, nếu có điện tử từ bên ngoài nhập vào tầng hao kiệt thì nó sẽ khuếch tán về phía đế và tích lũy ở đó tạo thành điện tích lưu giữ (Xem hình 6-5-12b). Việc này xảy ra nhờ tác dụng điện trường. Nếu không có điện tử bên ngoài nhập vào thì không có điện tích lưu giữ tích tụ ở lớp đế dưới điện cực. Rõ ràng phương pháp lưu giữ điện tích chỉ có thể lưu giữ trong thời gian rất ngắn. Vì nếu thời gian đủ dài thì điện tử nhiệt tràn ngập lớp đế, bất kể có điện tích ngoài nhập vào hay không. Nói cách khác, tiến độ làm việc của CCD phải là lượng điện tử bên ngoài nhập vào lớn hơn nhiều số điện tử nhiệt. Khu vực bên dưới điện cực có thể lưu giữ điện tích được gọi là vùng bẫy điện thế.



Hình 6-5-12.

CCD lưu giữ điện tích.

3) Chuyển dịch điện tích bằng cách thay đổi thích hợp điện áp đưa vào điện cực, điện tích tín hiệu lưu giữ trong vùng bẫy điện thế có thể chuyển dịch từ miền gần điện cực này đến miền gần điện cực khác; hình 6-5-13. Về 6 điện cực, điện cực 1,4 được cấp xung đồng hồ pha thứ nhất ϕ_1 , điện cực 2,5 được cấp xung đồng hồ pha thứ hai ϕ_2 , điện cực 3, 6 được cấp xung đồng hồ pha thứ ba ϕ_3 . Dạng sóng ba pha như hình 6-5-13d. Các pha lệch nhau $\frac{T}{3}$ với T là chu kì xung đồng hồ.

Hình 6-5-13a tương ứng thời điểm t_1 mà $\phi_2 = V_1$, $\phi_1 = \phi_3 = V_3$, lúc này tầng hao kiệt hình thành bên dưới tất cả các điện cực. Do giãn cách giữa các điện cực rất nhỏ nên tầng hao kiệt của các điện cực liên thông nhau. Trong tầng, điện thế càng gần đế càng thấp. Lúc này điện thế ϕ_2 cao nhất, nên tương ứng điện thế bề mặt đế Silic dưới điện cực 2,5 cũng cao nhất. Nếu điện tử nhập vào vùng bẫy điện thế 2 thì điện tử sẽ tích tụ ở vùng này và không chuyển dịch.

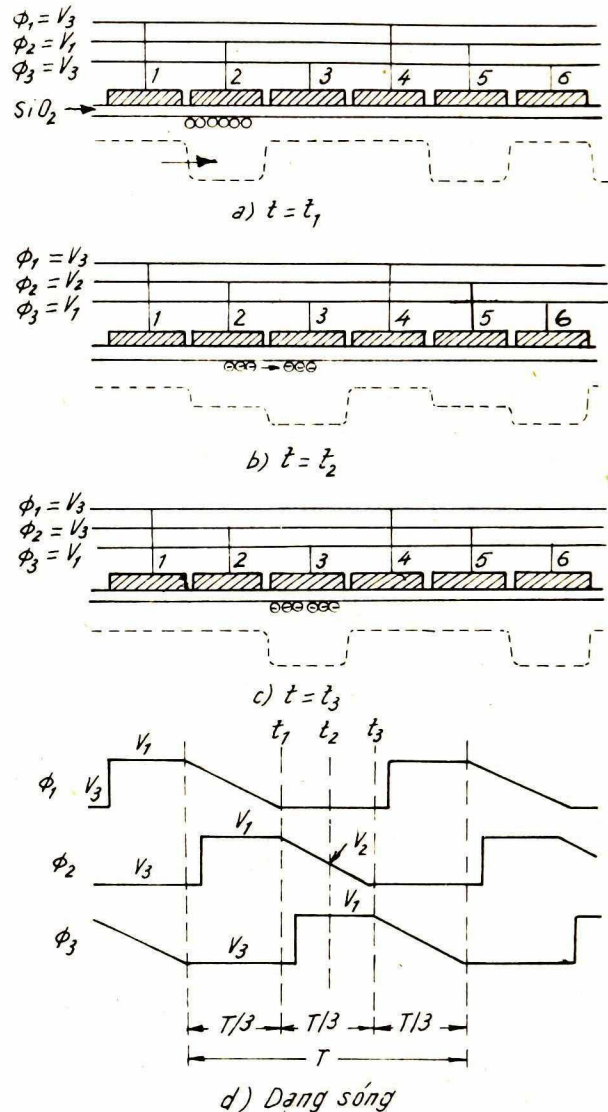
Hình 6-5-13b tương ứng thời điểm t_2 mà ϕ_3 lên mức V_1 , ϕ_2 giảm tới mức V_2 , ϕ_1 vẫn duy trì mức thấp nhất V_3 . Lúc này tầng hao kiệt của điện cực 3, 6 sâu nhất, điện thế bề mặt đế Silic dưới điện cực 3, 6 cao nhất. Vậy những điện tử lúc t_1 ở bẫy điện thế 2, bây giờ dịch chuyển sang bẫy điện thế 3 (bên cạnh có điện thế cao hơn). Ở t_1 bẫy điện thế 5 giả thiết không có điện tử, nên bây giờ (t_2) cũng không có điện tử dịch chuyển sang bẫy điện thế 6.

Hình 6-5-13c tương ứng thời điểm t_3 , khi mà việc chuyển dịch điện tích đã hoàn thành, điện tích đã dịch sang phải một điện cực và lưu giữ trong bẫy điện thế 3. Trong quá trình chuyển dịch đó, ϕ_1 liên tục duy trì mức điện thế thấp nhất để nhằm phòng ngừa điện tích dịch sang trái.

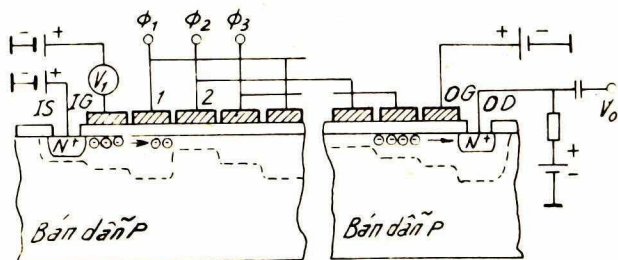
Từ t_1 đến t_3 là thời gian $\frac{1}{3}$ chu kỳ T , điện tích chuyển dịch một khoảng giữa hai điện cực cạnh nhau. Vậy sau một chu kỳ T thì điện tích chuyển dịch ba khoảng cách điện cực. Ba điện cực lân cận nhau cấu trúc thành 1 bit của bộ ghi dịch.

Nếu dùng hình dạng điện cực khác nhau và số pha đồng hồ khác nhau thì thể tạo ra nhiều cách điều khiển điện tích chuyển dịch khác nhau.

4) Đầu vào và đầu ra mạch CCD thực tiễn phải có đầu vào để đưa dữ liệu vào và phải có đầu ra để lấy dữ liệu ra. Ở đầu vào CCD thì dòng (hoặc áp) phải biến đổi thành điện tích. Ở đầu ra của CCD thì điện tích phải biến đổi thành dòng (hoặc áp).



Hình 6-5-13. Sơ đồ 3 pha chuyển dịch điện tích của CCD.



Hình 6-5-14. Mạch vào và mạch ra của CCD.

Hình 6-5-14 là ví dụ về mạch điện đầu vào, đầu ra của CCD.

Hai bên điện cực cơ bản có thêm các điện cực sau : cực nguồn vào IS, cực máng ra OD, cực cổng vào OG, cực cổng ra OG mà các cực cổng thực chất là điện cực chuyển dịch dây dẫn riêng. Khi công tác, trên IS và IG đều có thiên áp dương để hình thành tầng hao kiệt bên dưới nó. Tầng hao kiệt này liên thông với tầng hao kiệt bên dưới điện cực chuyển dịch như hình vẽ. Khi mà điện cực 1 có điện thế cao nhất, tầng hao kiệt của nó sâu hơn tầng hao kiệt của IS, IG. IS (N^+) là một nguồn điện tử nhưng điện thế IS và IG quyết định điện tử có nhập vào vùng dưới điện cực 1 hay không. Nếu $V_{IG} > V_{IS}$ thì nhập được, nếu $V_{IG} < V_{IS}$ thì ngừng nhập. Vậy IS, IG và điện cực 1 tương tự một bóng bán dẫn MOS. Điện áp tín hiệu (dữ liệu vào) đưa nối tiếp vào IG hay vào IS điều khiển quan hệ điện thế tương đối của IS và IG, nghĩa là điều khiển nhập hay ngừng nhập. Sau khi kết thúc quá trình điều khiển nhập dữ liệu vào này, IG trở về mức điện thế thấp nhất làm cách li nguồn điện tử khỏi vùng bẫy điện thế bên dưới điện cực 1. Bây giờ có thể tiến hành điều khiển chuyển dịch điện tích.

Trong mạch ra, trên OG và OD đều có thiên áp dương, và có 1 điện trở nối tiếp vào mạch vòng của OD. Sau khi điện tích đã chuyển dịch đến điện cực chuyển dịch cuối cùng, nếu điện thế trên nó thấp hơn điện thế OG thì điện tích đi qua lớp đế Silic dưới OG để nhập vào khu vực máng Ra N^+ , sinh ra dòng điện trong mạch OD, tạo ra điện áp tín hiệu ra trên điện trở. Tác dụng của OG là giảm nhỏ ghép điện dung giữa điện cực chuyển dịch cuối cùng và OD. Nhờ vậy giảm nhỏ ảnh hưởng của xung đồng hồ đối với tín hiệu ra.

Phương pháp nhập điện tích trên đây gọi là phương pháp điện. Nếu dùng phần tử bán dẫn nhạy quang thì có thể nhập điện tích nhờ điện tử kích quang. Dựa vào nguyên lý nhập phương pháp quang có thể chế tạo máy ảnh chất rắn - ghép điện tích.

6.6. THIẾT KẾ MẠCH DÂY

Thiết kế là tổng hợp mạch điện, ngược với quá trình phân tích. Xuất phát từ yêu cầu đề ra, mục đích thiết kế là mạch logic thỏa mãn yêu cầu đó. Từ việc phân tích mạch dây, ta biết rằng có thể dễ dàng tìm phương trình định thời, phương trình kích, phương trình ra và vẽ sơ đồ logic. Trong tiết này ta sẽ tập trung tìm hiểu công việc thiết kế bộ đếm, đồng thời xem xét những nét chính công việc thiết kế mạch dây nói chung. Bộ đếm là một mạch dây tương đối đơn giản nhưng rất điển hình. Phương pháp thiết kế bộ đếm cũng rất điển hình. Và lại mục đích tìm hiểu công việc thiết kế không phải để giải quyết vấn đề thiết kế bất kì mạch dây phức tạp nào. Trên cơ sở nắm vững việc thiết kế bộ đếm, ta sẽ càng hiểu sâu toàn bộ nội dung chương này và sẽ có năng lực phân tích giải quyết những vấn đề mạch dây. Với tình hình sản xuất đại trà các IC số trung, đại quy mô hiện nay, với quan điểm người dùng, nhiệm vụ thiết kế có đổi khác.

6.6.1. Thiết kế bộ đếm đồng bộ

Dưới đây giới thiệu 2 phương pháp thiết kế bộ đếm đồng bộ (có thể dùng những phương pháp khác).

1) Phương pháp thứ nhất

a) Các bước cơ bản

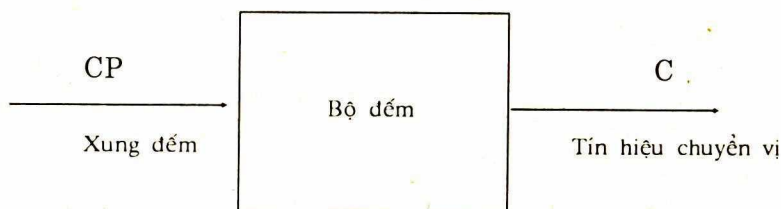
- Phân tích yêu cầu thiết kế, xây dựng đồ hình trạng thái ban đầu.
- Xác định số lượng và chủng loại Flip Flop, chọn lựa sự mã hóa trạng thái.
- Tìm phương trình trạng thái và phương trình ra, kiểm tra khả năng tự khởi động.
- Tìm phương trình kích
- Vẽ sơ đồ logic

b) Ví dụ thiết kế

Ví dụ 6-6-1 : hãy thiết kế bộ đếm thuận thập phân đồng bộ.

Bài giải

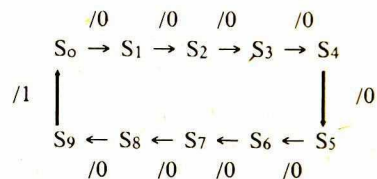
Phân tích yêu cầu thiết kế, xây dựng đồ hình trạng thái ban đầu



Hình 6-6-1. Mô hình yêu cầu của bộ đếm.

Bộ đếm cần có mười trạng thái, $N = 10$, biểu thị bằng $S_0, S_1, \dots, S_9$. Căn cứ quy luật đếm thuận thập phân, ta vẽ ra đồ hình trạng thái ban đầu như hình 6-6-2 dưới đây.

Đồ hình trạng thái phản ánh toàn diện yêu cầu thiết kế. Trong hình 6-6-2, S_0 thay mặt số 0, S_1 thay mặt số 1, ..., S_9 thay mặt số 9. Dưới tác động của xung đếm đưa vào, trạng thái mạch điện phải chuyển đổi trạng thái tuần tự theo luật đếm thuận. Tương ứng trạng thái S_9 thì $C = 1$, tương ứng các trạng thái khác thì $C = 0$. Khi bộ đếm từ S_9 chuyển đổi sang S_0 thì bộ đếm xóa về 0, tín hiệu chuyển vị (nhớ) kích lật bộ đếm trọng số lớn hơn.



Hình 6-6-2.

Đồ hình trạng thái ban đầu của bộ đếm thập phân đồng bộ.

Xác định số lượng và chủng loại Flip Flop, chọn lựa mã hóa trạng thái

Vì $2^n \geq N = 10$

Vậy $n = 4$, chọn Flip Flop JK.

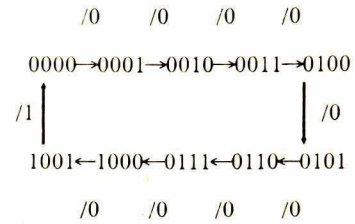
4 FF có tất cả 16 trạng thái, để biểu thị $S_0 \div S_9$ chỉ cần chọn 10 trạng thái, nên có nhiều phương án mã hóa. Chúng ta hãy chọn phương án mã hóa thông dụng nhất : mã 8421 ($Q_4 Q_3 Q_2 Q_1$)

$S_0 = 0000,$	$S_1 = 0001,$	$S_2 = 0010,$	$S_3 = 0011,$	$S_4 = 0100,$
$S_5 = 0101,$	$S_6 = 0110,$	$S_7 = 0111,$	$S_8 = 1000,$	$S_9 = 1001.$

Vẽ ra đồ hình trạng thái sau khi mã hóa như hình 6-6-3.

Hình 6-6-3.

Đồ hình trạng thái (sau khi chọn cách mã hóa) của bộ đếm.



Tìm phương trình trạng thái, phương trình ra, kiểm tra tự khởi động

Tìm phương trình trạng thái

Trạng thái kế tiếp và đầu ra của bộ đếm đều là hàm số của trạng thái xét, mà trạng thái xét và trạng thái kế tiếp của bộ đếm đều biểu thị bằng trạng thái hiện tại và kế tiếp của các Flip Flop cấu trúc nên bộ đếm. Do vậy, căn cứ đồ hình trạng thái hình 6-6-3 ta vẽ ra bảng Karnaugh của đầu ra và trạng thái kế tiếp bộ đếm. Rồi từ đó tìm được phương trình trạng thái và phương trình ra của mạch điện.

6 trạng thái 1010 ÷ 1111 không được dùng, sẽ không xuất hiện trong khi bộ đếm làm việc bình thường, có thể giúp việc tối thiểu hóa.

Phương trình đặc trưng của Flip Flop JK là

$$Q^{n+1} = JQ^n + \bar{K}Q^n \quad (6-6-1)$$

Kết quả tối thiểu hóa phải được viết dưới dạng tương tự (6-6-1). Vì từ biểu thức hàm số trạng thái kế tiếp đó ta tìm phương trình kích.

Trong hình 6-6-4, trạng thái kế tiếp của bộ đếm được điền vào các ô, đó cũng là trạng thái kế tiếp của các FF cấu trúc bộ đếm.

$Q_3^n Q_2^n$ \ $Q_1^n Q_0^n$	$Q_1^n Q_0^n$			
	00	01	11	10
00	0001	0010	0100	0011
01	0101	0110	1000	0111
11	×	×	×	×
10	1001	0000	×	×

Hình 6-6-4. Bảng Karnaugh trạng thái kế tiếp của bộ đếm.

Tương ứng sắp xếp trong mỗi ô là $Q_4^{n+1} Q_3^{n+1} Q_2^{n+1} Q_1^{n+1}$. Từ đó ta có thể tách riêng thành bảng Karnaugh trạng thái kế tiếp của mỗi FF. Rồi dùng phương pháp đồ hình để tìm ra phương trình trạng thái. Nhưng chỉ cần chú ý đặc điểm sắp xếp không thay đổi của Q_4^{n+1} , Q_3^{n+1} , Q_2^{n+1} , Q_1^{n+1} , ta có thể tối thiểu hóa luôn.

$$\begin{cases} Q_4^{n+1} = Q_3^n Q_2^n Q_1^n \bar{Q}_4^n + \bar{Q}_1^n Q_4^n \\ Q_3^{n+1} = Q_2^n Q_1^n \bar{Q}_3^n + (Q_2^n + \bar{Q}_1^n) Q_3^n = Q_2^n Q_1^n \bar{Q}_3^n + \bar{Q}_1^n Q_2^n Q_3^n \\ Q_2^{n+1} = \bar{Q}_4^n Q_1^n Q_2^n + \bar{Q}_1^n Q_2^n \\ Q_1^{n+1} = \bar{Q}_1^n \end{cases} \quad (6-6-2)$$

Tìm phương trình ra

Căn cứ đồ hình trạng thái hình 6-6-3 ta được bảng Karnaugh của hàm số đầu ra C như hình 6-6-5. Kết quả tối thiểu hóa là :

$$C = Q_4^n Q_1^n \quad (6-6-3)$$

$Q_4^n Q_3^n \backslash Q_2^n Q_1^n$	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	×	×	×	×
10	0	1	×	×

Hình 6-6-5.

Bảng Karnaugh của C.

Kiểm tra khả năng tự khởi động của bộ đếm

6 trạng thái không được dùng 1011 ÷ 1111 có khả năng tạo ra vòng tuần hoàn không được dùng, làm cho bộ đếm không tự khởi động. Sau khi đã tìm phương trình trạng thái và phương trình ra, bây giờ ta cần phân tích tình huống chuyển đổi của các trạng thái không được dùng. Nếu dưới tác dụng của xung đếm đầu vào mà bộ đếm không thể trở về trạng thái được dùng, tức là không thể tự khởi động, thì ta phải tìm mọi cách giải quyết. Chẳng hạn, ta chọn lại mã hóa trạng thái, hoặc sửa đổi trạng thái kế tiếp của các trạng thái không được dùng (như cách tự khởi động của bộ đếm kiểu ghi dịch), hoặc sử dụng đầu vào dị bộ cưỡng chế bộ đếm về trạng thái được dùng v.v...

Đưa các trạng thái không được dùng vào (6-6-2), (6-6-3) tiến hành tính toán, ta được bảng 6-6-1 sau :

Bảng 6-6-1 : TÌNH HUỐNG CHUYỂN ĐỔI TRẠNG THÁI KHÔNG ĐƯỢC DÙNG.

Q_4^n	Q_3^n	Q_2^n	Q_1^n	Q_4^{n+1}	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	C
1	0	1	0	1	0	1	1	0
1	0	1	1	0	1	0	0	1
1	1	0	0	1	1	0	1	0
1	1	0	1	0	1	0	0	1
1	1	1	0	1	1	1	1	0
1	1	1	1	0	0	0	0	1

Từ bảng ta thấy các tình huống có thể xảy ra

$$\begin{array}{cccccc} /0 & /1 & /0 & /1 & /0 & /1 \\ 1010 \rightarrow 1011 \rightarrow 0100, & 1100 \rightarrow 1101 \rightarrow 0100, & 1110 \rightarrow 1111 \rightarrow 0000 \end{array}$$

đều tự khởi động được.

Tìm phương trình kích

Đồng nhất các hệ số của (6-6-2) và (6-6-1) ta có phương trình kích là :

$$\begin{cases} J_1 = K_1 = 1 \\ J_2 = \overline{Q_4^n} Q_1^n & K_2 = Q_1^n \\ J_3 = K_3 = Q_2^n Q_1^n \\ J_4 = Q_3^n Q_2^n Q_1^n & K_4 = Q_1^n \end{cases} \quad (6-6-4)$$

Vẽ sơ đồ logic

Căn cứ vào đặc điểm bộ đếm đồng bộ - xung đếm đầu vào là xung đồng hồ của các FF, dựa vào phương trình kích (6-6-4) và phương trình ra (6-6-3), ta có thể vẽ được sơ đồ logic như hình 6-2-10.

Nếu việc chọn lựa mã hóa trạng thái theo các mã khác thì ta có thể đi đến bộ đếm thuận thập phân đồng bộ khác tương ứng (mã dư 3, mã Gray dư 3...)

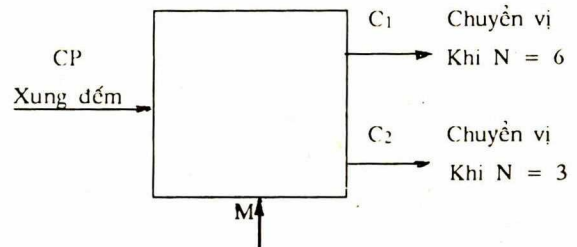
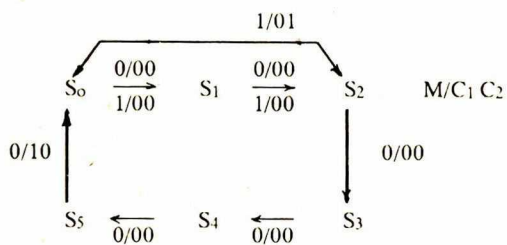
Ví dụ 6-6-2 : hãy thiết kế bộ đếm thuận đồng bộ điều khiển được, với $M = 0$ thì $N = 6$, với $M = 1$ thì $N = 3$.

Bài giải :

Phân tích yêu cầu, xây dựng đồ hình trạng thái ban đầu

Khi $M = 0$ thì $N = 6$

Khi $M = 1$ thì $N = 3$



Hình 6-6-6.

Mô hình yêu cầu của bộ đếm điều khiển.

Hình 6-6-7.

Đồ hình trạng thái ban đầu.

Xác định số lượng và loại FF, chọn lựa mã trạng thái

$$2^n \geq N = 6$$

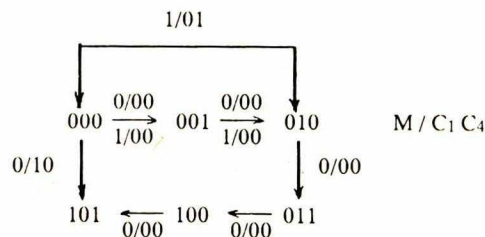
Vậy $n = 3$, chọn Flip Flop JK

Với mã hóa $Q_3 Q_2 Q_1$, chọn

$$S_0 = 000, S_1 = 001, S_2 = 010, S_3 = 011, S_4 = 100, S_5 = 101$$

Hình 6-6-8.

Đồ hình trạng thái (sau khi mã hóa).



Tìm phương trình trạng thái, phương trình ra, kiểm tra tự khởi động

Hình 6-6-9.

Bảng Karnaugh trạng thái kế tiếp của bộ đếm.

M Q ₃ ⁿ	Q ₂ ⁿ Q ₁ ⁿ			
	00	01	11	10
00	001	010	100	011
01	101	000	×	×
11	×	×	×	×
10	001	010	×	000

Từ hình 6-6-9, tối thiểu hóa xong, ta có :

$$\begin{cases} Q_3^{n+1} = Q_2^n Q_1^n \bar{Q}_3^n + \bar{Q}_1^n Q_3^n \\ Q_2^{n+1} = \bar{Q}_3^n Q_1^n Q_2^n + \bar{M} Q_1^n Q_2^n \\ Q_1^{n+1} = \bar{Q}_2^n Q_1^n + \bar{M} \bar{Q}_1^n = (Q_2^n + \bar{M}) \bar{Q}_1^n = \bar{Q}_2^n M \bar{Q}_1^n \end{cases} \quad (6-6-5)$$

Phương trình ra :

Hình 6-6-10.

Bảng Karnaugh đầu ra.

a) của chuyển vị C₁ ;

b) của chuyển vị C₂.

M Q ₃ ⁿ	Q ₂ ⁿ Q ₁ ⁿ			
	00	01	11	10
00	0	0	0	0
01	0	1	×	×
11	×	×	×	0
10	0	0	×	0

a)

M Q ₃ ⁿ	Q ₂ ⁿ Q ₁ ⁿ			
	00	01	11	10
00	0	0	0	0
01	0	0	×	×
11	×	×	×	×
10	0	0	×	1

b)

Sau khi tối thiểu hóa bảng Karnaugh hình 6-6-10, ta được :

$$C_1 = Q_3^n Q_1^n \quad (6-6-6)$$

$$C_2 = M Q_2^n \quad (6-6-7)$$

Về tình huống chuyển đổi các trạng thái không được dùng, xem bảng 6-6-2 và bảng 6-6-3

Bảng 6-6-2 : TÌNH HUỐNG TRẠNG THÁI KHÔNG ĐƯỢC DÙNG KHI M = 0

Q ₃ ⁿ	Q ₂ ⁿ	Q ₁ ⁿ	Q ₃ ⁿ⁺¹	Q ₂ ⁿ⁺¹	Q ₁ ⁿ⁺¹	C ₁	C ₂
1	1	0	1	1	1	0	0
1	1	1	0	0	0	1	0

Bảng 6-6-3 : TÌNH HUỐNG TRẠNG THÁI KHÔNG ĐƯỢC DÙNG KHI $M = 1$

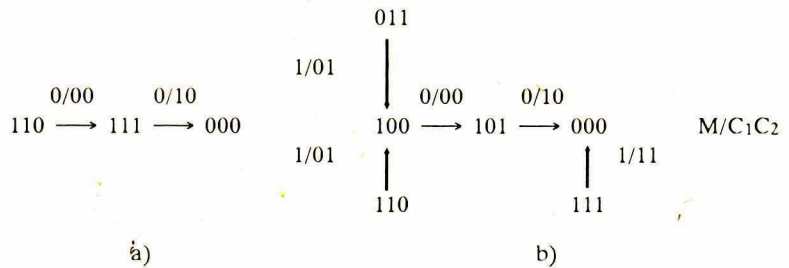
Q_3^n	Q_2^n	Q_1^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	C_1	C_2
0	1	1	1	0	0	0	1
1	0	0	1	0	1	0	0
1	0	1	0	0	0	1	0
1	1	0	1	0	0	0	1
1	1	1	0	0	0	1	1

Hình 6-6-11.

Tình huống chuyển đổi trạng thái không được dùng :

a) Khi $M = 0$;

b) Khi $M = 1$.



Hình 6-6-11 chứng tỏ rằng mạch có khả năng tự khởi động

Tìm phương trình kích

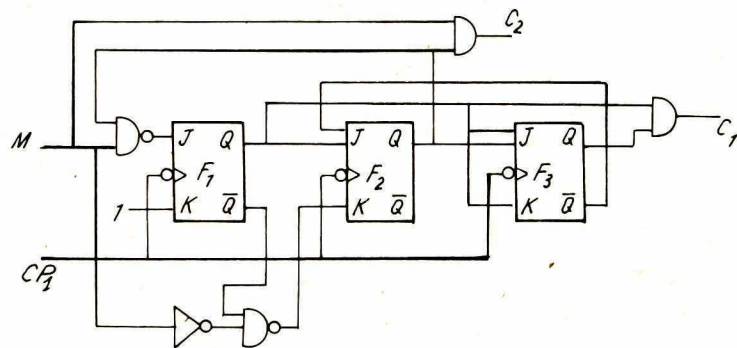
Đồng nhất các hệ số của (6-6-5) và (6-6-1) ta có :

$$\begin{cases} J_3 = \overline{Q_2^n} Q_1^n & K_3 = Q_1^n \\ J_2 = \overline{Q_3^n} Q_1^n & K_2 = \overline{M} \overline{Q_1^n} \\ J_1 = Q_2^n M & K_1 = 1 \end{cases} \quad (6-6-8)$$

Vẽ sơ đồ logic

Hình 6-6-12.

Bộ đếm điều khiển được.



Đặc điểm của phương pháp thiết kế trình bày trên đây là sau khi chọn lựa mã hóa trạng thái thì dùng bảng Karnaugh tìm phương trình trạng thái, rồi kết hợp với phương trình đặc trưng của FF mà tìm ra phương trình kích, để cuối cùng hoàn thành thiết kế bộ đếm đồng bộ mong muốn.

2) Phương pháp thứ hai

a) Các bước cơ bản

- Phân tích yêu cầu thiết kế, xây dựng đồ hình trạng thái ban đầu.

- Xác định số lượng và chủng loại FF, chọn lựa sự mã hóa trạng thái
- Kê ra bảng sử dụng
- Tìm phương trình kích và phương trình ra
- Vẽ sơ đồ logic
- Kiểm tra khả năng tự khởi động

b) Ví dụ thiết kế

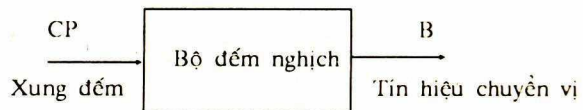
Ví dụ 6-6-3 : hãy thiết kế bộ đếm nghịch thập phân đồng bộ

Bài giải :

Phân tích yêu cầu thiết kế, xây dựng đồ hình trạng thái ban đầu

Hình 6-6-13.

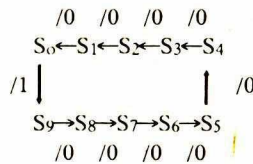
Mô hình yêu cầu của bộ đếm nghịch.



Bộ đếm có $N = 10$ tương ứng các trạng thái bộ đếm là $S_0, S_1, \dots, S_9$. Căn cứ quy luật đếm nghịch, ta vẽ được đồ hình trạng thái ban đầu như hình 6-6-14

Hình 6-6-14.

Đồ hình trạng thái ban đầu của bộ đếm nghịch.



Xác định số lượng và chủng loại FF, chọn lựa mã hóa trạng thái

Vì $2^n \geq N = 10$

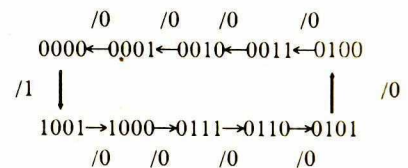
Vậy $n = 4$. Chọn Flip Flop JK.

Dùng mã 8421

$S_0 = 0000, S_1 = 0001, S_2 = 0010, S_3 = 0011, S_4 = 0100$
 $S_5 = 0101, S_6 = 0110, S_7 = 0111, S_8 = 1000, S_9 = 1001$

Hình 6-6-15.

Đồ hình trạng thái bộ đếm nghịch (sau khi mã hóa).



Kê ra bảng sử dụng

Căn cứ đồ hình trạng thái kê ra bảng trạng thái bộ đếm, từ yêu cầu chuyển đổi trạng thái của bảng trạng thái đó mà xác định yêu cầu kích đối với mỗi FF, kết quả ta được bảng sử dụng như dưới đây (bảng 6-6-4).

Bảng 6-6-4 : BẢNG SỬ DỤNG CỦA BỘ ĐẾM NGHỊCH

Q_1^n	Q_3^n	Q_2^n	Q_1^n	Q_1^{n+1}	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	B	$J_4 K_4$	$J_3 K_3$	$J_2 K_2$	$J_1 K_1$
0	0	0	0	1	0	0	1	1	1 ×	0 ×	0 ×	1 ×
0	0	0	1	0	0	0	0	0	0 ×	0 ×	0 ×	× 1
0	0	1	0	0	0	0	1	0	0 ×	0 ×	× 1	1 ×
0	0	1	1	0	0	1	0	0	0 ×	0 ×	× 0	× 1
0	1	0	0	0	0	1	1	0	0 ×	× 1	1 ×	1 ×
0	1	0	1	0	1	0	0	0	0 ×	× 0	0 ×	× 1
0	1	1	0	0	1	0	1	0	0 ×	× 0	× 1	1 ×
0	1	1	1	0	1	1	0	0	0 ×	× 0	× 0	× 1
1	0	0	0	0	1	1	1	0	× 1	1 ×	1 ×	1 ×
1	0	0	1	1	0	0	0	0	× 0	0 ×	0 ×	× 1

Khi xác định yêu cầu kích (từ yêu cầu chuyển đổi trạng thái) cần sử dụng bảng đầu vào kích của FF ; nếu nắm vững kĩ năng thì có thể sử dụng phương trình đặc trưng.

Tìm phương trình kích và phương trình ra

Dựa vào quan hệ logic đã biết trong bảng sử dụng vẽ bảng Karnaugh. Từ đó tìm phương trình kích và phương trình ra. Xem hình 6-6-16 và 6-6-17.

$Q_4^n Q_3^n \backslash Q_2^n Q_1^n$	00	01	11	10
00	1	0	0	0
01	0	0	0	0
11	×	×	×	×
10	×	×	×	×

(a) $J_4 = \overline{Q_3} \overline{Q_2} \overline{Q_1}$

$Q_4^n Q_3^n \backslash Q_2^n Q_1^n$	00	01	11	10
00	×	×	×	×
01	×	×	×	0
11	×	×	×	×
10	1	0	×	×

(b) $K_4 = \overline{Q_1}$

$Q_4^n Q_3^n \backslash Q_2^n Q_1^n$	00	01	11	10
00	0	0	0	0
01	×	×	×	×
11	×	×	×	×
10	1	0	×	×

(c) $J_3 = Q_4 \overline{Q_1}$

$Q_4^n Q_3^n \backslash Q_2^n Q_1^n$	00	01	11	10
00	×	×	×	×
01	1	0	0	0
11	×	×	×	×
10	×	×	×	×

(d) $K_3 = \overline{Q_2} \overline{Q_1}$

$Q_4^n Q_3^n \backslash Q_2^n Q_1^n$	00	01	11	10
00	0	0	×	×
01	1	0	×	×
11	×	×	×	×
10	1	0	×	×

(e) $J_2 = Q_3 \overline{Q_1} + Q_4 \overline{Q_1}$

		$Q_2^n Q_1^n$			
		00	01	11	10
$Q_4^n Q_3^n$	00	×	×	0	1
	01	×	×	0	1
	11	×	×	×	×
	10	×	×	×	×

(f) $K_2 = \overline{Q_1}$

Hình 6-6-16. Bảng Karnaugh của đầu vào kích.

(Từ bảng sử dụng 6-6-4, ta trực tiếp rút ra ngay $J_1 = K_1 = 1$)

Hình 6-6-17.

Bảng Karnaugh của
chuyển vị B.

$Q_2^1 Q_1^1$ $Q_2^0 Q_1^0$	$Q_2^1 Q_1^1$			
	00	01	11	10
00	1	0	0	0
01	0	0	0	0
11	×	×	×	×
10	0	0	×	×

$$B = \overline{Q_2^1} \overline{Q_1^1} \overline{Q_2^0} \overline{Q_1^0}$$

Vẽ sơ đồ logic

Xem hình 6-2-13

Kiểm tra khả năng tự khởi động

Sử dụng cách phân tích logic để vẽ đồ hình trạng thái, từ đó thấy được mạch có tự khởi động hay không.

Đặc điểm của phương pháp thiết kế thứ hai này là sau khi đã chọn lựa mã hóa trạng thái, căn cứ đồ hình trạng thái kê ra bảng sử dụng rồi dùng bảng Karnaugh tìm phương trình kích. So sánh với phương pháp thứ nhất ta thấy chỗ mạnh hơn là dùng bảng sử dụng nên không cần giải phương trình logic, dùng bảng Karnaugh để đi đến phương trình kích một cách dễ dàng ; chỗ yếu hơn là có rắc rối, dễ nhầm khi xác định yêu cầu kích, nhất là bộ đếm nhiều số.

Hai phương pháp được giới thiệu trên là rất cơ bản, phổ dụng, có thể áp dụng nguyên tắc của nó vào thiết kế mạch dây nối chung.

6.6.2. Thiết kế bộ đếm dị bộ

Dưới đây chọn ra một phương pháp cơ bản trong nhiều phương pháp có thể thực hiện thiết kế bộ đếm dị bộ. Nói chung mạch điện bộ đếm dị bộ đơn giản hơn mạch điện bộ đếm đồng bộ.

1) Các bước cơ bản

- Phân tích yêu cầu thiết kế, xác định đồ hình trạng thái ban đầu.
- Xác định số lượng và loại hình FF, chọn lựa mã hóa trạng thái
- Vẽ đồ thị dạng sóng, chọn xung đồng hồ.
- Tìm phương trình trạng thái, phương trình ra, kiểm tra tự khởi động
- Tìm phương trình kích
- Vẽ sơ đồ logic

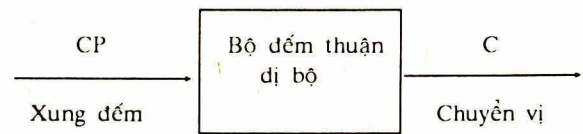
2) Ví dụ thiết kế

Ví dụ 6-6-4 : hãy thiết kế bộ đếm thuận thập phân dị bộ

Bài giải :

Phân tích yêu cầu thiết kế, xây dựng đồ thị hình trạng thái ban đầu

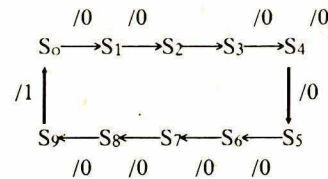
$N = 10$ sử dụng 10 trạng thái $S_0, S_1, \dots, S_9$



Hình 6-6-18.

Bộ đếm thuận thập phân dị bộ.

a) Mô hình bộ đếm yêu cầu



b) Đồ hình trạng thái ban đầu

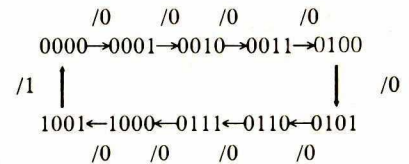
Chọn lựa mã hóa trạng thái

Vì $2^n \geq N = 10$ vậy $n = 4$, chọn Flip Flop D. Chọn mã 8421, $Q_4 Q_3 Q_2 Q_1$

$S_0 = 0000, S_1 = 0001, S_2 = 0010, S_3 = 0011, S_4 = 0100$
 $S_5 = 0101, S_6 = 0110, S_7 = 0111, S_8 = 1000, S_9 = 1001$

Hình 6-6-19.

Đồ hình trạng thái (sau mã hóa).



Chọn xung đồng hồ

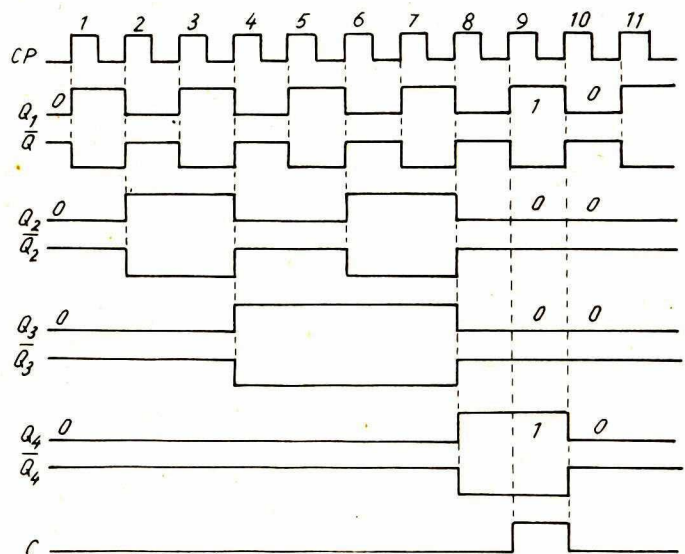
Vẽ dạng sóng như hình 6-6-20

Khi vẽ dạng sóng cần lưu ý 2 điểm :

- Quy luật chuyển đổi trạng thái của mỗi FF do đồ hình trạng thái quyết định. Thời điểm lật tương ứng sườn kích của xung đồng hồ.

- Vẽ số xung đồng hồ CP phải xấp xỉ lớn hơn N .

Mục đích việc lưu ý thứ hai là để phản ánh toàn bộ tình huống làm việc bình thường của bộ đếm, đạt đến đầy đủ yêu cầu thiết kế :



Hình 6-6-20. Dạng sóng bộ đếm thuận.

Từ chức năng logic của FF ta biết rằng phương trình đặc trưng có điều kiện cần là xuất hiện xung đồng hồ. Trong đồ thị dạng sóng, chỗ nào yêu cầu FF lật thì phải cung cấp xung đồng hồ với sườn kích thích hợp. Vậy căn cứ vào hình 6-6-20 và hình 6-6-19, ta có thể chọn

$$\begin{cases} CP_1 = CP \\ CP_2 = \overline{Q_1} \\ CP_3 = \overline{Q_2} \\ CP_4 = \overline{Q_1} \end{cases} \quad (6-6-9)$$

CP_1, CP_2, CP_3, CP_4 là xung đồng hồ tương ứng của các Flip Flop F_1, F_2, F_3, F_4 .

Khi thỏa mãn yêu cầu chuyển đổi trạng thái rồi thì số xung đồng hồ càng ít càng tốt. Ví dụ, đối với F_3 chẳng hạn, xung đồng hồ của nó có thể là CP , hoặc $\overline{Q_1}$, hoặc $\overline{Q_2}$ đều được. Nhưng so sánh chúng với nhau, thì nên chọn $CP_3 = \overline{Q_2}$ vì số lần biến đổi của $\overline{Q_2}$ là ít nhất. Đối với F_4 , không nên chọn $\overline{Q_2}, \overline{Q_3}$. Vì khi Q_4 lật từ 1 về 0, yêu cầu phải có sườn dương kích F_4 . Vậy có thể dùng $\overline{Q_1}$ và CP , nhưng ta chọn $\overline{Q_1}$ vì số lần biến đổi ít hơn.

Dưới đây giải thích thêm luận điểm trên : "Dưới tiền đề thỏa mãn yêu cầu chuyển đổi trạng thái thì số xung đồng hồ càng ít càng tốt". Nếu xung đồng hồ càng ít thì yêu cầu kích (điều khiển đầu vào đồng bộ) càng đơn giản. Giả sử không có xung đồng hồ thì không cần điều khiển, FF duy trì không đổi nguyên trạng. Giả sử cần có xung đồng hồ mỗi khi cần chuyển đổi trạng thái thì xác định phương trình kích kiểu Flip Flop T' là được. Giả sử cần có xung đồng hồ cả lúc không cần chuyển đổi trạng thái thì phải thêm điều kiện điều khiển đầu vào đồng bộ để bảo đảm FF không lật những lúc đó. Vậy xung đồng hồ càng nhiều thì kết cấu mạch điện bộ đếm rõ ràng càng phức tạp.

Tìm phương trình trạng thái, phương trình ra, kiểm tra tự khởi động

a) *Tìm phương trình trạng thái - phương trình trạng thái kế tiếp của mỗi FF.* Hình 6-6-21 là bảng Karnaugh của trạng thái kế tiếp bộ đếm. Cần lưu ý rằng khi xét trạng thái kế tiếp của bất kì Flip Flop nào, ngoài những trạng thái không được dùng, cả các trạng thái không kèm kích của xung đồng hồ, chúng đều được dùng để tối thiểu hóa. Ví dụ, đối với trạng thái kế tiếp Q_4^{n+1} của F_4 , ngoài những trạng thái không được dùng $S_{10} \div S_{15} = 1010 \div 1111$, thì những trạng thái nào không thỏa mãn điều kiện kích

$Q_3^n Q_2^n$ \ $Q_1^n Q_0^n$		00	01	11	10
		00	01	11	10
00	00	0001	0010	0100	0011
01	00	0101	0110	1000	0111
11	00	x	x	x	x
10	00	1001	0000	x	x

Hình 6-6-21. Bảng Karnaugh của trạng thái thiết kế tiếp của bộ đếm.

$$CP_4 = \overline{Q_1}$$

đều được dùng để tối thiểu hóa. Nếu Q_1 bất biến hoặc lật từ 0 sang 1 thì $\bar{Q}_1$ bất biến hoặc lật từ 1 sang 0 đều không thỏa mãn điều kiện kích. Xem xét hình 6-6-19, ta thấy S_0, S_2, S_4, S_6, S_8 là các trạng thái không kèm kích (sườn dương) của CP_4 . Xem hình 6-6-22a. Hình 6-6-22b là bảng Karnaugh của Q_2^{n+1} cũng được giải thích tương tự (lưu ý $CP_2 = CP_4$)

Hình 6-6-22.

Bảng Karnaugh của trạng thái kế tiếp.

$Q_1^n Q_3^n$		$Q_2^n Q_1^n$			
		00	01	11	10
00	00	x	0	0	x
01	01	x	0	1	x
11	11	x	x	x	x
10	10	x	0	x	x

(a) Q_4^{n+1}

$Q_1^n Q_3^n$		$Q_2^n Q_1^n$			
		00	01	11	10
00	00	x	1	0	x
01	01	x	1	0	x
11	11	x	x	x	x
10	10	x	0	x	x

(b) Q_2^{n+1}

Tối thiểu hóa bảng Karnaugh hình 6-6-22 ta có

$$Q_4^{n+1} = Q_3^n Q_2^n$$

$$Q_2^{n+1} = \bar{Q}_4^n \bar{Q}_2^n$$

(6-6-10)

Đối với Q_3^{n+1} của F_3 , vì $CP_3 = \bar{Q}_2$ (6-6-9), đối chiếu đồ hình trạng thái hình 6-6-19, những trạng thái dùng xử lý tối thiểu hóa là :

Không dùng dùng : $S_{10} \div S_{15}$

$\bar{Q}_2$ bất biến : $S_0, S_2, S_4, S_6, S_8, S_9$

$\bar{Q}_2$ từ 1 lật sang 0 (Q_2 từ 0 sang 1) : S_1, S_5

Hình 6-6-23.

Bảng Karnaugh của trạng thái kế tiếp.

$Q_1^n Q_3^n$		$Q_2^n Q_1^n$			
		00	01	11	10
00	00	x	x	1	x
01	01	x	x	0	x
11	11	x	x	x	x
10	10	x	x	x	x

(a) Q_3^{n+1}

$Q_1^n Q_3^n$		$Q_2^n Q_1^n$			
		00	01	11	10
00	00	1	0	0	1
01	01	1	0	0	1
11	11	x	x	x	x
10	10	1	0	x	x

(b) Q_1^{n+1}

Tối thiểu hóa bảng Karnaugh hình 6-6-23, ta được :

$$\begin{aligned} Q_3^{n+1} &= \overline{Q_3^n} \\ Q_1^{n+1} &= \overline{Q_1^n} \end{aligned} \quad (6-6-11)$$

Ta sẽ giải thích việc dùng những trạng thái không kèm kích xung đồng hồ để tối thiểu hóa như sau :

Căn cứ đặc điểm chức năng logic của Flip Flop, chúng ta biết rằng trạng thái kế tiếp là hàm số của đầu vào và hiện trạng. Trạng thái kế tiếp của bộ đếm biểu thị bằng trạng thái kế tiếp của các Flip Flop cấu trúc bộ đếm đó. Vậy trạng thái kế tiếp của mỗi FF cũng là hàm số của đầu vào và hiện trạng bộ đếm. Khi bộ đếm chuyển đổi dưới tác động tín hiệu đầu vào, giả sử Flip Flop F_i nào đó không có kích của xung đồng hồ thì trạng thái F_i bất biến ($Q_i^{n+1} = Q_i^n$). Xét ví dụ hình 6-6-21, hiện trạng $Q_4^n Q_3^n Q_2^n Q_1^n = 0000$. Khi CP đến, trạng thái kế tiếp $Q_4^{n+1} Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} = 0001$, Q_1 từ 0 sang 1, $\overline{Q_1}$ từ 1 sang 0. Vì Flip Flop D kích bằng sườn dương được dùng trong mạch này, mà $CP_4 = CP_2 = \overline{Q_1}$, nên F_4, F_2 không có kích, S_0 được dùng tối thiểu hóa.

b) Tìm phương trình ra

Hình 6-6-24.

Bảng Karnaugh của chuyển vị C.

$Q_4^n Q_3^n$	$Q_2^n Q_1^n$			
	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	×	×	×	×
10	0	1	×	×

Tối thiểu hóa, ta có :

$$C = Q_4^n Q_1^n \quad (6-6-12)$$

c) Kiểm tra khả năng tự khởi động

Sử dụng phương trình trạng thái và phương trình ra để phân tích tình huống chuyển đổi trạng thái không được dùng

Hình 6-6-25.

Tình huống chuyển đổi trạng thái không được dùng.

$\begin{array}{ccccccc} /0 & & /1 & & /1 & & /0 \\ 1010 \rightarrow 1011 \rightarrow 0100 \leftarrow 1101 \leftarrow 1100 \\ & & /0 & & /1 & & \\ 1110 \rightarrow 1111 \rightarrow 1000 \end{array}$

Bảng 6-6-5 :

TÌNH HUỐNG CHUYỂN ĐỔI CỦA TRẠNG THÁI KHÔNG ĐƯỢC DÙNG

Q_4^n	Q_3^n	Q_2^n	Q_1^n	Q_4^{n+1}	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	C	
1	0	1	0	1	0	1	1	0	CP_1
1	0	1	1	0	1	0	0	1	$CP_1 \quad CP_2 \quad CP_3 \quad CP_4$
1	1	0	0	1	1	0	1	0	CP_1
1	1	0	1	0	1	0	0	1	$CP_1 \quad CP_2 \quad CP_4$
1	1	1	0	1	1	1	1	0	CP_1
1	1	1	1	1	0	0	0	1	$CP_1 \quad CP_2 \quad CP_3 \quad CP_4$

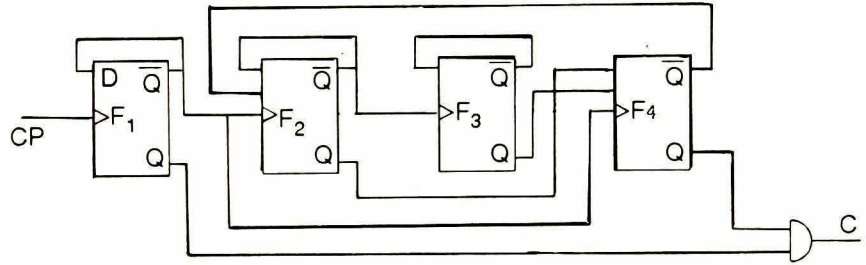
Xem xét hình 6-6-25 và bảng 6-6-5 ta thấy bộ đếm đã thiết kế có thể tự khởi động.

Tìm phương trình kích

Đồng nhất phương trình trạng thái bộ đếm (6-6-10) và (6-6-11) với phương trình đặc trưng của Flip Flop D cấu trúc nên bộ đếm ta có :

$$\begin{cases} D_1 = \overline{Q_1^n} \\ D_2 = \overline{Q_4^n} \overline{Q_2^n} \\ D_3 = Q_3^n \\ D_4 = Q_3^n Q_2^n \end{cases} \quad (6-6-13)$$

Vẽ sơ đồ logic



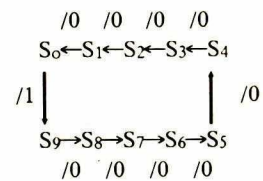
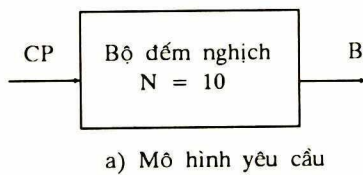
Hình 6-6-26.

Bộ đếm thuận thập phân dị bộ.

Ví dụ 6-6-5 : hãy thiết kế bộ đếm nghịch thập phân dị bộ

Bài giải :

Xác lập đồ hình trạng thái ban đầu



Hình 6-6-27. Bộ đếm nghịch thập phân.

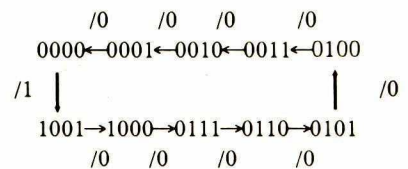
Xác định số lượng chủng loại FF, chọn lựa mã hóa trạng thái

Vì $2^n \geq N = 10$

Vậy $n = 4$, chọn Flip Flop D ; chọn mã 8421

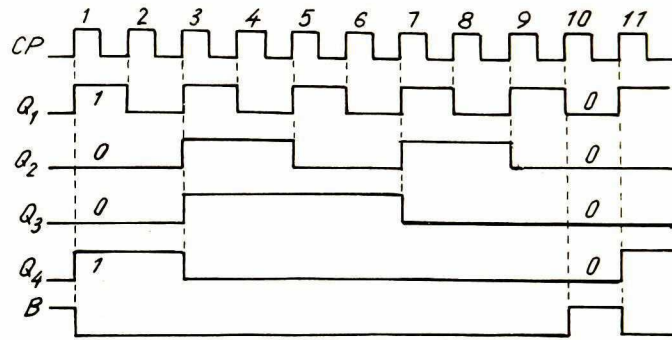
Hình 6-6-28.

Đồ hình trạng thái bộ đếm nghịch.
(sau khi mã hóa)



Hình 6-6-29.

Dạng sóng bộ đếm nghịch.



Chọn xung đồng hồ

$$\begin{cases} CP_1 = CP \\ CP_2 = Q_1 \\ CP_3 = Q_2 \\ CP_4 = Q_1 \end{cases} \quad (6-6-14)$$

Tìm phương trình trạng thái

Hình 6-6-30.

Bảng Karnaugh trạng thái kế tiếp bộ đếm nghịch

$Q_4^n Q_3^n$ \ $Q_2^n Q_1^n$					
		00	01	11	10
00	00	1001	0000	0010	0001
01	01	0011	0100	0110	0101
11	11	x	x	x	x
10	10	0111	1000	x	x

$Q_4^n Q_3^n$ \ $Q_2^n Q_1^n$					
		00	01	11	10
00	00	0	x	x	0
01	01	0	x	x	0
11	11	x	x	x	x
10	10	0	1	x	x

(a) Q_1^{n+1}

$Q_4^n Q_3^n$ \ $Q_2^n Q_1^n$					
		00	01	11	10
00	00	x	x	x	x
01	01	0	x	x	x
11	11	x	x	x	x
10	10	1	x	x	x

(b) Q_3^{n+1}

$Q_4^n Q_3^n$ \ $Q_2^n Q_1^n$					
		00	01	11	10
00	00	0	x	x	0
01	01	1	x	x	0
11	11	x	x	x	x
10	10	1	x	x	x

(c) Q_2^{n+1}

$Q_4^n Q_3^n$ \ $Q_2^n Q_1^n$					
		00	01	11	10
00	00	1	0	0	1
01	01	1	0	0	1
11	11	x	x	x	x
10	10	1	0	x	x

Hình 6-6-31.

Bảng Karnaugh trạng thái kế tiếp của các FF.

Tối thiểu hóa bảng Karnaugh hình 6-6-31 :

$$\begin{cases} Q_4^{n+1} = \overline{Q_4^n} \overline{Q_3^n} \overline{Q_2^n} \\ Q_3^{n+1} = \overline{Q_3^n} \\ Q_2^{n+1} = Q_4^n + Q_3^n \overline{Q_2^n} \\ Q_1^{n+1} = \overline{Q_1^n} \end{cases} \quad (6-6-15)$$

Tìm phương trình ra

Tối thiểu hóa bảng Karnaugh hình 6-6-32 ta có :

$$B = \overline{Q_4^n} \overline{Q_3^n} \overline{Q_2^n} \overline{Q_1^n} \quad (6-6-16)$$

Kiểm tra khả năng tự khởi động

$Q_4^n Q_3^n$	$Q_2^n Q_1^n$			
	00	01	11	10
00	1	0	0	0
01	0	0	0	0
11	×	×	×	×
10	0	0	×	×

Hình 6-6-32.

Bảng Karnaugh của chuyển vị B.

Bảng 6-6-6 : TÌNH HUỐNG CHUYỂN ĐỔI TRẠNG THÁI KHÔNG ĐƯỢC DÙNG

Q_4^n	Q_3^n	Q_2^n	Q_1^n	Q_4^{n+1}	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	B	
1	0	1	0	0	0	1	1	0	CP ₁ CP ₂ CP ₄
1	0	1	1	1	0	1	0	0	CP ₁
1	1	0	0	0	0	1	1	0	CP ₁ CP ₂ CP ₃ CP ₄
1	1	0	1	1	1	0	0	0	CP ₁
1	1	1	0	0	1	1	1	0	CP ₁ CP ₂ CP ₄
1	1	1	1	1	1	1	0	0	CP ₁

$\begin{matrix} /0 & /0 & /0 & /0 \\ 1011 \rightarrow 1010 \rightarrow 0011 \leftarrow 1100 \leftarrow 1101 \\ /0 & /0 \\ 1111 \rightarrow 1110 \rightarrow 0111 \end{matrix}$

Từ bảng 6-6-6 và hình 6-6-33 ta thấy bộ đếm tự khởi động được

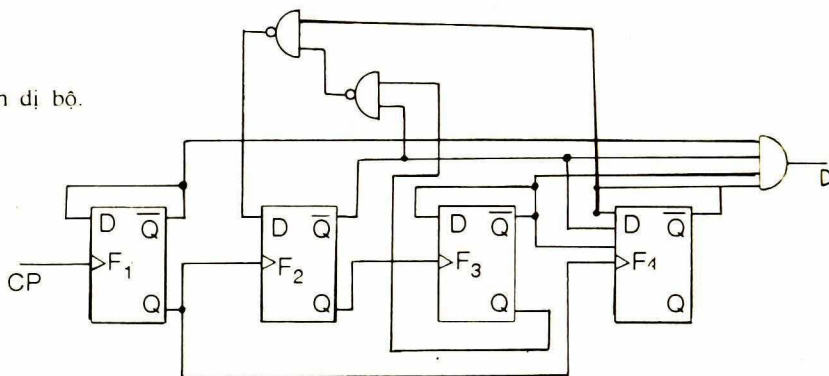
Hình 6-6-33. Tình huống chuyển đổi trạng thái không được dùng

Tìm phương trình kích

$$\begin{cases} D_4 = \overline{Q_4^n} \overline{Q_3^n} \overline{Q_2^n} \\ D_3 = \overline{Q_3^n} \\ D_2 = Q_4^n + Q_3^n \overline{Q_2^n} \\ D_1 = \overline{Q_1^n} \end{cases} \quad (6-6-17)$$

Hình 6-6-34.

Bộ đếm nghịch thập phân dị bộ.



Phương pháp thiết kế trên đây có thể áp dụng cho các mạch dây dị bộ nói chung. Chỉ cần chú ý tính đặc thù trong việc chọn xung đồng hồ. Ví dụ, trong tình huống tín hiệu đầu vào biến đổi ngẫu nhiên thì rất khó vẽ ra đồ thị dạng sóng ; do đó việc chọn xung đồng hồ cho các FF của bộ đếm theo dạng sóng là vô cùng phức tạp. Tuy nhiên phương pháp thiết kế mạch dây dị bộ không gặp khó khăn còn chưa tìm ra.

6.6.3. Thiết kế mạch dây

Thiết kế mạch dây nói chung so với thiết kế bộ đếm trên dây có ba vấn đề đặc biệt như sau.

1) Xây dựng đồ hình trạng thái tương đối khó khăn. Thông thường yêu cầu thiết kế là ngôn ngữ thông thường, có thể là một vấn đề logic cụ thể của mạch dây. Trong vấn đề đó hàm chứa dữ liệu nào đó cần nhớ, biểu thị bằng cách nào đó thành trạng thái mạch dây, tồn tại một quan hệ logic nào đó giữa hiện trạng, đầu vào, đầu ra và trạng thái kế tiếp. Từ đó làm thế nào xây dựng đồ hình trạng thái là công việc phân tích cụ thể đối với từng vấn đề cụ thể vì chưa có quy trình gì. Chỉ riêng đối với bộ đếm thì vấn đề này mới rõ ràng thế.

2) Cần tối thiểu hóa trạng thái. Từ yêu cầu thiết kế xây dựng đồ hình trạng thái thường có nhiều trạng thái thừa. Trạng thái mạch dây được Flip Flop nhớ và thể hiện. Vậy trạng thái càng nhiều thì số FF cần dùng càng nhiều. Nếu thiết kế bảo đảm yêu cầu đề ra, thì mong muốn trạng thái càng ít càng tốt. Chỉ riêng đối với bộ đếm thì mới rõ ràng đến thế : bộ đếm N có N trạng thái ; không có vấn đề tối thiểu hóa trạng thái đối với bộ đếm.

3) Việc chọn lựa mã hóa trạng thái cũng không dễ như đối với bộ đếm. Quan hệ giữa các trạng thái trong mạch dây tương đối phức tạp. Mà việc chọn lựa mã hóa trạng thái liên quan đến tính phức tạp của phương trình trạng thái và phương trình ra, ảnh hưởng tính kinh tế của phương án khả thi. Cho nên thường nghiên cứu, cân nhắc, so sánh, làm lại để có thiết kế tối ưu. Hiện tại chưa có quy trình về việc chọn lựa mã hóa trạng thái. Chỉ riêng đối với bộ đếm thì quan hệ giữa các trạng thái tương đối đơn giản, có mấy loại mã đếm thường dùng, phương án mã hóa trạng thái dễ chọn.

Trên quan điểm của người sử dụng các IC mạch dãy, biết phương pháp chung là đủ. Dưới đây ta xét một ví dụ thiết kế mạch dãy.

Ví dụ 6-6-6 : thiết kế bộ giám sát dữ liệu nối tiếp. Yêu cầu đối với bộ giám sát là : nếu số bit 1 liên tục nhau ≥ 3 thì đầu ra là 1 (các trường hợp khác của đầu vào chỉ có giá trị 0 ở đầu ra)

Bài giải :

a) Phân tích yêu cầu thiết kế, xây dựng đồ hình trạng thái ban đầu. Gọi số bit 1 liên tục nhau ở đầu vào mạch là m .

$m = 0$ ứng với trạng thái S_0

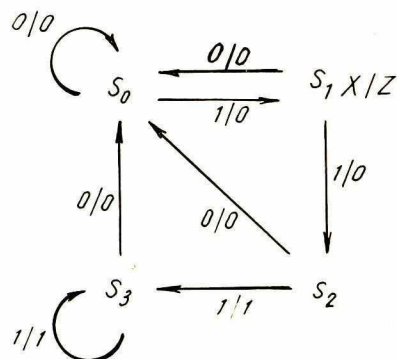
$m = 1$ ứng với trạng thái S_1

$m = 2$ ứng với trạng thái S_2

$m \geq 3$ ứng với trạng thái S_3

Vậy mạch cần 4 trạng thái khác nhau. Căn cứ yêu cầu thiết kế, vẽ ra đồ hình trạng thái ban đầu như hình 6-6-35. Trong hình kí hiệu X/Z với X là đầu vào, Z là đầu ra.

Hình 6-6-35 cho thấy rằng, khi mạch điện ở trạng thái ban đầu S_0 , giả sử đầu vào có bit 1 thì đầu ra là 0 và trạng thái kế tiếp là S_1 ; Giả sử đầu vào có bit 0 tiếp theo thì đầu ra là 0 và trạng thái kế tiếp là S_0 . Nếu hiện trạng bộ giám sát là S_1 , giả sử đầu vào có bit 1 thì đầu ra là 0 và trạng thái kế tiếp là S_2 ; Giả sử đầu vào có bit 0 thì đầu ra là 0 và trạng thái kế tiếp là S_0 . (tức về trạng thái ban đầu).



Hình 6-6-35.

Đồ hình trạng thái ban đầu của bộ giám sát.

Nếu hiện trạng bộ giám sát là S_2 , giả sử đầu vào có bit 1, tức là đã đủ 3 bit 1 liên nhau thì đầu ra là 1 và trạng thái kế tiếp là S_3 ; giả sử đầu vào có bit 0 thì đầu ra là 0 và trạng thái kế tiếp là S_0 .

Nếu hiện trạng bộ giám sát là S_3 , giả sử đầu vào có bit 1 thì đầu ra vẫn là 1 và trạng thái không bị thay đổi, tức trạng thái kế tiếp vẫn là S_3 ; giả sử đầu vào có bit 0 thì đầu ra là 0 và trạng thái kế tiếp là S_0 .

b) Tiến hành tối thiểu hóa trạng thái

Gộp trạng thái tương đương. Trạng thái tương đương là những trạng thái hiện tại nào trong điều kiện đầu vào hiện tại như nhau thì có cùng giá trị logic đầu ra và có cùng trạng thái kế tiếp. Vậy trạng thái tương đương lặp lại nhau nên có thể gộp.

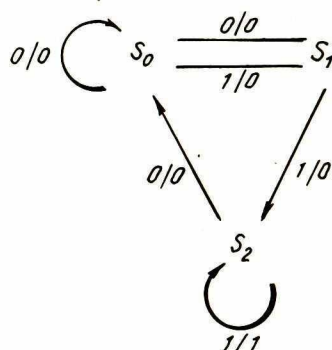
Để xét xem có các trạng thái tương đương nhau không, từ hình 6-6-35 ta xây dựng bảng trạng thái 6-6-7

Bảng 6-6-7 : CÁC TRẠNG THÁI BAN ĐẦU CỦA BỘ GIÁM SÁT

Trạng thái hiện tại	Trạng thái kế tiếp/ đầu ra	
	Đầu vào hiện tại X	
	X = 0	X = 1
S ₀	S ₀ /0	S ₁ /0
S ₁	S ₀ /0	S ₂ /0
S ₂	S ₀ /0	S ₃ /1
S ₃	S ₀ /0	S ₃ /1

Nhận xét bảng 6-6-7, ta thấy các trạng thái S₂, S₃ là tương đương.

Sau khi tiến hành tối thiểu hóa trạng thái, ta được đồ hình trạng thái hình 6-6-36



Hình 6-6-36.

Đồ hình trạng thái sau tối thiểu hóa.

c) Xác định số lượng chủng loại FF, chọn lựa mã hóa trạng thái

Vì $2^n \geq N = 3$

Vậy $n = 2$. Chọn Flip Flop D.

2 FF có 4 trạng thái 00, 01, 10, 11 - Trong số nhiều cách mã hóa khả dĩ, chúng ta chọn :

S₀ = 00, S₁ = 01, S₂ = 11

Về sau ta phải xét xem mạch điện có tự khởi động không và đã đơn giản nhất chưa.

d) Tìm phương trình trạng thái và phương trình ra

Hình 6-6-37.

Bảng Karnaugh của trạng thái kế tiếp /đầu ra.

		Q ₂ ⁿ Q ₁ ⁿ			
		00	01	11	10
X	0	00/0	00/0	00/0	×
	1	01/0	11/0	11/1	×

Trạng thái 10 không được dùng, trong quá trình tối thiểu hóa cần lưu ý xử lí để đạt kết quả như sau :

$$\begin{cases} Q_2^{n+1} = XQ_1^n \\ Q_1^{n+1} = X \end{cases} \quad (6-6-18)$$

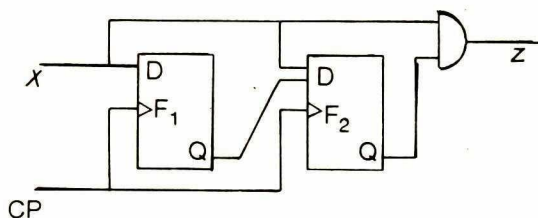
$$Z = XQ_2^n \quad (6-6-19)$$

e) Tìm phương trình kích

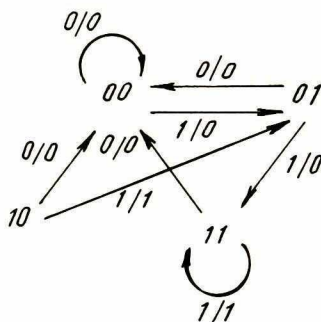
$$\begin{cases} D_2 = XQ_1^n \\ D_1 = X \end{cases}$$

(6-6-20)

g) Vẽ sơ đồ logic



Hình 6-6-38. Bộ giám sát dữ liệu nối tiếp.



Hình 6-6-39. Đồ hình trạng thái bộ giám sát.

Hình 6-6-39 là đồ hình trạng thái vẽ từ sơ đồ logic hình 6-6-38. Ta nhận thấy mạch tự khởi động được và khá đơn giản.

Thiết kế mạch dây dùng PLA

(PLA - Programmable logic Arrays - Các mảng logic lập trình) các cổng và các FF là các phần tử cơ bản cấu trúc nên mạch dây. Chương 4 đã giới thiệu PLA. Ta sử dụng các mảng logic cổng AND và cổng OR để dàng cấu trúc mọi mạch điện tổ hợp phức tạp. Nếu trên một chip PLA còn có nhiều FF thì rất tiện dùng chip đó thực hiện mọi hàm dãy, cấu trúc mọi mạch dây. Đây chính là một mặt trọng yếu trong ứng dụng PLA. Sau khi nắm được phương pháp thiết kế mạch dây, ta có thể sử dụng các chip PLA có sẵn các cổng AND, OR và các FF để thiết kế mạch dây.

TÓM TẮT

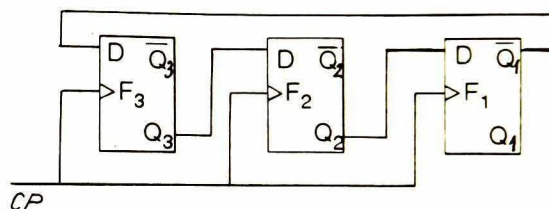
Khác với mạch logic tổ hợp, mạch logic dây có tín hiệu đầu ra phụ thuộc không những tín hiệu đầu vào ở thời điểm xét mà cả vào trạng thái mạch điện sẵn có ở thời điểm đó. Đây là đặc điểm chức năng logic của mạch dây.

Để nhớ trạng thái mạch điện, mạch dây phải có mạch tồn trữ lưu giữ, mà tín hiệu đầu vào đầu ra của nó cùng quyết định trạng thái đầu ra. Đây là đặc điểm về cấu trúc mạch của mạch dây.

Mạch dây cụ thể thật thiên biến vạn hóa thành rất nhiều chủng loại. Chương này chỉ giới thiệu một số loại mạch dây điển hình : bộ đếm, bộ nhớ, bộ tạo xung tuần tự, RAM.v.v... Đồng thời với việc nắm vững cấu trúc, nguyên lý công tác và đặc điểm của các mạch dây đó, chúng ta cũng phải nắm được đặc điểm chung của mạch dây và phương pháp chung phân tích thiết kế mạch dây.

BÀI TẬP

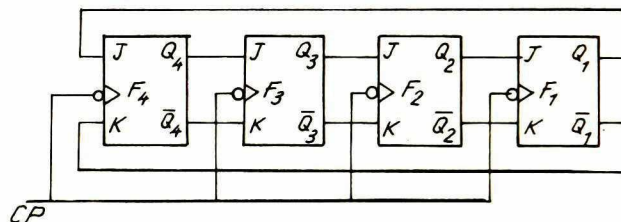
6-1. Trạng thái ban đầu của mạch dây $Q_3Q_2Q_1 = 000$. Hãy vẽ đồ thị dạng sóng.



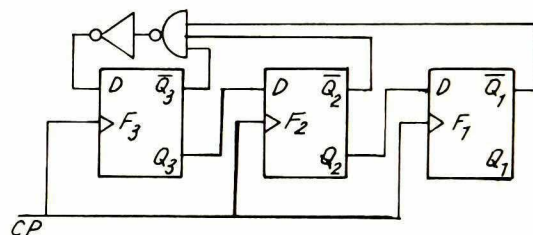
6-2. Cho trạng thái ban đầu mạch hình bên

$$Q_4Q_3Q_2Q_1 = 0001.$$

Hãy vẽ dạng sóng và đồ hình trạng thái của mạch này.



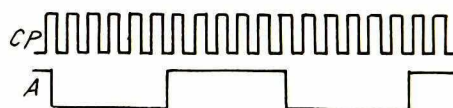
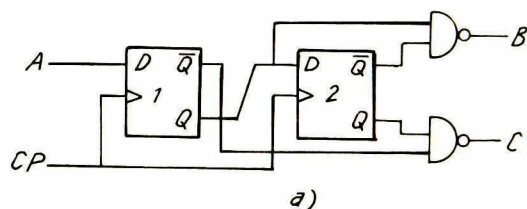
6-3. Hãy vẽ đồ hình trạng thái của mạch điện hình bên.



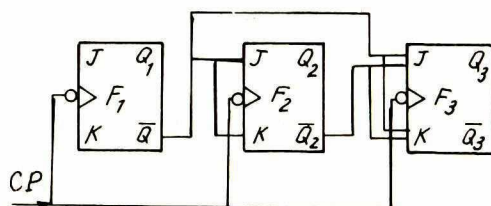
6-4. Hãy vẽ đồ hình trạng thái và dạng sóng của bộ đếm nghịch thập phân đồng bộ hình 6-2-13.

6-5. Hãy vẽ đồ hình trạng thái và dạng sóng của các mạch ở hình 6-2-19. Thuyết minh chức năng logic của chúng.

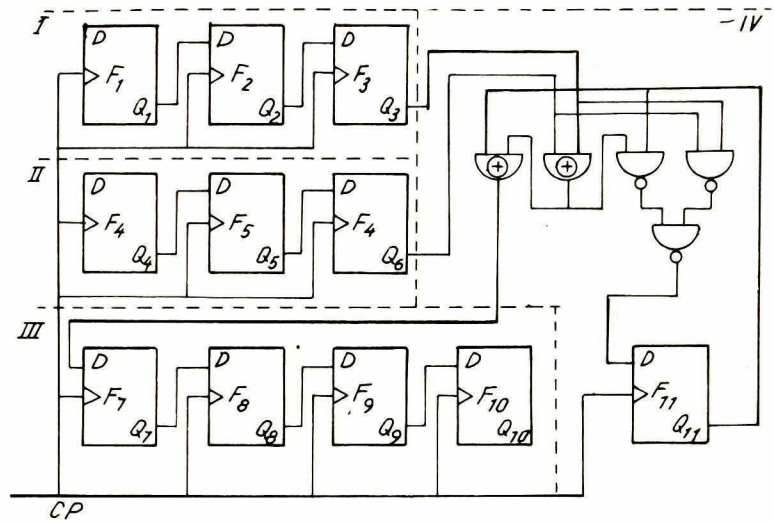
6-6. Cho mạch điện hình bên với dạng sóng CP, A. Giả thiết trạng thái ban đầu của FF là 0. Hãy vẽ dạng sóng đầu ra B, C.



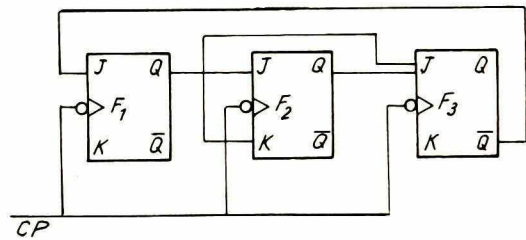
6-7. Hãy vẽ đồ hình trạng thái và dạng sóng của mạch điện sau đây



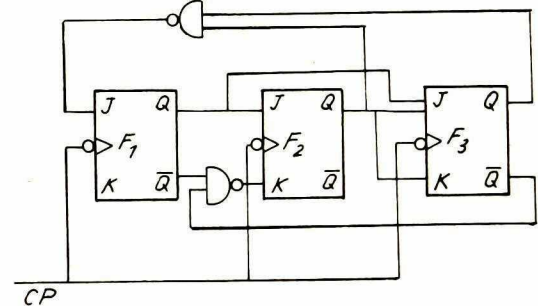
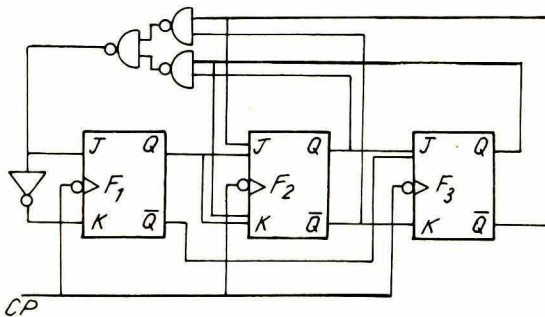
d) Giả sử đã xóa về 0 rồi, sau đó lập 1 các Flip Flop F_1 , F_2 , F_5 , F_6 , đưa vào 4 xung CP. Hãy thuyết minh trạng thái của các FF.



6-9. Hãy vẽ đồ hình trạng thái và thuyết minh chức năng của mạch điện hình bên.

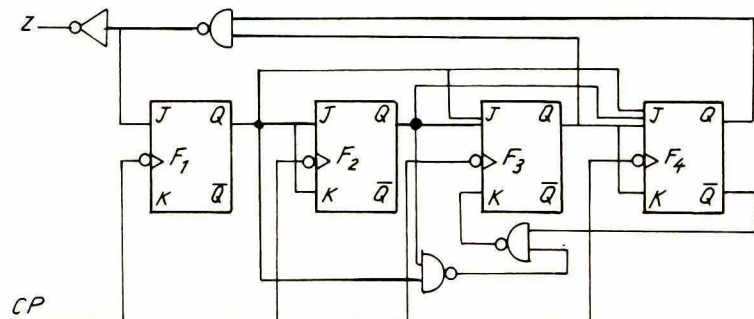


6-10. Cho mạch điện hình bên. Hãy vẽ đồ hình trạng thái. Giả thiết $K_3 = 1$, hãy thuyết minh trạng thái bộ đếm thay đổi thế nào.



6-11. Mạch điện hình bên có độ dài đếm N bao nhiêu. Mạch có tự khởi động không.

6-12. Mạch điện hình bên có độ dài đếm N bao nhiêu. Vẽ dạng sóng của bộ đếm.



6-30. Hãy thiết kế bộ đếm nghịch thập phân đồng bộ mã 8421

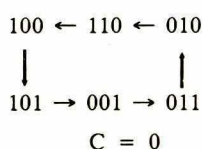
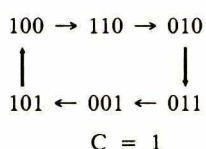
6-31. Chức năng logic của Flip Flop SH như bảng dưới đây

L	D	Q^{n+1}
0	0	Q^n
0	1	Q^n
1	0	0
1	1	1

Flip Flop SH có 2 đầu vào L và D. Hãy tìm mạch điện của Flip Flop SH cấu trúc từ Flip Flop D.

6-32. Hãy thiết kế bộ đếm vòng 4 bit tự khởi động. Mỗi từ mã trong chu kì đều chỉ có 1 bit 0.

6-33. Hãy thiết kế bộ phân phối xung 6 trạng thái 3 pha cho một động cơ bước. Nếu dùng 1 biểu thị vòng dây thông dòng, dùng 0 biểu thị vòng dây ngắt dòng thì sơ đồ chuyển đổi trạng thái của 3 vòng dây ABC như dưới đây (C = 1 điều khiển quay thuận, C = 0 điều khiển quay ngược)



6-34. Hãy thiết kế bộ đếm dị bộ N = 5.

6-35. Hãy thiết kế bộ đếm thập phân dị bộ.

6-36. Hãy thiết kế bộ đếm dị bộ N = 23.

6-37. Hãy thiết kế bộ đếm thuận đồng bộ điều khiển được.

Tín hiệu điều khiển M = 0 thì N = 6, M = 1 thì N = 12.

6-38. Hãy thiết kế bộ tạo xung tuần tự có 6 nhịp xung, yêu cầu bề rộng xung nhịp bằng 4 lần chu kì xung đồng hồ.

6-39. Hãy thiết kế thiết bị tự động bán tem 4 xu. Đầu vào là tín hiệu xung biểu thị các giá trị tiền 1 xu, 2 xu và 5 xu. (Người mua đưa vào các đồng xu kim loại) – đầu ra là tín hiệu xung biểu thị tem và tiền xu trả lại cho khách.

(Gợi ý : Giả thiết rằng mỗi người mua chỉ dùng 1 loại tiền xu thôi)

Chương 7

PHÁT XUNG VÀ TẠO DẠNG XUNG

7.1. BỘ PHÁT XUNG

Trong mạch dây đồng bộ, xung vuông của tín hiệu đồng hồ được dùng để điều khiển, phối hợp sự làm việc của toàn bộ hệ thống. Vậy đặc tính của xung đồng hồ trực tiếp ảnh hưởng đến chất lượng công tác của hệ thống. Dựa vào hình 7-1-1, chúng ta tìm hiểu một số chỉ tiêu đánh giá dạng sóng xung vuông.

T : *Chu kì xung*. Đó là khoảng thời gian giữa 2 xung liên nhau trong loạt xung trùng lặp một cách chu kì.

$f = \frac{1}{T}$: *tần số xung*. Đó là số xung lặp trong đơn vị thời gian.

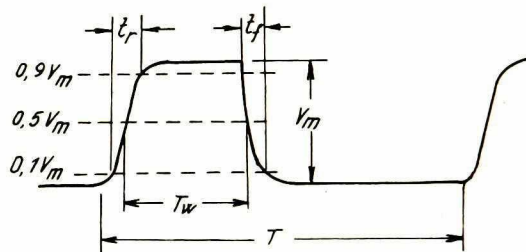
V_m : *Biên độ xung*. Đó là biên độ lớn nhất của điện áp xung.

T_w : *Bề rộng xung*. Đó là khoảng thời gian từ sườn trước đến sườn sau của xung tính ở mức $0,5V_m$.

t_r : *Sườn trước*. Đó là khoảng thời gian sườn trước tăng từ $0,1V_m$ đến $0,9V_m$

t_f : *Sườn sau*. Đó là khoảng thời gian sườn sau giảm từ $0,9V_m$ đến $0,1V_m$.

Dưới đây giới thiệu mấy loại mạch dao động phát xung vuông hay gặp.

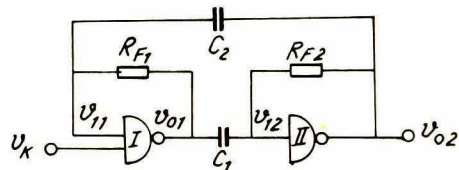


Hình 7-1-1. Miêu tả các đặc trưng kĩ thuật của xung vuông.

7.1.1. Bộ dao động đa hài cơ bản cổng NAND TTL

1) Cấu trúc mạch điện

Cổng NAND (TTL) khi làm việc trong vùng chuyển tiếp có thể khuếch đại mạnh mẽ tín hiệu đầu vào. Vậy đem 2 cổng NAND mà điểm công tác tĩnh thiết lập trong vùng chuyển tiếp ghép điện dung thành mạch vòng như hình 7-1-2, ta được bộ dao động đa hài. V_K là đầu vào điều khiển. V_K ở mức cao thì phát xung ; V_K ở mức thấp thì ngừng phát.

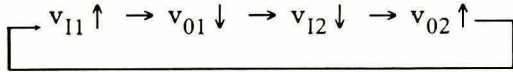


Hình 7-1-2. Bộ dao động đa hài cấu trúc bằng cổng NAND.

Hình 7-1-3 giải thích sự thiết lập điểm công tác tĩnh. Điện áp đầu vào chế độ tĩnh của mỗi cổng NAND phụ thuộc V_O và R_F . Giá trị điện trở các R_F (R_{F1} và R_{F2}) chọn giữa giá trị điện trở đóng cổng R_{off} và giá trị điện trở mở cổng R_{on} .

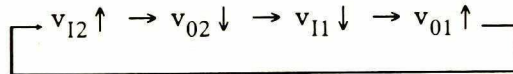
2) Nguyên lí làm việc

Nếu các cổng I, cổng II thiết lập điểm công tác tĩnh trong vùng chuyển tiếp, thì mạch sẽ dao động phát xung khi nối nguồn. Giả sử do tác dụng của nhiễu, v_{I1} tăng một chút, lập tức xuất hiện quá trình phản hồi dương sau đây :

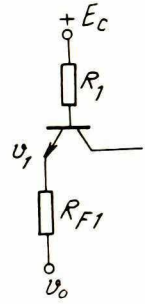


Do đó, cổng I nhanh chóng trở thành thông báo hòa, cổng II nhanh chóng ngắt, mạch bước vào trạng thái tạm ổn định. Lúc này, C_1 nạp điện và C_2 phóng điện theo mạch (đơn giản hóa) hình 7-1-4.

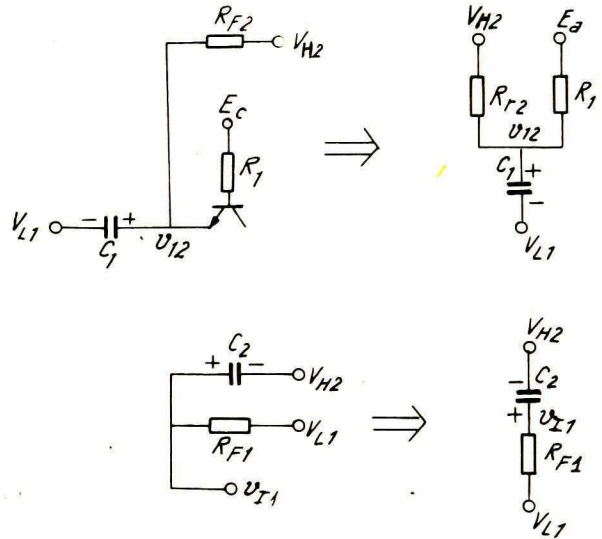
Vì C_1 được nạp điện qua 2 nhánh R_1 và R_{F2} nên tốc độ nạp cao. Vậy v_{I2} tăng nhanh đến ngưỡng thông V_T , khi đó xuất hiện quá trình phản hồi dương sau



Kết quả quá trình này là : cổng I nhanh chóng ngắt, cổng II nhanh chóng thông, mạch điện bước vào



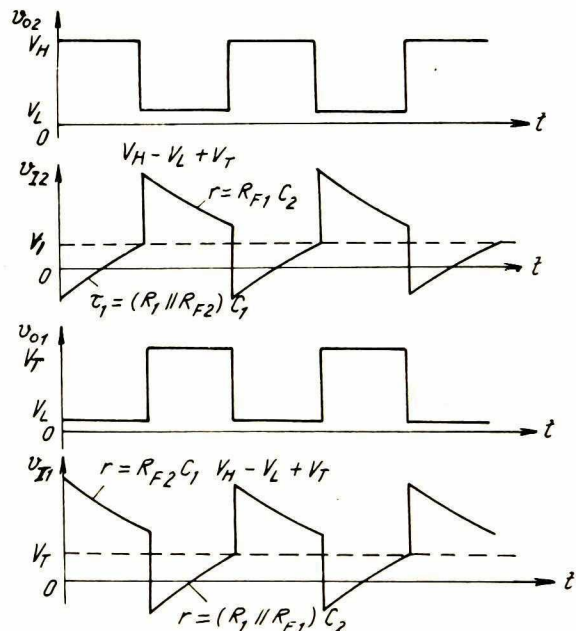
Hình 7-1-3. Mạch đầu vào cổng NAND.



Hình 7-1-4. Mạch vòng nạp phóng điện của tụ điện C_1 , C_2 .

Hình 7-1-5.

Dạng sóng gần đúng của điện áp các điểm trên mạch bộ dao động đa hài cơ bản cấu trúc bằng cổng NAND (TTL).



một trạng thái tạm ổn định mới. Lúc này, C_2 nạp điện, C_1 phóng điện theo các mạch tương tự. C_2 nạp điện nhanh nên v_{I1} tăng nhanh đến ngưỡng thông V_T làm xuất hiện quá trình phản hồi dương đưa mạch điện về lại trạng thái ổn định tạm thời ban đầu : cổng I thông, cổng II ngắt. Vậy mạch điện không ngừng dao động một cách chu kì. Khi bỏ qua điện trở đầu ra các cổng NAND, dựa vào hình 7-1-4, ta có thể vẽ dạng sóng các điểm trên mạch bộ dao động đa hài như hình 7-1-5.

3) Tính toán chu kì dao động. Vì quá trình nạp điện nhanh hơn quá trình phóng điện, nên thời gian duy trì trạng thái ổn định tạm thời phụ thuộc thời gian nạp điện của hai tụ điện C_1, C_2 . Dựa vào hình 7-1-4a ta có hằng số thời gian nạp điện của tụ C_1 là $\tau_1 = (R_{F2} // R_1) C_1$. Vậy, v_{I2} nạp điện đến V_T cần một thời gian là

$$\begin{aligned} t_{M2} &= \tau_1 \ln \frac{v_{I2}(\infty) - v_{I2}(0)}{v_{I2}(\infty) - V_T} = (R_{F2} // R_1) C_1 \ln \frac{V_{OH} - [V_T - (V_{OH} - V_{OL})]}{V_{OH} - V_T} \\ &= (R_{F2} // R_1) C_1 \ln \frac{2V_{OH} - (V_T + V_{OL})}{V_{OH} - V_T} \end{aligned} \quad (7-1-1)$$

Với $R_{F1} = R_{F2} = R_F, C_1 = C_2 = C$, ta có

$$T = 2 (R_F // R_1) C \ln \frac{2V_{OH} - (V_T + V_{OL})}{V_{OH} - V_T} \quad (7-1-2)$$

Giả sử $V_{OH} = 3V, V_{OL} = 0,35V, V_T = 1,4V$

từ (7-1-2) ta được :

$$T = 2(R_F // R_1)C \ln \frac{2 \times 3 - (1,4 + 0,35)}{3 - 1,4} \approx 2 (R_F // R_1)C \quad (7-1-3)$$

Các công thức (7-1-1), (7-1-2), (7-1-3) nói trên đều là gần đúng vì ta đã bỏ qua điện trở đầu ra của các cổng. Khi đầu ra ở mức logic thấp, điện trở đầu ra của cổng là rất bé, tất nhiên có thể bỏ qua. Còn khi đầu ra ở mức cao mà dòng điện tải lại đáng kể thì ảnh hưởng của điện trở đầu ra không thể bỏ qua. Khi đó, điện trở đầu ra ảnh hưởng đến hằng số thời gian nạp điện, đồng thời làm cho mức ra logic cao $< V_{OH}$ (V_{OH} là mức ra logic cao khi không tải). Vì vậy làm thay đổi trị số ban đầu của quá trình nạp điện.

Tuy rằng giá trị T từ (7-1-3) có sai số nhất định, nhưng vì các giá trị chính xác của điện trở không được các thuyết minh kĩ thuật cho biết, và lại giá trị V_{OH} có sai lệch nên không có cách nào tính toán chính xác hơn giá trị T so với công thức (7-1-3). Bình thường vẫn dùng (7-1-3) để tính T .

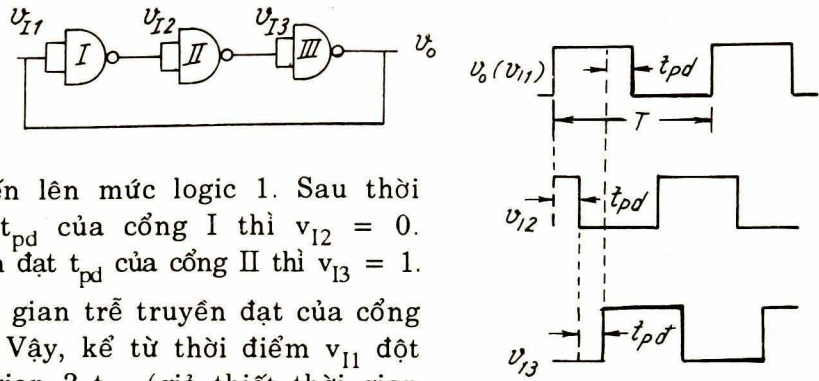
7.1.2. Bộ dao động đa hài vòng RC

1) Dùng cổng NAND (TTL) cấu trúc bộ dao động vòng

Hình 7-1-6 trình bày bộ dao động vòng. Mạch cấu trúc bởi các bộ khuếch đại cổng NAND mắc dây chuyển vòng. Mạch này không có trạng thái ổn định. Nguyên lí công tác của mạch khá đơn giản : dùng thời gian trễ truyền đạt của cổng. Cụ thể như sau.

Hình 7-1-6

Mạch điện bộ dao động vòng và dạng sóng.



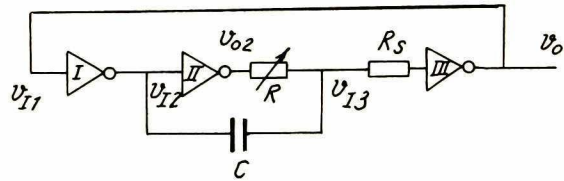
Giả sử v_{I1} đột biến lên mức logic 1. Sau thời gian trễ truyền đạt t_{pd} của cổng I thì $v_{I2} = 0$. Sau thời gian trễ truyền đạt t_{pd} của cổng II thì $v_{I3} = 1$.

Tiếp theo, sau thời gian trễ truyền đạt của cổng III thì $v_O = v_{I1} = 0$. Vậy, kể từ thời điểm v_{I1} đột biến lên 1, sau thời gian $3 t_{pd}$ (giả thiết thời gian trễ truyền đạt các cổng đều như nhau) thì v_{I1} lại đột biến xuống 0. Có thể hình dung được rằng sau thời gian $3 t_{pd}$ nữa $v_{I1} = v_O$ sẽ trở lại mức 1, hoàn thành 1 chu kì dao động. Về sau mạch dao động lặp lại quá trình trên với chu kì dao động $T = 6t_{pd}$. Xem dạng sóng các điểm trong mạch ở hình 7-1-6.

Vì thời gian trễ truyền đạt trung bình t_{pd} của cổng NAND (TTL) khá ngắn, cỡ vài chục ns ($1\text{ns} = 10^{-9}\text{s}$), nên tần số dao động rất cao, hơn nữa không thể điều chỉnh tần số dao động đó. Để khắc phục nhược điểm này, chúng ta nghĩ ngay đến sử dụng mạch trễ RC. Vì đưa thêm vào mạch RC thì vừa làm tăng thời gian trễ, vừa có thể điều chỉnh tần số dao động (biến trở, tụ xoay).

2) Bộ dao động vòng có mạch RC

Xem hình 7-1-7.



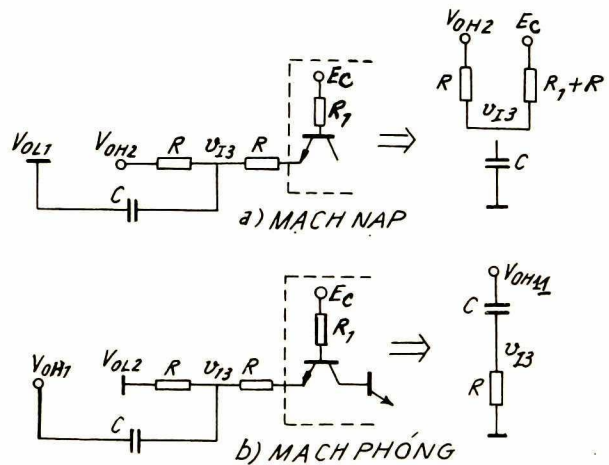
Hình 7-1-7.

Bộ dao động đa hài vòng có mạch RC.

Vì thời gian trễ của mạch RC lớn hơn nhiều trễ truyền đạt t_{pd} nên trong phân tích dưới đây bỏ qua t_{pd} .

Khi v_{I1} đột biến lên V_H thì v_{I2} đột biến xuống V_L và v_{O2} theo đó tăng lên đến V_H . Do điện áp trên tụ điện C không đột biến được, nên v_{I3} cũng có đột biến âm theo v_{I2} . Rồi thì mức cao v_{O2} sẽ làm cho điện dung C được nạp qua R. v_{I3} dần dần tăng lên.

Mạch nạp điện biểu thị trên hình 7-1-8a. Khi tụ nạp điện, mạch điện bộ dao động ở trạng thái tạm ổn định thứ nhất. Khi v_{I3} tăng lên đến ngưỡng thông V_T (R_s rất nhỏ, V_{I3} coi như là điện áp đầu vào cổng III)



Hình 7-1-8. Mạch vòng nạp, phóng điện của tụ điện.

thì cổng III thông, $v_o = v_{I1} = V_L$. Vì v_{I1} lật đến V_L , nên v_{I2} lật đến V_H , v_{O2} lật đến V_L .

Tương tự, đầu tiên v_{I3} cũng có đột biến dương như v_{I2} , rồi sau do tụ điện C phóng điện, v_{I3} giảm dần. Mạch phóng điện biểu thị trên hình 7-1-8b. Khi tụ phóng điện, mạch điện bộ dao động ở trạng thái tạm ổn định thứ hai.

Khi v_{I3} giảm xuống đến ngưỡng V_T thì cổng III ngắt, $v_o = v_{I1} = V_H$, mạch điện trở lại trạng thái ban đầu : v_{I1} đột biến lên V_H .

Quá trình dao động lặp lại không ngừng. Xem dạng sóng hình 7-1-9.

Từ hình 7-1-8 ta thấy rằng hằng số thời gian nạp điện là

$$\tau_1 = [R // (R_1 + R_s)]C \approx (R // R_1)C$$

hằng số thời gian phóng điện là

$$\tau_2 = RC.$$

Vậy thời gian nạp điện t_1 của C là :

$$t_1 = \tau_1 \ln \frac{v_{I3}(\infty) - v_{I3}(0)}{v_{I3}(\infty) - V_T}$$

$$t_1 = (R // R_1) C \ln \frac{2V_{OH} - (V_T + V_{OL})}{V_{OH} - V_T} \quad (7-1-4)$$

thời gian phóng điện t_2 của C là :

$$t_2 = \tau_2 \ln \frac{v_{I3}(\infty) - v_{I3}(0)}{v_{I3}(\infty) - V_T}$$

$$t_2 = RC \ln \frac{V_{OH} + V_T - 2V_{OL}}{V_T - V_{OL}}$$

$$(7-1-5)$$

Giả sử $V_{OH} = 3V$, $V_T = 1,4V$, $V_{OL} = 0,35V$, ta tính được

$$t_1 = 0,98 (R // R_1)C$$

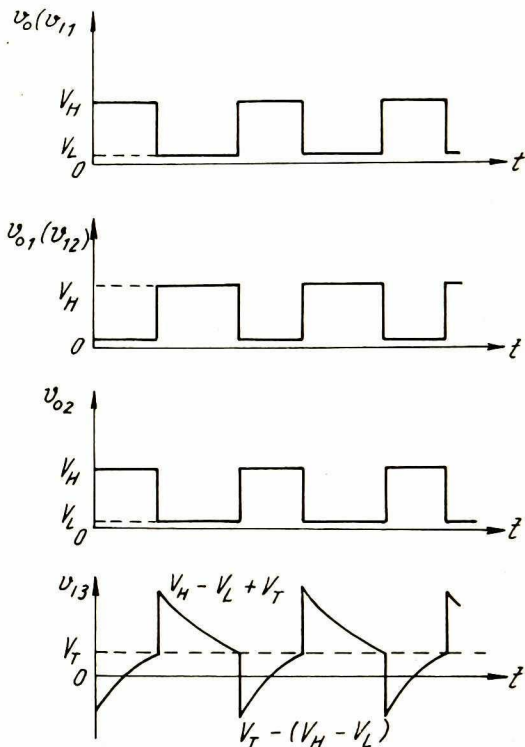
$$t_2 = 1,26RC$$

$$\text{Vậy } T = t_1 + t_2 = 0,98 (R // R_1)C + 1,26RC \quad (7-1-6)$$

$$\text{nếu } R_1 \gg R \text{ thì } T \approx 2,2 RC \quad (7-1-7)$$

Tương tự như đã trình bày về sai số của (7-1-3), các công thức (7-1-4), (7-1-5), (7-1-6) đều có sai số do bỏ qua điện trở đầu ra của các cổng.

Loại mạch bộ dao động vòng có mạch RC này có thể điều chỉnh tần số dao động của nó trong phạm vi rộng. Bảng 7-1-1 là phạm vi điều chỉnh tần số dao động do biến trở, tương ứng với các giá trị điện dung khác nhau.



Hình 7-1-9. Dạng sóng của bộ dao động vòng có mạch RC.

Cần lưu ý rằng R không thể lấy giá trị quá lớn. Đối với cổng NAND (TTL), nói chung $R < R_{OFF}$, nếu không thế thì mạch điện sẽ làm việc trực trực.

Bảng 7-1-1 : PHẠM VI ĐIỀU CHỈNH TẦN SỐ CỦA BỘ DAO ĐỘNG DA HẢI VÒNG. (TRÊN HÌNH 7.1.7)

C	f
15pF	1.4MHz ~ 8MHz
820pF	320kHz ~ 5.6MHz
0.05μF	4.3kHz ~ 150kHz
3μF	3.3Hz ~ 3.6kHz
100μF	1kHz ~ 167Hz

7.1.3. Bộ dao động đa hài thạch anh

1) Vấn đề ổn định biên độ và tần số của bộ dao động đa hài

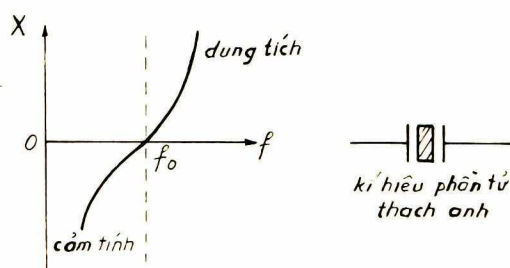
Trong những điều trình bày trên đây về bộ dao động đa hài, ta thấy mức đầu ra của mạch điện trong trạng thái tạm thời ổn định (tức mức thông và mức ngắt ở đầu ra cổng NAND) là khá ổn định. Vậy độ ổn định biên độ khá cao. Và lại, mạch số không yêu cầu quá cao đối với ổn định biên độ.

Nhưng độ ổn định tần số thường thấp. Nhân tố chủ yếu quyết định tần số dao động là thời gian mạch điện chuyển biến đạt tới mức ngưỡng nguyên đổi (điện áp ngưỡng thông ngắt của cổng NAND). Một là, bản thân mức ngưỡng không ổn định lắm, chịu ảnh hưởng của nhiệt độ. Hai là, cách làm việc của mạch điện dễ bị can nhiễu, sự chuyển đổi trạng thái do nhiễu có thể sớm hoặc chậm hơn. Ba là, thời điểm xảy ra sự chuyển đổi trạng thái rơi vào lúc sự phóng hoặc nạp điện của tụ điện đã chậm lại, sự thay đổi nhỏ của mức ngưỡng hay sự tác động của nhiễu đều có thể làm thay đổi nghiêm trọng chu kì dao động. Chính vì vậy, khi mạch điện cần ổn định tần số dao động cao hơn, tất phải có biện pháp thích hợp.

2) Bộ dao động thạch anh

Để xung đồng hồ có ổn định tần số cao, biện pháp hay dùng hiện nay là đưa thạch anh (tinh thể) vào mạch dao động đa hài. Thạch anh không những có đặc tính ổn định tần số tốt, mà thạch anh còn có hệ số phẩm chất Q rất cao, dẫn đến tính chọn lọc tần số rất cao. Điều này có thể thấy rõ từ đặc tuyến tần số của trở kháng thạch anh hình 7-1-10.

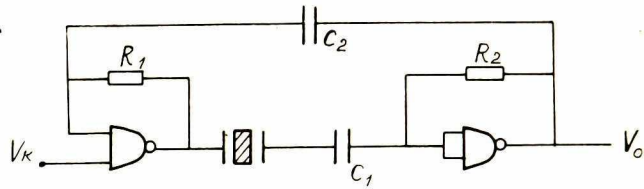
Tụ điện ghép trong mạch dao động đa hài thường, nếu mắc nối tiếp với thạch anh thì cấu trúc thành bộ dao động đa hài thạch anh. Ví dụ : từ sơ đồ 7-1-2 ta có tương ứng sơ đồ 7-1-11.



Hình 7-1-10. Đặc tính tần số của trở kháng thạch anh.

Hình 7-1-11.

Bộ dao động
đa hài thạch anh.



Từ đặc tính tần số của trở kháng thạch anh ta thấy rằng, chỉ ở tần số f_0 thì trở kháng thạch anh cực nhỏ ($X = 0$) nên tín hiệu tần số f_0 đi qua thạch anh dễ dàng. Vậy nên tần số dao động của bộ dao động thạch anh chỉ quyết định bởi tần số cộng hưởng bản thân thạch anh f_0 , mà không phụ thuộc vào giá trị R, C của mạch điện.

7.1.4. Bộ dao động đa hài CMOS

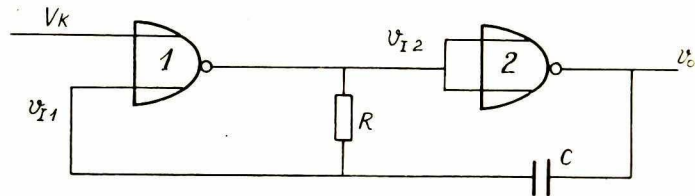
Các cổng CMOS có đặc tính chuyển mạch (đóng mở) gần như lí tưởng. Chúng rất phù hợp để cấu trúc thành mạch dao động đa hài.

1) Bộ dao động đa hài cơ bản CMOS

a) Cấu trúc mạch điện

Hình 7-1-12.

Bộ dao động
đa hài dùng cổng
NOR (CMOS).

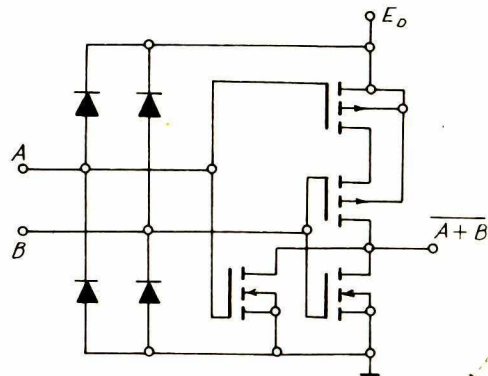


Trong mạch điện điển hình của bộ dao động đa hài cơ bản CMOS trên hình 7-1-12, có các cổng NOR 1 và 2 và linh kiện định thời R, C . V_K là tín hiệu điều khiển, $V_K = V_H$ mạch ngừng công tác, $V_K = V_L$ mạch dao động. Hình 7-1-13 là cổng NOR CMOS.

Trong mạch này, mỗi đầu vào đều có diốt bảo hộ. Những diốt này hạn chế mức điện áp cực cổng bóng bán dẫn MOS trong phạm vi giữa điện thế đất và E_D . Trong các mạch số, nói chung diốt bảo hộ đầu vào không dẫn. Nhưng trong mạch dao động đa hài, các diốt này có tác dụng ghim mức cao đầu vào ở E_D , mức thấp đầu vào ở $0V$.

b) Nguyên lí làm việc

Khi phân tích nguyên lí làm việc một cách định tính, để đơn giản hóa, có thể cho cổng 1, 2 là những chuyển mạch lí tưởng (dùng S_1, S_2

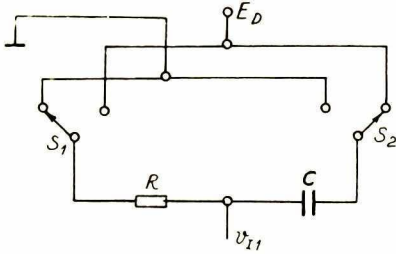


Hình 7-1-13. Mạch NOR (CMOS)

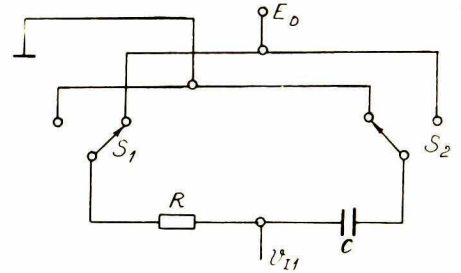
có diốt bảo hộ đầu vào.

biểu thị) mà nếu điện áp đầu vào V_I lớn hơn điện áp ngưỡng thông V_T thì cổng thông, nếu $V_I < V_T$ thì cổng ngắt.

Khi $V_K = V_{IH} = E_D$ mạch không dao động. Cụ thể như sau : nếu $V_K = V_{IH}$, cổng 1 thông, cổng 2 ngắt, $v_{I2} = V_L = 0$, $v_o = V_{I1} = E_D$, $v_{I1} = v_{I2} = V_L$. Mạch tương đương ở hình 7-1-14.



Hình 7-1-14. Mạch tương đương đơn giản hóa khi $V_K = E_D$.



Hình 7-1-15. Mạch tương đương đơn giản hóa khi tụ điện nạp điện.

Khi $V_K = V_L$ mạch dao động. Cụ thể như sau : V_K từ V_{IH} giảm xuống V_L . Cổng một ngắt, v_{I2} lên mức cao. Cổng 2 thông, v_o xuống mức thấp, do tác dụng ghim của diốt bảo hộ đầu vào, v_{I1} cơ bản bằng 0V. Đồng thời tụ điện C nạp, mạch tương đương khi đó xem hình 7-1-15. Theo mức độ nạp điện của tụ điện C, v_{I1} tăng lên theo luật hàm mũ với hằng số thời gian $\tau = RC$. Trong quá trình tụ C nạp, mạch điện ở trạng thái tạm thời ổn định.

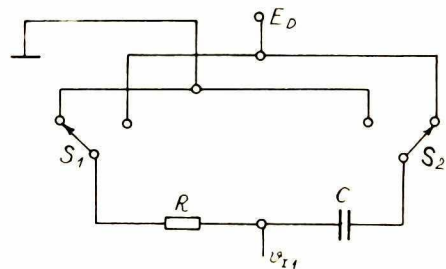
Khi v_{I1} tăng lên đến ngưỡng V_T , cổng 1 thông, v_{I2} xuống mức thấp, cổng 2 ngắt, v_o lên mức cao - v_{I1} cũng biến đổi theo v_o nhưng được ghim ở mức E_D do tác dụng của diốt bảo hộ.

Đồng thời tụ điện C phóng điện theo mạch tương đương (đơn giản hóa) hình 7-1-16. Theo mức độ phóng điện của C, v_{I1} giảm xuống theo luật hàm số mũ cũng với hằng số thời gian $\tau = RC$. Trong quá trình tụ C phóng, mạch điện cũng ở trạng thái tạm thời ổn định.

Khi v_{I1} giảm đến V_T thì cổng 1 ngắt, v_{I2} lên mức cao, cổng 2 thông, v_o xuống mức thấp, v_{I1} cũng xuống thấp theo. C lại nạp...

Vậy mạch điện chuyển đổi trạng thái liên tục giữa 2 trạng thái tạm thời ổn định. Do đó ở đầu ra ta có xung vuông như ý. Hình 7-1-17 là dạng sóng lý tưởng hóa (gần đúng thực) của bộ dao động. Dựa vào các hình (7-1-15), (7-1-16), (7-1-17), ta tìm được công thức gần đúng tính chu kỳ dao động :

$$T = T_1 + T_2 = RC \ln \left(\frac{E_D}{E_D - V_T} + \frac{E_D}{V_T} \right) \quad (7-1-8)$$

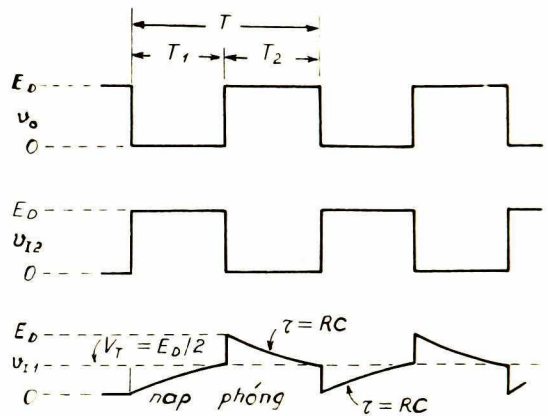


Hình 7-1-16. Mạch tương đương khi C phóng điện.

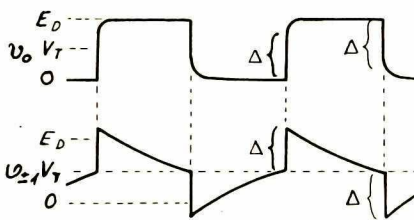
Giả thiết $V_T = \frac{E_D}{2}$ thì $T_1 = T_2$ và
 $T = RC \ln 4 \approx 1,4RC$ (7-1-9)

Biên độ dao động $V_m \approx E_D$ (7-1-10)

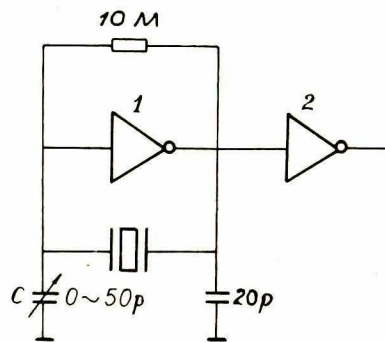
Dạng sóng v_{I1} và v_o trong hình 7-1-17 là gần đúng (các bước đột biến hai bên tụ điện không bằng nhau). Nếu tính đến vai trò của diốt D và điện trở đầu ra R_o của cổng 2, ta vẽ lại dạng sóng như hình 7-1-18.



Hình 7-1-17. Dạng sóng của bộ dao động đa hài cơ bản CMOS.



Hình 7-1-18. Dạng sóng khi kể ảnh hưởng của D và R_o .



Hình 7-1-19. Bộ dao động đa hài thạch anh CMOS.

2) Bộ dao động thạch anh CMOS (xem hình 7-1-19)

Đặc điểm tương tự như đã giới thiệu ở phần 7-1-3 (mạch TTL). Tần số cộng hưởng của thạch anh quyết định tần số dao động. Độ ổn định tần số cao. Điện dung C thay đổi được để tinh chỉnh.

7.2. TRIGƠ SMIT

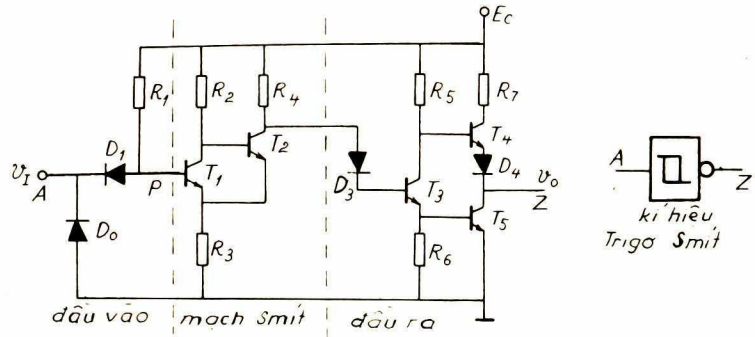
Đặc điểm quan trọng nhất của Trơ Smit là nó có thể biến đổi dạng xung, biến đổi vô cùng chậm chạp ở đầu vào thành dạng xung vuông thỏa mãn yêu cầu mạch số ở đầu ra. Trơ Smit có tính chống nhiễu khá tốt vì độ chênh điện áp chuyển mạch trong mạch. Trơ Smit có ứng dụng rất rộng trong các mạch phát xung và tạo dạng xung.

7.2.1. Trơ Smit IC TTL

1) Cấu trúc mạch điện

Hình 7-2-1 là IC Trơ Smit TTL, nó còn gọi là bộ đảo pha Trơ Smit. Tín hiệu đầu vào v_i thông qua tầng đầu vào (R_i và D_i) đưa đến mạch Smit. Ở đầu ra

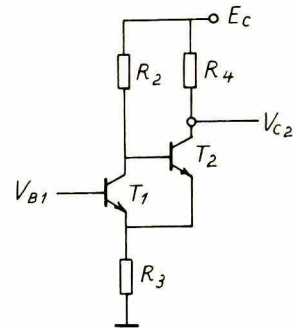
của mạch Smit có tầng đầu ra (là một bộ đảo pha) để nối với phụ tải. Tầng đầu ra là mạch đẩy kéo nên công suất ra khá. So sánh với mạch điện hình dùng cổng NAND TTL thì điểm đặc biệt của hình 7-2-1 là mạch Smit ở giữa.



Hình 7-2-1. Trigo Smit.

2) Nguyên lí làm việc

Hãy xét nguyên lí làm việc mạch Smit hình 7-2-2. Bằng cách chọn thông số linh kiện xác đáng, ta bảo đảm 2 trạng thái tương phản của mạch, nếu v_{B1} là mức thấp thì T_1 ngắt, T_2 thông bão hòa. Nếu v_{B1} là mức cao thì T_1 thông bão hòa, T_2 ngắt. Khi v_{B1} từ mức thấp lên mức cao đến trị số $v_{BE1} = v_{B1} - i_E R_3 = 0,5V$ thì T_1 bắt đầu chuyển từ vùng ngắt vào vùng khuếch đại. Do v_{B1} tiếp tục tăng nên $v_{CE1} = v_{BE2}$ sẽ giảm xuống. Sau khi T_2 rời khỏi vùng bão hòa, mà v_{B1} lại tiếp tục tăng thì xảy ra quá trình phản hồi dương sau đây :



Hình 7-2-2. Mạch điện Smit.

$$v_{B1} \uparrow \rightarrow i_{C1}(i_{E1}) \uparrow \rightarrow v_{CE1} \downarrow \rightarrow v_{BE2} \downarrow \rightarrow i_{C2}(i_{E2}) \downarrow \rightarrow v_E \downarrow \rightarrow v_{BE1} \uparrow$$

nhờ phản hồi dương, mạch điện nhanh chóng chuyển sang trạng thái T_1 thông bão hòa, T_2 ngắt. Cần giải thích rõ thêm tại sao ta khẳng định $v_E \downarrow$ khi mà $v_E = (i_{E1} + i_{E2})R_3$, với i_{E1} đang tăng và i_{E2} đang giảm. Chúng ta hãy chú ý đến tác dụng khuếch đại của T_1, T_2 . Khi v_{B1} tăng kéo theo v_{BE1} tăng, qua T_1 khuếch đại chắc chắn $v_{CE1} = v_{CE2}$ giảm, do đó i_{B2} giảm nhỏ, qua T_2 khuếch đại làm cho i_{E2} giảm.

Do tác dụng khuếch đại của T_1 và T_2 mà tốc độ giảm của i_{E2} lớn hơn tốc độ tăng của i_{E1} . Vậy v_E giảm.

Nếu v_{B1} sau khi tăng đến cực đại thì bắt đầu giảm ; khi v_{B1} giảm đến mức làm T_1 ra khỏi vùng bão hòa, T_2 ra khỏi vùng ngắt thì mạch điện lại xảy ra quá trình phản hồi dương sau :

$$v_{B1} \downarrow \rightarrow i_{C1}(i_{E1}) \downarrow \rightarrow v_{CE1} \uparrow \rightarrow v_{BE2} \uparrow \rightarrow i_{C2}(i_{E2}) \uparrow \rightarrow v_E \uparrow \rightarrow v_{BE1} \downarrow \rightarrow$$

Kết quả mạch điện nhanh chóng lật sang trạng thái T_1 ngắt, T_2 thông bão hòa.

Bây giờ ta xem xét bao quát toàn mạch, kể cả tầng đầu vào và tầng đầu ra. Nếu v_I là mức thấp, v_{B1} cũng mức thấp, T_1 ngắt T_2 bão hòa, V_{C2} ở mức thấp, D_3, T_3, T_5 ngắt, T_4 và D_4 thông, đầu ra ở mức cao. Nếu v_I là mức cao, v_{B1} cũng mức

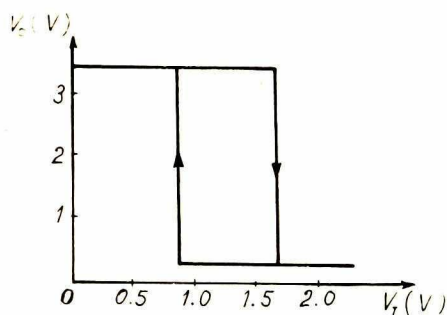
cao, T_1 bão hòa, T_2 ngắt, D_3 thông, T_3 và T_5 bão hòa, T_4 và D_4 ngắt, đầu ra ở mức thấp.

Chúng ta gọi giá trị điện áp đầu vào v_I trong quá trình tăng lên của nó đạt đến ngưỡng làm lật mạch Smit để đầu ra từ mức cao xuống mức thấp là ngưỡng trên v_{T+} .

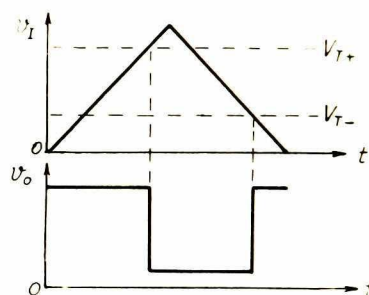
Chúng ta gọi giá trị điện áp đầu vào v_I trong quá trình giảm xuống của nó đạt đến ngưỡng làm lật mạch Smit để đầu ra từ mức thấp lên mức cao là ngưỡng dưới V_{T-} (hình 7-2-3).

Hiệu điện áp tương ứng với ngưỡng trên V_{T+} và ngưỡng dưới V_{T-} được gọi là độ chênh điện áp chuyển mạch ΔV

$$\Delta V = V_{T+} - V_{T-} \quad (7-2-1)$$



Hình 7-2-4. Đặc tính truyền đạt điện áp.

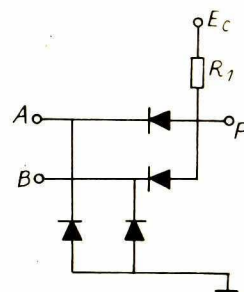


Hình 7-2-3.

Dạng sóng đầu vào v_I , đầu ra v_O

Hình 7-2-4 trình bày đặc tính truyền đạt của Trơ Smit trên hình 7-2-1. Ta thấy rõ độ chênh điện áp chuyển mạch trên hình 7-2-3 và hình 7-2-4.

Hình 7-2-5. Tầng đầu vào nhiều đầu vào.

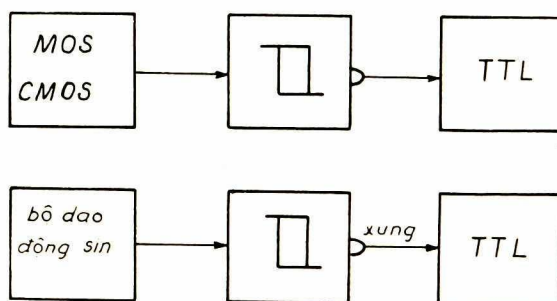


Để có nhiều đầu vào, ta có thể dùng cổng AND điốt ở tầng đầu vào như hình 7-2-5.

3) Ví dụ ứng dụng

Hình 7-2-6.

Mạch phối ghép các dao động chậm vào hệ thống TTL bằng Trơ Smit.



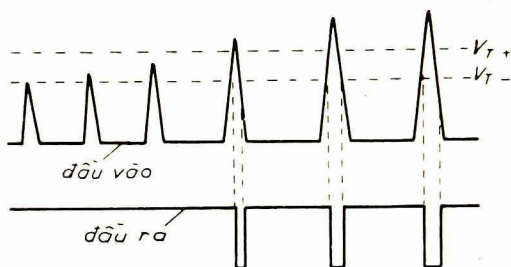


Hình 7-2-7.

Dùng Trigrơ Smit để tạo dạng xung vuông từ điện áp đầu vào biến đổi chậm không quy tắc.

Hình 7-2-8.

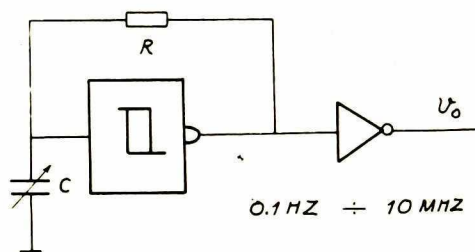
Dùng Trigrơ Smit làm bộ giám sát ngưỡng mức điện áp đầu vào. Khi điện áp này đạt ngưỡng V_{T+} thì mạch điện tác động.



Nguyên lí làm việc của bộ dao động đa hài dùng Trigrơ Smit như sau :

Khi đầu vào Trigrơ Smit ở mức cao thì C nạp điện.

Trong quá trình C nạp, điện áp đầu vào Trigrơ Smit tăng ; Khi điện áp này bằng ngưỡng trên V_{T+} thì Trigrơ Smit lật, đầu ra của nó xuống mức thấp và C bắt đầu phóng điện.



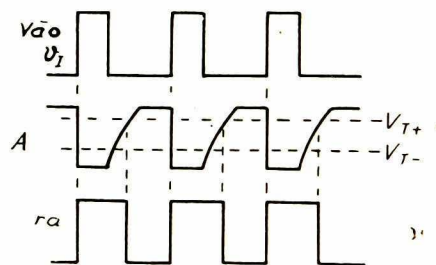
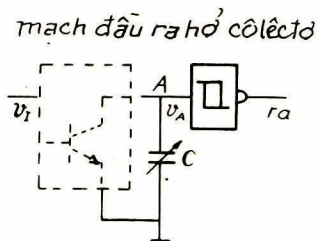
Hình 7-2-9. Bộ dao động đa hài.

Trong quá trình C phóng, điện áp đầu vào Trigrơ Smit giảm ; Khi điện áp này bằng ngưỡng dưới V_{T-} thì Trigrơ Smit lật lại, đầu ra của nó lên mức cao...

Quá trình trên lặp lại mãi, tạo ra dao động đa hài, ở đầu ra được xung vuông. Bộ khuếch đại đảo đầu ra có tác dụng tạo dạng xung đẹp hơn và cách li. R, C càng lớn thì chu kì dao động T càng lớn, tần số dao động càng thấp. Thay đổi R, C thì điều chỉnh được tần số dao động.

Hình 7-2-10.

Bộ mở rộng xung (sơ đồ và dạng sóng).

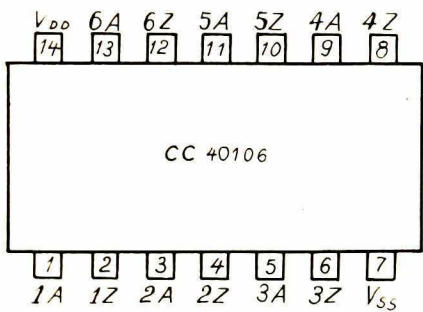


Nguyên lí bộ mở rộng xung dùng Trigrơ Smit như sau :

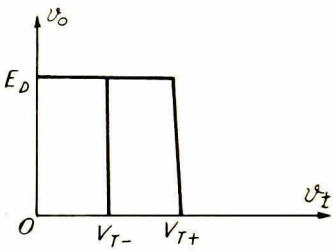
v_i mức thấp thì v_A ở mức cao. Khi v_i lên mức cao thì bóng bán dẫn thông bão hòa, nội trở của nó rất bé, tụ điện C phóng điện rất nhanh, v_A giảm nhanh xuống mức thấp. Khi v_i từ mức cao xuống mức thấp thì bóng bán dẫn ngắt, nguồn điện

E_c nạp điện cho tụ điện C thông qua mạch đầu vào của Trigrơ Smit. v_A tăng chậm. Khi v_A tăng đến V_{T+} thì đầu ra đột biến xuống mức thấp. Vậy mạch đã mở rộng xung đầu vào. Nếu thay đổi giá trị điện dung thì thay đổi mức mở rộng xung.

7.2.2. Trigrơ Smit CMOS



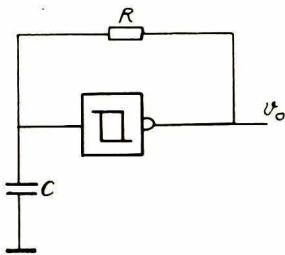
Hình 7-2-11. Sơ đồ chân của IC CMOS CC40106 (6 Trigrơ Smit).



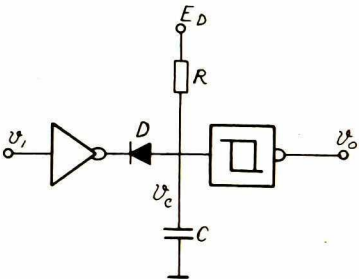
Hình 7-2-12. Đặc tính truyền đạt điện áp.

Ta thấy rằng trong một vỏ (1 chip) đã tích hợp 6 mạch Trigrơ Smit. Hình 7-2-12 là đặc tính truyền đạt điện áp của nó. Bộ đảo pha CMOS có mặt trong cấu trúc của Trigrơ Smit CMOS.

Tương tự như họ TTL, Trigrơ Smit họ CMOS có nhiều ứng dụng : mạch phối ghép các tín hiệu biến đổi chậm thành xung, tạo dạng xung, giám sát mức ngưỡng, bộ dao động đa hài (hình 7-2-13) bộ mở rộng xung (hình 7-2-14).



Hình 7-2-13. Bộ dao động đa hài .



Hình 7-2-14. Bộ mở rộng xung.

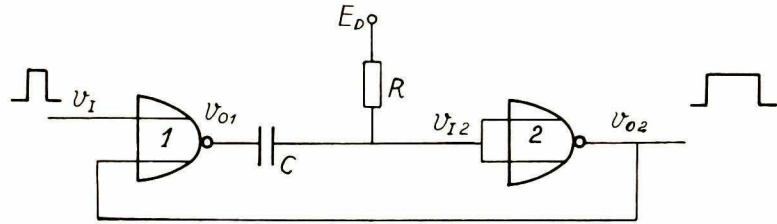
7.3. MẠCH ĐA HÀI ĐỢI

Đặc điểm của đa hài đợi là : 1) Có một trạng thái ổn định và một trạng thái tạm ổn định. 2) Khi có tác dụng của xung kích từ ngoài, có thể chuyển đổi từ trạng thái ổn định sang trạng thái tạm ổn định. 3) Sau khi duy trì một thời gian, sẽ tự động quay về trạng thái ổn định. Thời gian duy trì trạng thái tạm ổn chỉ phụ thuộc thông số bản thân mạch điện mà không phụ thuộc gì vào xung kích. Trong thiết bị điện tử số, đa hài đợi có ứng dụng : định thời (tạo xung vuông có độ rộng mong muốn), tạo dạng xung (biến tín hiệu không quy tắc thành dãy xung chuẩn có chu kì, độ rộng, biên độ ổn định), làm trễ (xung đầu ra trễ theo yêu cầu so với xung vào)...

7.3.1. Mạch đa hài đợi CMOS

1) Mạch đa hài đợi kiểu vi phân

a) Cấu trúc mạch điện



Hình 7-3-1.

Đa hài đợi dùng cổng NOR (CMOS).

Hình 7-3-1 là sơ đồ mạch đa hài đợi kiểu vi phân, trong đó cổng 1, 2 là cổng NOR (CMOS) và RC làm thành bộ trễ vi phân.

b) Nguyên lí làm việc

Trong trạng thái ổn định, cổng 1 ngắt cổng 2 thông : $v_i = 0$, $v_{o1} = E_D$, $v_{i2} = E_D$, $v_{o2} = 0$.

Nếu v_i từ 0 tăng lên đến ngưỡng thông của cổng NOR V_T thì sẽ xảy ra quá trình phản hồi dương sau :

$$v_i \uparrow \rightarrow v_{o1} \downarrow \rightarrow v_{i2} \downarrow \rightarrow v_{o2} \uparrow$$

Quá trình này làm mạch điện nhanh chóng chuyển đổi sang trạng thái cổng 1 thông, cổng 2 ngắt (trạng thái tạm ổn). Mạch điện nạp cho tụ điện C là E_D , R, C, điện trở đầu ra cổng 1. Trong quá trình C nạp thì v_{i2} tăng dần đến ngưỡng V_T , lúc đó sẽ xảy ra quá trình phản hồi dương mới :

(Giả thiết v_i đã về mức thấp)

$$v_{i2} \uparrow \rightarrow v_{o2} \downarrow \rightarrow v_{o1} \uparrow$$

Quá trình này làm cho mạch nhanh chóng trở về trạng thái ổn định, cổng 1 ngắt, cổng 2 thông. Tụ điện C phóng điện qua tăng đầu vào cổng 2 và tăng đầu ra cổng 1. v_{i2} xấp xỉ E_D . v_{o1} tăng dần đến E_D . Xem dạng sóng v_i , v_{o1} , v_{i2} , v_{o2} , trên hình 7-3-2.

Độ rộng xung đầu ra là thời gian tồn tại trạng thái tạm ổn định T_w . T_w được xác định theo hình 7-3-2 như sau :

$$T_w = (R + R_o) \ln \frac{E_D}{E_D - V_T}$$

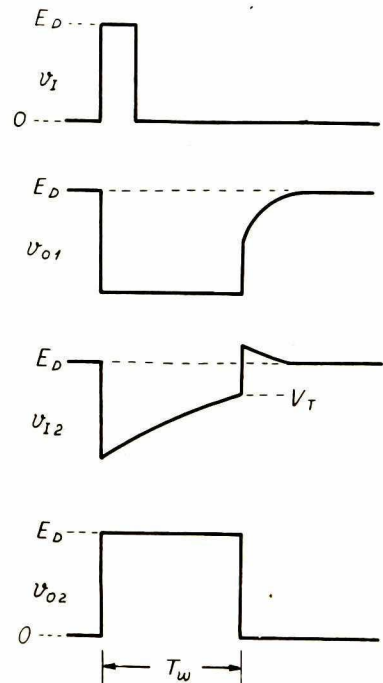
(7-3-1)

Với R_o là điện trở đầu ra của cổng 1

Nếu $V_T = \frac{E_D}{2}$ thì

$$T_w = (R + R_o) \ln 2 \approx 0,7(R + R_o)C$$

(7-3-2)



Hình 7-3-2. Dạng sóng đa hài đợi CMOS.

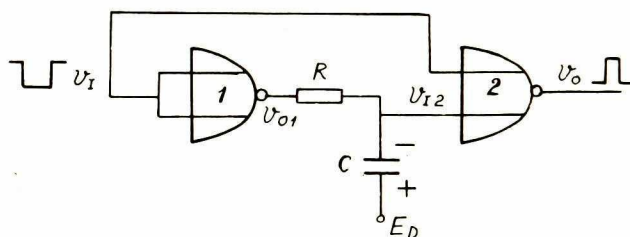
Biên độ xung ra xấp xỉ E_D .

Trong mạch điện hình 7-3-1, nếu độ rộng xung kích v_I lớn hơn T_w thì sẽ không có quá trình phản hồi dương xảy ra lúc mạch trở về trạng thái ổn định, kết quả sườn âm xung ra v_{O2} bị kéo dài hơn.

2) Đa hài đợi kiểu tích phân

Hình 7-3-3.

Đa hài đợi kiểu tích phân dùng cổng NOR (CMOS).



a) Cấu trúc mạch điện

Hình 7-3-3 là sơ đồ mạch đa hài đợi kiểu tích phân, trong đó cổng 1, 2 là cổng NOR (CMOS) và RC làm thành bộ trễ tích phân.

b) Nguyên lý làm việc

Trong trạng thái ổn định, cổng 1 và cổng 2 thông : $v_I = 1$, $v_{O1} = 0$, $v_{I2} = 0$, $v_O = 0$.

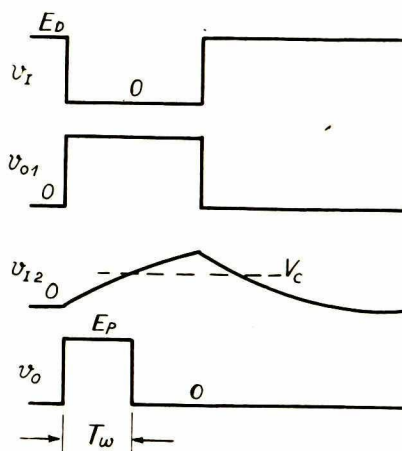
Nếu v_I biến thành mức 0 (đưa vào xung âm) thì cổng 1 ngắt, v_{O1} tăng. Vì điện áp trên tụ không thể đột biến, nếu lúc đầu $v_{I2} = 0$ và cổng 2 ngắt, v_O đột biến lên mức cao E_D .

Trong khi cổng 1 và cổng 2 ngắt, tụ điện C phóng điện qua điện trở đầu ra R_O của cổng 1 và R, v_{I2} tăng dần lên. Giả sử v_I vẫn ở mức thấp. Đến khi $v_{I2} = V_T$ thì cổng 2 thông, v_O đột biến xuống 0.

Sau khi kết thúc xung vào (v_I lên 1), cổng 1 thông, điện dung lại nạp điện, mạch điện trở về trạng thái ổn định.

Xem dạng sóng hình 7-3-4.

Mạch 7-3-3 và mạch hình 7-3-1 có cùng một công thức bề rộng xung ra,



Hình 7-3-4.

Dạng sóng đa hài đợi tích phân.

$$\text{tức là} \quad T_w \approx (R + R_O) \ln \frac{E_D}{E_D - V_T} \quad (7-3-3)$$

$$\text{Với} \quad V_T = \frac{E_D}{2} \text{ thì } T_w \approx 0,7(R + R_O)C \quad (7-3-4)$$

Mạch 7-3-3 làm việc như là thu hẹp và đảo xung, độ rộng xung âm đầu vào phải lớn hơn T_w . Trong trường hợp ngược lại, mạch 7-3-3 chỉ là mạch đảo.

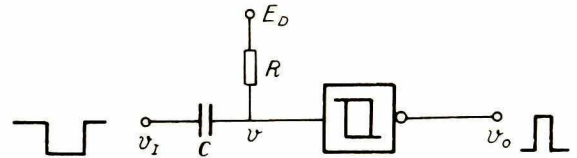
3) Đa hài đợi dùng Trơ Smit (CMOS)

a) Cấu trúc mạch điện

Trong hình 7-3-5 ta thấy đa hài đợi có Trơ Smit và mạch trễ RC.

Hình 7-3-5.

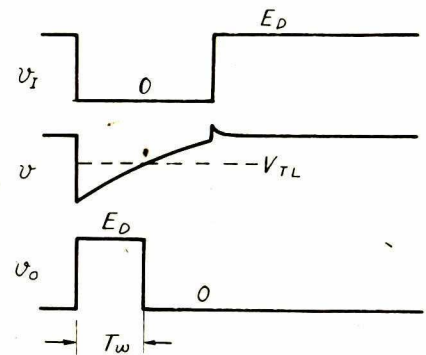
Đa hài đợi
dùng Trơ Smit (CMOS).



b) Nguyên lí làm việc

Trạng thái ổn định : $v_I = E_D$, $v = E_D$,
 $v_O = 0$.

Khi đưa vào xung âm, v đột biến theo v_I xuống mức 0. Trơ Smit lật. v_O lên mức cao. C được nạp điện và v tăng dần lên. Khi $v = V_{T+}$ thì Trơ Smit lại lật về trạng thái ban đầu, v_O xuống mức thấp. Xem hình 7-3-6.



Hình 7-3-6. Dạng sóng mạch đơn ổn dùng Trơ Smit CMOS.

Các công thức tính :

$$\text{Độ rộng xung ra } T_w \approx RC \ln \frac{E_D}{E_D - V_{T+}} \quad (7-3-5)$$

$$\text{Với } V_{T+} = \frac{E_D}{2} \quad \text{thì} \quad T_w \approx 0,7RC \quad (7-3-6)$$

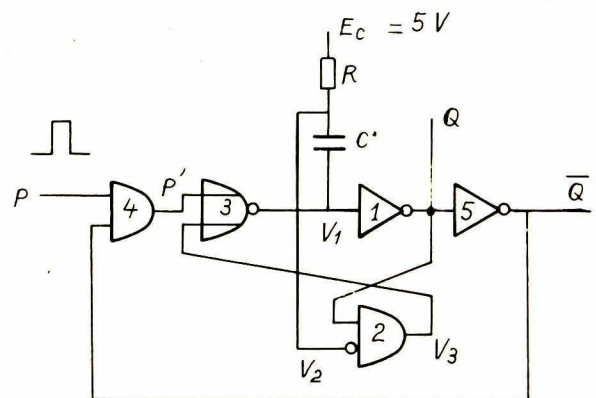
$$\text{Biên độ xung ra } V_m = V_{OH} - V_{OL} \approx E_D \quad (7-3-7)$$

7.3.2. Đa hài đợi họ TTL

1) Cấu trúc mạch điện

Xem hình 7-3-7, trong đó :

- Cổng 1, 2, 3 cấu trúc mạch Flip Flop,
- Cổng 4, 5 là mạch tạo dạng xung,
- RC là mạch định thời.



Hình 7-3-7. Vi mạch (IC) đa hài đợi họ TTL.

- Các cổng 1, 2, 3, 4, 5 (họ TTL)

có mức logic 1 là 3,6V

có mức logic 0 là 0,3V.

- Đầu vào V_2 biểu thị sử dụng mạch đảo. Mạch đảo này thông báo hòa thì $V_2 \approx 0,7V$, còn ngưỡng thông của nó cỡ 0,6v.

2) Nguyên lí làm việc

Trạng thái ổn định :

$P = P' = 0$. Mạch đảo đầu vào V_2 là bộ khuếch đại tranzito đầu nối theo mạch cực emitơ chung, bây giờ bão hòa, $V_2 = 0,7V$. $V_3 = 0$, $V_1 = 1$, $Q = 0$, $\bar{Q} = 1$.

Khi có xung dương đầu vào : $P = 1$, $P' = 1$, $V_1 = 0$, $Q = 1$, $\bar{Q} = 0$, mạch ở trạng thái tạm ổn định.

Do $\bar{Q} = 0$ khóa cổng 4, nên sau khi kích bằng sườn dương xung P thì mạch bị cách li khỏi xung P.

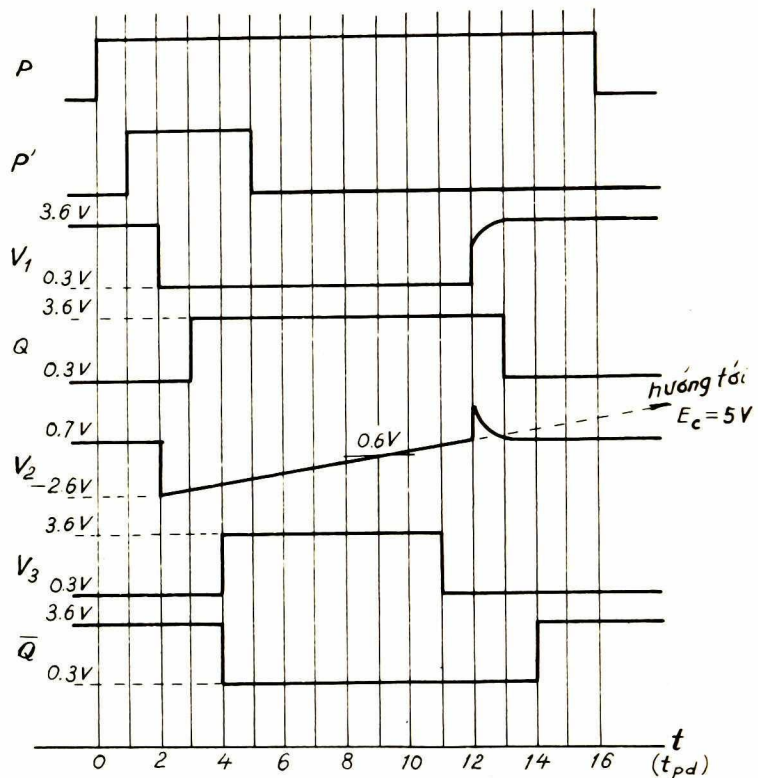
Vì điện áp trên tụ điện C không đột biến nên khi V_1 từ mức cao 3,6V đột biến xuống 0,3V thì V_2 từ mức 0,7V đột biến xuống -2,6V. Bắt đầu quá trình nạp điện của tụ điện C. V_2 tăng dần lên. Khi V_2 tăng lên đến ngưỡng thông 0,6V (của mạch đảo V_2) thì sinh ra quá trình phản hồi dương sau

$$V_2 \uparrow \rightarrow V_3 \downarrow \rightarrow V_1 \uparrow \rightarrow Q \downarrow$$

Quá trình này làm mạch nhanh chóng trở về trạng thái ổn định ban đầu : $V_3 = 0$, $V_1 = 1$, $Q = 0$, $\bar{Q} = 1$. Tiếp đó C phóng điện, V_2 dần dần khôi phục đến 0,7V. Xem dạng sóng hình 7-3-8. (Để đơn giản hóa, chúng ta giả định thời gian trễ truyền đạt của các cổng và bộ đảo pha đầu vào V_2 đều bằng t_{pd} , chúng ta cũng giả định các điện áp đầu ra đều đột biến).

Đối với đa hài dợt này, độ rộng xung ra được tính như sau :

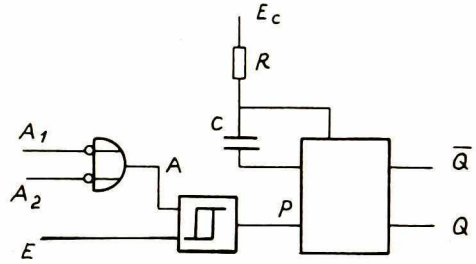
$$T_w \approx 0,7RC \quad (7-3-8)$$



Hình 7-3-8. Dạng sóng IC TTL.

Bằng việc chọn lựa R và C thích hợp có thể thiết kế được T_w trong phạm vi $40\text{ns} \div 28\text{s}$ với $\frac{T_w}{T} = 67 \div 90\%$.

Hình 7-3-9 giới thiệu mạch bên trong IC T1121. Mạch này giống sơ đồ hình 7-3-7, có thêm mạch Smit để tạo dạng xung cần thiết. Mạch Smit có chức năng logic AND. Khi $A = E = 1$ thì $P = 1$, nếu không thì $P = 0$. Ở trạng thái tĩnh mạch đơn ổn ở trạng thái ổn định ($Q = 0, \bar{Q} = 1$) không phụ thuộc vào P.



Hình 7-3-9. IC đa hài đơn TTL : T 1121.

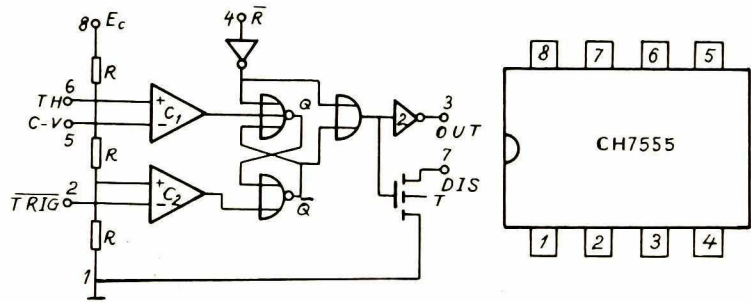
Chỉ khi $E = 1$ và A đột biến dương, hay $A = 1$ và E đột biến dương thì ta mới có đột biến dương của P. Do đó đa hài đơn mới chuyển đổi sang trạng thái tạm ổn định, tạo ra xung vuông đầu ra.

7.4. IC ĐỊNH THỜI

Bộ định thời 555 được sử dụng vô cùng rộng rãi. Dưới đây sẽ giới thiệu IC định thời họ CMOS.

7.4.1. IC định thời họ CMOS

CH7555 là bộ định thời IC họ CMOS điển hình. Xem hình 7-4-1. Bảng 7-4-1 giới thiệu các chân vi mạch



Hình 7-4-1. Bộ định thời CMOS.

Bảng 7-4-1 : GIỚI THIỆU CHỨC NĂNG CÁC CHÂN VI MẠCH CH7555

Kí hiệu chân	Chức năng	Kí hiệu chân	Chức năng
2. $\overline{\text{TRIG}}$	Dấu kích mức thấp	6. TH	Dấu kích mức cao
3. $\overline{\text{OUT}}$	Dấu ra	7. DIS	Dấu phóng điện
4. $\overline{\text{R}}$	Reset	5. C-V	Điện áp điều khiển

CH7555 cấu trúc từ các bộ phận sau :

1) Flip Flop RS cơ bản

Bộ phận FF do 2 cổng NOR cấu trúc nên. $\overline{R}$ là đầu vào Reset, $\overline{R} = 0$ thì $Q = 0$, $\overline{Q} = 1$.

2) Bộ so sánh

C_1 và C_2 là hai bộ so sánh CMOS. Bộ so sánh có 2 đầu vào với đánh dấu phân biệt là + và -. Nếu V_+ và V_- biểu thị điện áp trên các đầu vào tương ứng thì đầu ra bộ so sánh có mức logic cao khi $V_+ > V_-$, đầu ra bộ so sánh có mức logic thấp khi $V_+ < V_-$. Trở kháng đầu vào bộ so sánh cực lớn, có thể coi dòng điện đầu vào bằng 0.

3) Bộ phân áp

3 điện trở bằng nhau mắc nối tiếp thành mạch phân áp để đưa ra điện áp chuẩn cho các bộ so sánh C_1 , C_2 làm việc. Đầu - của C_1 có điện áp chuẩn $V_- = \frac{2}{3} E_c$. Đầu + của C_2 có điện áp chuẩn $V_+ = \frac{E_c}{3}$. Điện áp điều khiển đưa vào đầu C - V làm thay đổi mức điện áp tham khảo. Nếu không đưa điện áp điều khiển vào thì dùng tụ điện $0,01\mu F$ tiếp đất để ngăn mạch nhiễu tần số cao.

4) Chuyển mạch bóng MOS và tầng đệm đầu ra

Tranzito trường T cấu trúc thành chuyển mạch bị tín hiệu đầu ra cổng OR điều khiển. Đầu ra cổng OR ở mức 0 thì T ngắt, ở mức 1 thì T thông.

Tầng đệm đầu ra là bộ đảo 2. Mục đích tầng đệm để cách li ảnh hưởng của phụ tải và để tăng khả năng chịu tải của bộ định thời.

Bảng 7-4-2 giới thiệu chức năng bộ định thời CH7555

Bảng 7-4-2 : BẢNG CHỨC NĂNG CỦA CH7555

TH	$\overline{TRIG}$	$\overline{R}$	OUT	DIS
$\times$	$\times$	L	L	thông
$> \frac{2}{3} E_c$	$> \frac{E_c}{3}$	H	L	thông
$< \frac{2}{3} E_c$	$> \frac{E_c}{3}$	H	Không đổi	Không đổi
$\times$	$< \frac{E_c}{3}$	H	H	ngắt

Trong bảng 7-4-2, kí hiệu L là mức thấp, H là mức cao, $\times$ là tùy ý, "không đổi" là Flip Flop RC duy trì nguyên trạng kéo theo đầu ra và T cũng duy trì nguyên trạng, "thông" và "ngắt" là trạng thái của tranzito trường T. Tính đúng đắn của bảng 7-4-2 có thể nghiệm chứng từ sơ đồ hình 7.4.1. CH7555 do cấu trúc mạch như trên nên sử dụng rất linh hoạt, điện áp nguồn nuôi cho phép từ cực tiểu 3V đến cực đại 18V, công suất tiêu thụ cực đại là 200mW.

Ví dụ về bộ định thời IC tranzito lưỡng cực là 5G555, về cơ bản cũng giống CH7555 về cấu trúc và nguyên lí.

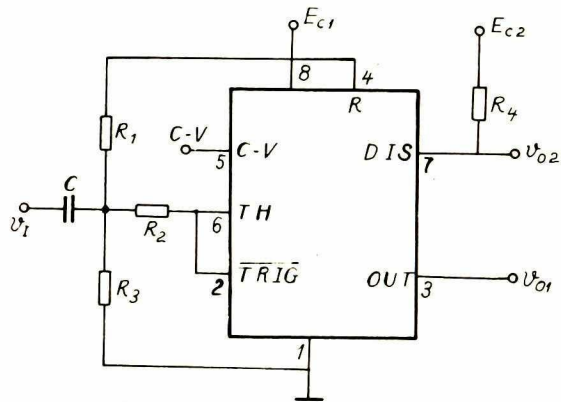
7.4.2. Ví dụ ứng dụng IC định thời

1) Trigr Smit

Mạch điện hình 7-4-2 là Trigr Smit cấu trúc từ IC CH7555 bằng cách nối liên các số 2 và số 6 của IC.

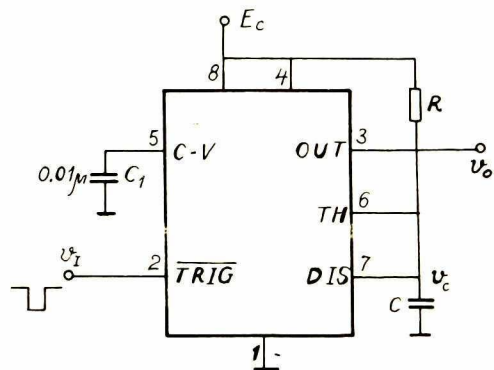
Trong hình 7-4-2, ngưỡng trên của Trigr Smit $V_{T+} = \frac{2}{3} E_{C1}$, ngưỡng dưới $V_{T-} = \frac{E_{C1}}{3}$. Độ chênh điện áp chuyển mạch $\Delta V = V_{T+} - V_{T-} = \frac{E_{C1}}{3}$. Nếu đưa điện áp V_{C-V} vào đầu vào điều khiển C - V thì có thể điều chỉnh V_{T+} , V_{T-} và ΔV (bằng cách thay đổi V_{C-V}). v_{02} thay đổi theo E_{C2} , nên chọn mức E_{C2} để bảo đảm mức v_{02} yêu cầu.

Hình 7-4-2.
Trigr Smit cấu trúc
từ CH7555.



2) Đa hài đợi

Xem hình 7-4-3, trong đó RC là mạch định thời, $C_1 = 0,01\mu F$ là tụ lọc chống nhiễu, tín hiệu vào v_i đưa vào đầu kích mức thấp $\overline{TRIG}$, tín hiệu ra lấy ở đầu ra OUT. Ở trạng thái ổn định $v_i = E_c$, FFRS cơ bản ở trạng thái 0, cổng OR đưa ra mức cao làm cho T và bộ đảo 2 đều thông, $TH = DIS \approx 0$, $v_o \approx 0$.



Hình 7-4-3. Đa hài đợi cấu trúc từ CH7555.

Nếu có xung âm v_i đưa đến đầu vào, đầu ra bộ so sánh C_2 có mức cao, FFRS cơ bản lập 1, $\overline{Q} = 0$, đầu ra cổng OR ở mức thấp, bộ đảo 2 ngắt, v_o lên mức cao, T ngắt. Mạch điện ở trạng thái tạm ổn. Ở trạng thái tạm ổn, C nạp điện từ E_c qua R. Trong quá trình nạp điện, điện áp $TH = DIS$ tăng cao dẫn đến mức ngưỡng

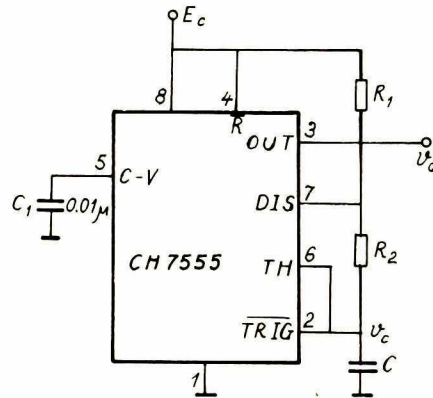
$\frac{2}{3} E_c$ thì đầu ra bộ so sánh C_1 lên mức cao, FFRS cơ bản về 0, $\overline{Q} = 1$, đầu ra cổng OR ở mức cao, bộ đảo 2 thông, v_o đột biến xuống mức thấp, T thông, tụ điện C phóng điện, mạch điện trở về trạng thái ổn định. Xem dạng sóng hình 7-4-4. Nếu bỏ qua điện áp rơi trên T thì độ rộng xung đầu ra là

$$T_w \approx RC \ln 3 \approx 1,1RC$$

Do phân tích trên, mạch đa hài đợi yêu cầu xung kích đầu vào có độ rộng nhỏ hơn T_w . Nếu xung đưa đến có độ rộng lớn hơn T_w thì phải cho nó qua mạch vi phân RC để tạo ra xung hẹp yêu cầu.

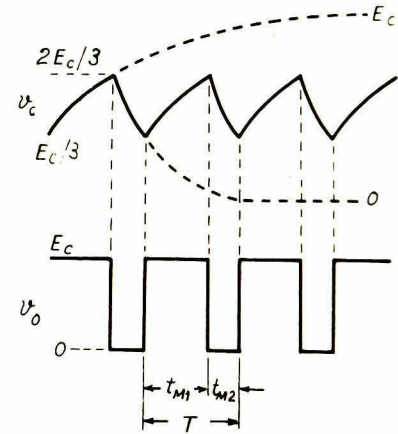
3) Bộ dao động đa hài

Xem hình 7-4-5 và 7-4-6. Trong sơ đồ mạch hình 7-4-5, R_1 , R_2 và C làm thành mạch định thời.



Hình 7-4-5.

Bộ dao động đa hài dùng CH7555.



Hình 7-4-6.

Dạng sóng.

Nguyên lý công tác của mạch như sau : khi Flip Flop RS cơ bản lật sang trạng thái 1 thì $\overline{Q} = 0$, cổng OR đưa ra mức thấp, bộ đảo 2 ngắt, điện áp đầu ra v_o là mức cao. Tranzito trường T ngắt.

Tụ điện C nạp điện từ nguồn E_c qua R_1 , R_2 . Trong quá trình C nạp, điện áp $TH = \overline{TRIG}$ tăng dần lên đến trị số ngưỡng $\frac{2}{3} E_c$ thì đầu ra của bộ so sánh C_1 đột biến lên mức cao, Flip Flop RC cơ bản xóa về 0, $\overline{Q} = 1$, đầu ra cổng OR ở mức cao, v_o đột biến xuống mức thấp, T thông. Tụ điện C phóng điện qua R_2 và T. Trong quá trình phóng điện đó, điện áp $TH = \overline{TRIG}$ giảm dần xuống đến trị số ngưỡng $\frac{E_c}{3}$ thì đầu ra bộ so sánh C_2 đột biến lên mức cao, Flip Flop RS cơ bản lập 1, $\overline{Q} = 0$, đầu ra cổng OR ở mức thấp, v_o đột biến lên mức cao, T ngắt, C

nạp... quá trình lặp lại một cách chu kì, mạch không ngừng dao động, tạo ra xung vuông ở đầu ra (hình 7-4-6). Các công thức tính như sau :

$$t_{M1} \approx (R_1 + R_2)C \ln 2 \approx 0,7(R_1 + R_2)C$$

$$t_{M2} \approx R_2 C \ln 2 \approx 0,7R_2 C$$

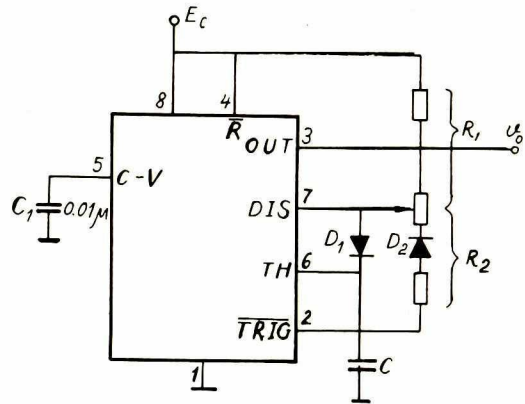
$$T = t_{M1} + t_{M2} \approx 0,7(R_1 + 2R_2)C$$

$$f = \frac{1}{T} \approx \frac{1,43}{(R_1 + 2R_2)C}$$

Hình 7-4-7 giới thiệu bộ dao động đa hài có thể thay đổi tỉ số $\frac{T_w}{T}$. Trong mạch này, khi tranzito trường T ngắt, tụ điện C nạp điện từ nguồn E_C qua R_1 , D_1 . Khi T thông, C phóng điện qua R_2 , D_2 , T. Vậy nên

$$T_{M1} \approx 0,7R_1 C$$

$$t_{M2} \approx 0,7R_2 C$$



Hình 7-4-7. Bộ dao động đa hài điều chỉnh tỉ số $\frac{T_w}{T}$.

$$\frac{T_w}{T} = \frac{t_{M1}}{t_{M1} + t_{M2}} \approx \frac{R_1}{R_1 + R_2}$$

Điều chỉnh chiết áp tức là thay đổi tỷ số $\frac{T_w}{T}$, thực chất làm độ rộng xung ra thay đổi. Bộ định thời 555 còn rất nhiều ứng dụng khác, mà vì khuôn khổ nên không thể giới thiệu hết ở đây.

TÓM TẮT

Trong chương này chúng ta đã tìm hiểu các mạch tạo xung. Mạch dao động xung tự kích không cần tín hiệu ngoài đưa vào ; sau khi được cấp nguồn một chiều, mạch tự động sinh ra xung vuông. Thuộc loại dao động tự kích này có các mạch : bộ dao động đa hài cơ bản cổng NAND họ TTL, bộ dao động vòng, bộ dao động thạch anh, bộ dao động đa hài cơ bản CMOS.

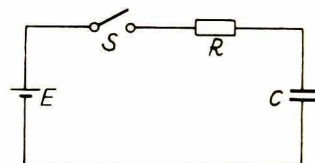
Mạch tạo dạng xung không tự động phát xung nhưng có thể biến tín hiệu đầu vào hình dạng khác thành ra xung vuông theo yêu cầu của mạch số. Trong số mạch tạo dạng xung, chúng ta đã tìm hiểu : Trigrơ Smit và đa hài dợt.

Các mạch phát xung và tạo dạng xung trên đây, ngoài dùng làm xung đồng hồ ra còn có ứng dụng vô cùng rộng rãi trong các hệ thống xung - số. Bộ dao động đa hài thường dùng làm bộ tạo xung chuẩn thời gian và chuẩn tần số. Mạch đa hài dợt thường dùng để định thời và làm trễ xung. Trigrơ Smit ngoài ứng dụng tạo dạng xung còn ứng dụng so sánh mức và giám sát mức. v.v...

Để phân tích quá trình quá độ của mạch xung, chúng ta dùng phương pháp phân tích hình sóng : đầu tiên căn cứ vào nguyên lí công tác của mạch điện mà vẽ ra dạng sóng dòng điện, điện áp trong quá trình, tiếp theo tìm ra giá trị khởi đầu và giá trị kết cuối của biến hóa dạng sóng, cuối cùng tính toán để có kết quả yêu cầu. Phương pháp này rất có ích và tiện lợi cho việc phân tích các mạch xung đơn giản.

BÀI TẬP

7-1. Cho mạch điện RC nối tiếp như hình vẽ, điện áp ban đầu và cuối cùng của tụ điện là $V(0)$ và $V(\infty)$.



1- Hãy chứng minh $V_c(t) = V(\infty) - [V(\infty) - V(0)]e^{-\frac{t}{\tau}}$

$$\text{với } \tau = RC$$

2- Hãy tìm hàm số $V_R(t)$ - điện áp trên R.

3- Hãy chứng minh rằng trong mạch điện chỉ có một hằng số thời gian duy nhất thì điện áp giữa 2 điểm bất kì trong mạch có dạng $V(t) = V(\infty) - [V(\infty) - V(0)]e^{-\frac{t}{\tau}}$

4 - Hãy chứng minh rằng $t_M = \tau \ln \frac{V(\infty) - V(0)}{V(\infty) - V_T}$

$$\text{với } v(t_M) = V_T$$

7-2. Trong mạch bộ dao động đa hài cơ bản dùng cổng NAND họ TTL, nếu giá trị điện trở R_{F1} , R_{F2} rất lớn hoặc nếu rất bé thì mạch điện có công tác bình thường không ? Tại sao ? Xem hình 7-1-2.

7-3. Cho mạch hình 7-1-2 và 7-1-3 với $R_1 = 3K\Omega$, $R_{F1} = R_{F2} = R_F = 1K\Omega$, $C_1 = C_2 = C = 2\mu F$. Hãy tính tần số dao động. Hãy vẽ dạng sóng đầu ra và chỉ rõ mức cao và mức thấp của sóng ra.

7-4. Trong sơ đồ bộ dao động đa hài vòng RC dùng cổng NAND (TTL) trên hình 7-1-7, tại sao giá trị điện trở R không nên quá lớn ?

7-5. Đặc điểm nổi bật của bộ dao động đa hài thạch anh là gì ?

Giả sử mạch hình 7-1-11 có $f_0 = 2MHz$, dao động đầu ra V_0 đưa vào làm xung đếm ở đầu vào bộ đếm thuận nhị phân dị bộ 4 bit.

Hỏi thời gian chu kì đếm của bộ đếm. Vẽ dạng sóng đầu ra Q của Flip Flop F4 (bit trọng số lớn nhất).

7-6. Trong sơ đồ bộ dao động đa hài CMOS hình 7-1-12, cho $R = 50k\Omega$, $C = 0,01\mu F$, hãy tính chu kì dao động. Giả sử $E_D = 10V$, hãy vẽ dạng sóng v_0 , v_{12} , v_{11} và đánh dấu mức cao, mức thấp của v_0 .

7-7. Đặc điểm quan trọng nhất của Trigrơ Smit là gì ? Hãy vẽ dạng điện áp V_c (trên tụ điện) và điện áp đầu ra v_0 của mạch điện trên hình 7-2-9.

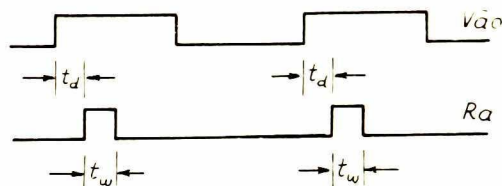
7-8. Dạng sóng v_1 trong sơ đồ hình 7-1-14 và dạng sóng đầu vào sơ đồ hình 7-2-10 giống nhau. Hãy vẽ dạng sóng v_c và v_0 của mạch hình 7-2-14.

7-9. Xét đa hài đợi kiểu vi phân CMOS hình 7-3-1, cho điện trở đầu ra của cổng 1 là $R_o = 500\Omega$, $R_1 = 10k\Omega$, $C = 0,1\mu F$.

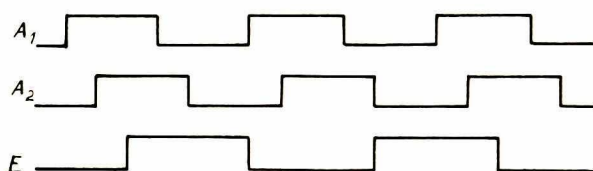
Hãy tính độ rộng xung đầu ra.

7-10. Xét đa hài đợi kiểu tích phân CMOS hình 7-3-3. Hãy vẽ dạng sóng đầu ra trong hai trường hợp : độ rộng xung v_i lớn hơn và bé hơn $T_W = 0,7 (R + R_o)C$.

7-11. Hãy thiết kế mạch làm trễ xung có dạng sóng đầu vào, đầu ra hình bên.



7-12. Xét mạch đa hài đợi IC TTL hình 7-3-9. Cho dạng sóng A_1 , A_2 , E như hình bên. Hãy vẽ dạng sóng Q và $\bar{Q}$ tương ứng.



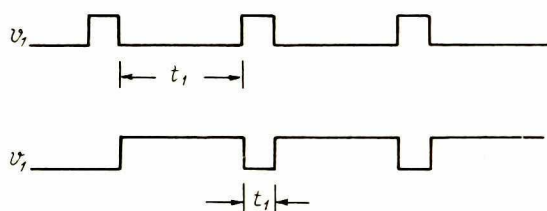
7-13. Xét mạch điện hình 7-4-2, giả định đầu C-V đã tiếp đất bằng tụ điện. Hãy vẽ dạng sóng v_{o1} , v_{o2} tương ứng với v_i là dao động điều hòa biên độ lớn.

7-14. Xét mạch điện hình 7-4-3.

1- Hãy tính độ rộng xung ra tương ứng giá trị $R = 50k\Omega$, $C = 2,2\mu F$

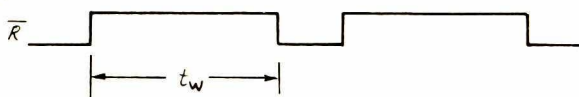
2- Hãy vẽ dạng sóng v_c , v_o tương ứng $t_i \gg T_W$

3- Hãy vẽ dạng sóng v_c , v_o tương ứng $t_i < T_W$



7-15. Xét mạch điện hình 7-4-7. Cho $R_1 = R_2 = 2,2k\Omega$, $C = 2,2\mu F$. Hãy tính tần số dao động.

Giả định đầu $\bar{R}$ có xung vuông hình bên, bề rộng xung t_w này lớn hơn chu kỳ dao động nhiều, hãy vẽ dạng sóng v_o tương ứng.



Chương 8

BIẾN ĐỔI SỐ - TƯƠNG TỰ VÀ BIẾN ĐỔI TƯƠNG TỰ - SỐ

8.1. GIỚI THIỆU CHUNG

Do sự phát triển nhanh chóng của kỹ thuật điện tử số, đặc biệt là sự ứng dụng phổ biến của máy tính điện tử số, nên thường phải dùng mạch số để xử lý tín hiệu tương tự.

Muốn dùng hệ thống số xử lý tín hiệu tương tự, thì phải biến đổi tín hiệu tương tự thành tín hiệu số tương ứng, rồi đưa vào được để hệ thống số (máy tính số chẳng hạn) xử lý. Mặt khác, thường có yêu cầu biến đổi tín hiệu số (kết quả xử lý) thành tín hiệu tương tự tương ứng để đưa ra sử dụng. Chúng ta gọi sự chuyển đổi từ tín hiệu tương tự sang tín hiệu số là chuyển đổi AD, và mạch điện thực hiện công việc đó là ADC. Chúng ta gọi sự chuyển đổi từ tín hiệu số sang tín hiệu tương tự là chuyển đổi DA, và mạch điện tương ứng là DAC.

Để kết quả xử lý nhận được chính xác thì chuyển đổi AD và DA phải có độ chính xác đủ cao. Mặt khác, muốn dùng hệ thống số điều khiển, giám sát các quá trình biến đổi nhanh thì ADC và DAC phải có tốc độ đủ lớn. Vậy độ chính xác và tốc độ chuyển đổi là các đặc trưng kỹ thuật chủ yếu để đánh giá chất lượng ADC và DAC.

Mấy năm gần đây, sự phát triển của kỹ thuật chuyển đổi AD, DA là cực kỳ nhanh chóng. Đặc biệt, để thích hợp với yêu cầu sản xuất các IC một chip ADC, DAC, người ta đã không ngừng nghiên cứu và ứng dụng rất nhiều phương pháp chuyển đổi mới và rất nhiều mạch điện chuyển đổi mới. Trong chương này, chúng ta chỉ tìm hiểu DAC hình T và ADC xấp xỉ tiệm cận, là những bộ biến đổi điển hình được dùng nhiều.

8.2. BỘ BIẾN ĐỔI DAC

8.2.1. Bộ biến đổi DAC điện trở hình T

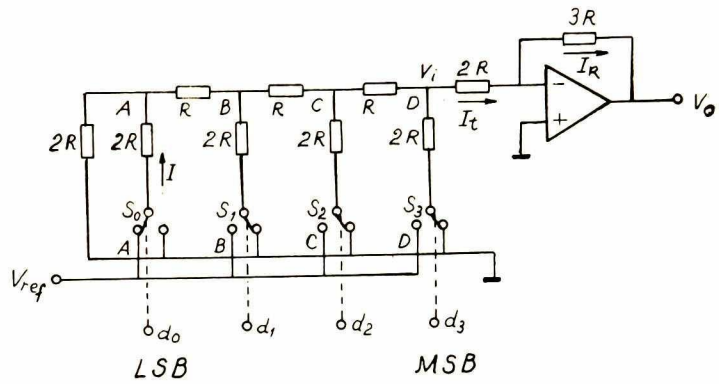
Hình 8-2-1 là sơ đồ DAC điện trở hình T4bit. Hai loại giá trị điện trở R và $2R$ được mắc thành 4 cực hình T nối dây chuyển. S_3, S_2, S_1, S_0 là các chuyển mạch tương tự. Bên phải hình có bộ khuếch đại đảo dùng khuếch đại thuật toán. V_{ref} là điện áp chuẩn tham khảo. $d_3d_2d_1d_0$ là mã nhị phân 4 bit đầu vào. V_o là điện áp

tương tự đầu ra. Các chuyển mạch S_3, S_2, S_1, S_0 chịu sự điều khiển của tín hiệu $d_3 d_2 d_1 d_0$ tương ứng : khi $d_i = 1$ thì S_i đấu vào V_{ref} , khi $d_i = 0$ thì S_i nối đất.

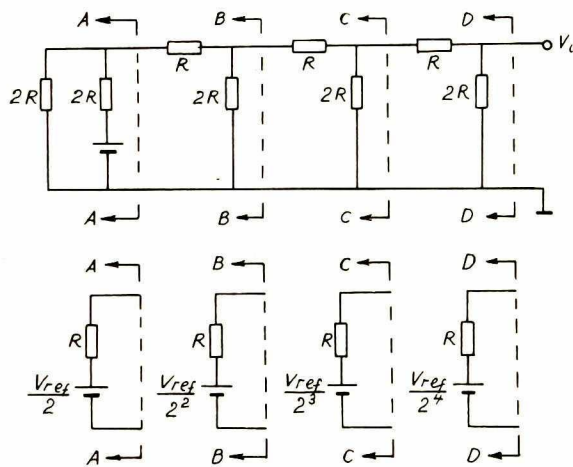
1) Nguyên lí làm việc

Để tiện thuyết minh nguyên lí làm việc của mạch hình 8-2-1, chúng ta hãy đơn giản hóa mạng điện trở hình T.

Nếu $d_3 d_2 d_1 d_0 = 0001$ thì chỉ có S_0 đấu vào V_{ref} , S_3, S_2, S_1 đều nối đất. Áp dụng định lí Thevenin tuần tự đơn giản hóa mạch từ đầu AA sang phải. Ta thấy rằng cứ qua mỗi mắt mạch (A, B, C, D) thì điện áp ra suy giảm đi một nửa. Vậy nếu V_{ref} đấu vào S_0 thì trên đầu ra DD chỉ còn $\frac{V_{ref}}{2^4}$. Cũng với phương pháp trên, xét riêng S_1, S_2, S_3 đấu vào V_{ref} thì trên đầu ra DD tương ứng ($d_3 d_2 d_1 d_0 = 0010, 0100, 1000$) có các điện áp $\frac{V_{ref}}{2^3}, \frac{V_{ref}}{2^2}, \frac{V_{ref}}{2^1}$. Điện trở tương đương của phần mạch bên trái DD bao giờ cũng là R .



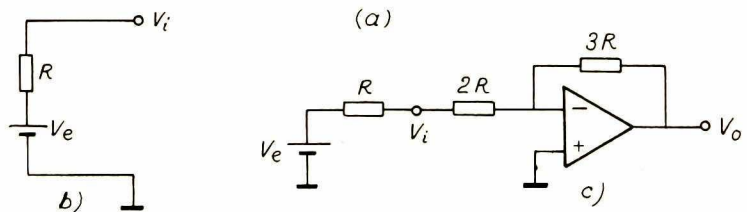
Hình 8-2-1. DAC điện trở hình T.



Hình 8-2-2.

Mạch tương đương của mạch điện hình 8-2-1 :

- Mạng điện trở hình T khi $d_3 d_2 d_1 d_0 = 0001$;
- Mạch tương đương mạng điện trở hình T ;
- Mạch tương đương của mạch điện hình 8-2-1.



Áp dụng nguyên lý xếp chồng đối với các giá trị điện áp trên, ta có mạch tương đương mạng điện trở hình T trên hình 8-2-2b. Trong đó nội trở tương đương là R, sức điện động nguồn tương đương là V_c :

$$V_c = \frac{V_{ref}}{2^4} (d_3 2^3 + d_2 2^2 + d_1 2^1 + d_0 2^0) \quad (8-2-1)$$

Hình 8-2-2c là sơ đồ tương đương toàn mạch, theo lý thuyết mạch khuếch đại thuật toán, ta có điện áp tương tự đầu ra V_o là

$$V_o = -V_c = -\frac{V_{ref}}{2^4} (d_3 2^3 + d_2 2^2 + d_1 2^1 + d_0 2^0) \quad (8-2-2)$$

Biểu thức (8-2-2) chứng tỏ rằng biên độ điện áp tương tự đầu ra tỉ lệ thuận với giá trị tín hiệu số đầu vào. Có thể thấy rằng đối với DAC điện trở hình T n bit thì điện áp tương tự đầu ra V_o là

$$V_o = -\frac{V_{ref}}{2^n} (d_{n-1} 2^{n-1} + d_{n-2} 2^{n-2} + \dots + d_1 2^1 + d_0 2^0) \quad (8-2-3)$$

2) Sai số chuyển đổi

Các nguyên nhân dẫn đến sai số của DAC điện trở hình T là :

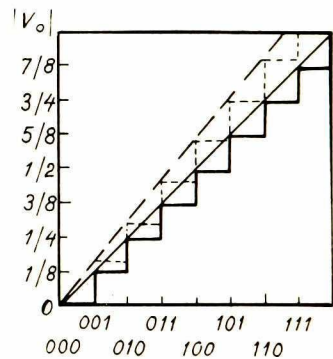
- Sai lệch điện áp chuẩn tham khảo V_{ref} .
- Sự trôi điểm 0 của khuếch đại thuật toán.
- Điện áp rơi trên điện trở tiếp xúc của tiếp điểm chuyển mạch.
- Sai số của điện trở.

Từ (8-2-3) ta có sai số chuyển đổi DA do riêng sai lệch điện áp chuẩn tham khảo V_{ref} gây ra :

$$\Delta V_o = -\frac{1}{2^n} (d_{n-1} 2^{n-1} + d_{n-2} 2^{n-2} + \dots + d_1 2^1 + d_0 2^0) \Delta V_{ref} \quad (8-2-4)$$

Biểu thức (8-2-4) chứng tỏ rằng sai số của điện áp tương tự ΔV_o tỉ lệ thuận với sai lệch ΔV_{ref} và tỉ lệ thuận với giá trị tín hiệu số đầu vào. Hình 8-2-3 biểu thị bằng đường nét đứt sự biến đổi của V_o khi ΔV_{ref} không đổi. Biểu thức (8-2-4) cũng chứng tỏ rằng nếu giá trị tín hiệu số không đổi thì sai số ΔV_o tỉ lệ thuận sai lệch ΔV_{ref} . Chúng ta gọi sai số này là sai số hệ số tỉ lệ.

Sự trôi điểm 0 của bộ khuếch đại thuật toán ảnh hưởng như nhau đối với mọi giá trị tín hiệu số được biến đổi ; sai số ΔV_o do trôi điểm 0 không phụ thuộc giá trị tín hiệu số. Hình 8-2-4 biểu thị bằng nét đứt đặc tuyến điện áp ra khi có sai số trôi, đặc tuyến này đã bị dịch ngang so với đặc tuyến lý tưởng.



Hình 8-2-3. Sai số hệ số tỉ lệ.

Chúng ta gọi sai số này là sai số trôi (hay sai số dịch ngang). Các chuyển mạch không phải là lí tưởng. Thực tế điện áp rơi khi nối thông của mạch điện chuyển mạch không thể tuyệt đối bằng 0. Vậy điện áp rơi này đóng vai trò tín hiệu sai số đưa đến đầu vào mạng điện trở hình T. Từ sự phân tích hình 8-2-2 ta thấy rằng điện áp rơi của mỗi chuyển mạch sẽ gây ra sai số khác nhau đối với điện áp tương tự đầu ra. Gọi ΔV_{S_i} là điện áp rơi của chuyển mạch S_i nối thông. Tổng sai số chuyển đổi do điện áp rơi các chuyển mạch là

$$|\Delta V_o| = \frac{1}{2^4} (2^3 \Delta V_{S_3} + 2^2 \Delta V_{S_2} + 2^1 \Delta V_{S_1} + 2^0 \Delta V_{S_0}) \quad (8-2-5)$$

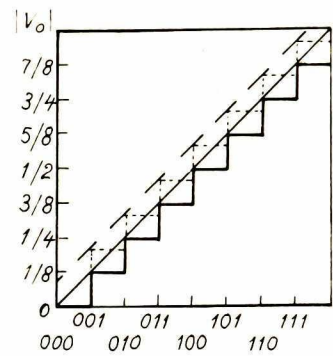
Cần lưu ý rằng ΔV_o không phải là hằng số, cũng không tỉ lệ thuận với giá trị tín hiệu số (nói chung $\Delta V_{S_3} \neq \Delta V_{S_2} \neq \Delta V_{S_1} \neq \Delta V_{S_0}$, hơn nữa điện áp rơi của cùng chuyển mạch cũng lấy giá trị khác nhau trong hai trường hợp : nối vào V_{ref} hay nối đất). Chúng ta gọi sai số này là sai số phi tuyến.

Sai số giá trị điện trở cũng gây ra sai số phi tuyến. Sai số của các điện trở không như nhau, tác động gây sai số chuyển đổi DA của những điện trở khác nhau về vị trí là khác nhau.

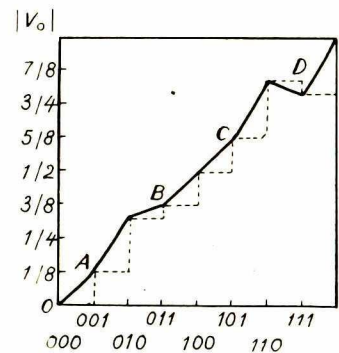
Hình 8-2-5 biểu thị 2 tình huống của sai số phi tuyến. Sai số sinh ra trong khoảng AB là đơn điệu. Sai số sinh ra trong khoảng CD là không đơn điệu. Sai số không đơn điệu có thể làm cho hệ thống không ổn định ; vậy cố gắng tránh.

Từ công thức 8-2-3 có thể thấy rằng trên thực tế thì điện áp đầu ra chỉ phụ thuộc vào tỉ số các giá trị điện trở, chứ không phụ thuộc vào giá trị tuyệt đối của mỗi điện trở. Điều này tạo thuận lợi cho sản xuất IC. Trên mạch điện một chip của IC, rất khó bảo đảm độ chính xác cao của giá trị điện trở, nhưng dễ hơn là bảo đảm độ chính xác cao của tỉ số các giá trị điện trở đó.

Trong trạng thái động, có thể xem mạng điện trở hình T như một dây truyền dẫn. Vậy các tín hiệu xung sinh ra tại các chuyển mạch có thời gian truyền đến đầu vào bộ khuếch đại thuật toán không như nhau. Do đó sẽ sinh ra các xung nhọn biên độ đáng kể ở đầu ra. Lại thêm sai số thời gian chuyển mạch có thể kéo dài thời gian duy trì xung nhọn. Trong trạng thái động, giá trị tức thời của điện áp tương tự đầu ra có thể lớn hơn nhiều giá trị ổn định, nghĩa là sai số động có thể rất lớn. Giá trị đỉnh của xung nhọn sinh ra trong trường hợp bit trọng số lớn nhất của tín hiệu số đầu vào từ 0 chuyển sang 1 trước, còn tất cả các bit khác vẫn ở 1. Lúc này giá trị điện áp tức thời đầu ra bằng giá trị điện áp tương tự đầu ra do chuyển đổi DA của tín hiệu số lớn nhất (các bit đều là 1).



Hình 8-2-4. Sai số trôi.



Hình 8-2-5. Sai số phi tuyến.

Để khử bỏ ảnh hưởng của sai số động, ta có thể dùng mạch giữ lấy mẫu ở đầu ra DAC. (Xem 8-3-2), hơn nữa thời gian lấy mẫu chọn sau khi đã kết thúc quá trình quá độ. Vì lúc lấy mẫu thì xung nhọn đã qua rồi, nên sai số động không ảnh hưởng đến mẫu nữa.

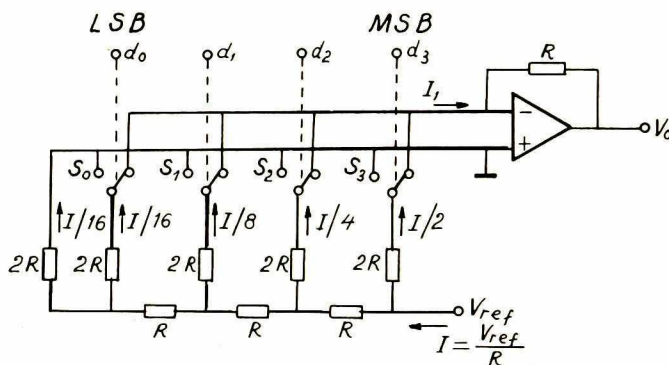
3) Tốc độ chuyển đổi

DAC điện trở hình T công tác song song (các bit tín hiệu số đầu vào được đưa vào song song) nên có tốc độ chuyển đổi cao. Thời gian cần thiết cho một lần chuyển đổi gồm hai đoạn : thời gian trễ truyền đạt của bit tín hiệu vào xa nhất nào đó đến bộ khuếch đại thuật toán và thời gian cần thiết để bộ khuếch đại thuật toán ổn định tín hiệu ra. Hiện nay IC đơn chip DAC 10 ÷ 12 bit có thời gian chuyển đổi cỡ vài μs , trong đó thời gian trễ truyền đạt không quá $1\mu s$.

4) DAC điện trở hình T đảo

Hình 8-2-6.

DAC điện trở hình T đảo.
MSB - most significant bit.
(Bit trọng số lớn nhất)
LSB - least significant bit
(Bit trọng số nhỏ nhất)



Để tránh khỏi xung nhọn xuất hiện trong quá trình động của DAC điện trở hình T, nhờ vậy nâng cao thêm tốc độ chuyển đổi, ta tìm cách duy trì dòng điện chạy qua mỗi nhánh trong mạng là không đổi. Dù tín hiệu số đầu vào là 1 hay là 0 thì dòng điện trong nhánh tương ứng với bit đó cũng không đổi. Vậy là có thể loại trừ cơ bản nguyên nhân tạo ra xung nhọn. Hình 8-2-6 giới thiệu cách nối mạch bảo đảm mục đích đó. Chúng ta gọi mạch hình 8-2-6 là DAC điện trở hình T đảo.

Nếu bit bất kì của tín hiệu số đầu vào là 1 thì chuyển mạch tương ứng sẽ nối điện trở nhánh xét vào đầu đảo bộ khuếch đại thuật toán. Nếu bit là 0 thì chuyển mạch sẽ nối điện trở xuống đất. Vậy dù trạng thái tín hiệu đầu vào thế nào thì dòng điện mỗi nhánh đều giữ trước sau không đổi. Dòng điện tổng lấy từ nguồn điện áp chuẩn tham khảo do đó cũng không đổi : $I = \frac{V_{ref}}{R}$.

Xét mạch hình 8-2-6, ta có

$$V_o = -I_1 R = -\frac{V_{ref}}{2^4} (d_3 2^3 + d_2 2^2 + d_1 2^1 + d_0 2^0) \quad (8-2-6)$$

Tức là điện áp tương tự đầu ra tỉ lệ với giá trị tín hiệu số đầu vào. Ưu điểm nổi bật của mạch điện này là tốc độ cao và xung nhọn đầu ra trong quá trình động thì rất nhỏ. Dòng điện trong các nhánh của mạng điện trở hình T đảo nối trực tiếp

vào đầu vào bộ khuếch đại thuật toán ; vì vậy không có sai lệch thời gian truyền đạt giữa chúng, tức là giảm nhỏ sai số trạng thái động.

Trong quá trình chuyển đổi trạng thái, dòng điện trong từng nhánh vẫn không đổi, không cần thời gian kiến lập và ngắt bỏ của dòng điện (các chuyển mạch tương tự nói chung đều công tác theo yêu cầu trước thông sau ngắt khi chuyển đổi trạng thái).

Vì những nguyên nhân trên đây, mạch DAC điện trở hình T đảo là mạch có tốc độ chuyển đổi DA hạng cao nhất.

Sai số tĩnh của mạch T đảo không có gì khác mạch T trên đây.

5) Chuyển mạch tương tự

Các chuyển mạch tương tự được dùng trong DAC hình 8-2-1 và hình 8-2-6 cần có những đặc trưng công tác sau : 1) Trạng thái của tín hiệu số đầu vào (mức logic 1 hoặc 0) điều khiển trạng thái thông ngắt của chuyển mạch. Đặc điểm này giống như yêu cầu mạch cổng đối với bộ đảo. 2) Sự thông và ngắt của chuyển mạch không được ảnh hưởng đến giá trị tín hiệu tương tự thông qua nó. Nghĩa là yêu cầu chuyển mạch công tác lí tưởng : điện áp rơi tiếp thông bằng 0, nội trở hở ngắt mạch bằng ∞ .

Chúng ta biết rằng, trong mạch logic, chuyển mạch logic chỉ có yêu cầu phải thỏa mãn là phân biệt mức logic (1 và 0). Yêu cầu này cho phép mức logic 1 và mức logic 0 có phạm vi biến đổi như đã quy định. Vậy yêu cầu chuyển mạch tương tự cao hơn nhiều yêu cầu đối với chuyển mạch logic. Chúng ta gọi chuyển mạch có đặc điểm thứ hai nói trên là chuyển mạch tương tự.

Chuyển mạch tương tự thường dùng có hai loại : chuyển mạch tương tự lưỡng cực dùng tranzito lưỡng cực, chuyển mạch tương tự đơn cực dùng tranzito trường. Chuyển mạch lưỡng cực có nhiều cấu trúc mạch khác nhau, nhưng có thể phân làm hai nhóm cấu trúc mạch chính : bão hòa và không bão hòa. Chuyển mạch tương tự lưỡng cực bão hòa có tốc độ chuyển mạch thấp vì tranzito làm việc ở chế độ bão hòa sâu nên thời gian tồn trữ hạt dẫn rất đáng kể, chuyển mạch lưỡng cực không bão hòa có tốc độ cao vì tranzito không bão hòa khi nối thông.

Chuyển mạch tương tự đơn cực có rất nhiều chủng loại... trong chương 2, ta đã biết cổng chuyển mạch CMOS, đó là cơ sở để cải tiến thành chuyển mạch tương tự CMOS được sử dụng rất rộng rãi. Khi thiết kế chế tạo DAC, chuyển mạch tương tự và các bộ phận hợp thành khác của DAC cùng ở trên một chip.

8.2.2. Các chỉ tiêu kĩ thuật chủ yếu của bộ biến đổi DAC

1) Độ phân giải

Độ phân giải là tỉ số giữa giá trị cực tiểu đối với giá trị cực đại của điện áp đầu ra, về trị số tỉ số này tương ứng tỉ số giá trị cực tiểu đối với giá trị cực đại của tín hiệu số đầu vào.

Ví dụ, đối với DAC 10 bit, độ phân giải là

$$\frac{0000000001}{1111111111} = \frac{1}{2^{10} - 1} = \frac{1}{1023} \approx 0,001$$

Độ phân giải DAC cũng có thể biểu thị bằng số bit của tín hiệu số đầu vào.

2) Độ tuyến tính

Độ tuyến tính của DAC biểu thị bằng sai số phi tuyến. Sai số phi tuyến là số % của giá trị lệch cực đại khỏi đặc tính vào - ra lí tưởng so với giá trị cực đại đầu ra.

3) Độ chính xác chuyển đổi

Độ chính xác chuyển đổi xác định bằng sai số chuyển đổi tính cực đại. Sai số này phải bao gồm sai số phi tuyến, sai số hệ số tỉ lệ và sai số trôi v. v... trong tài liệu kĩ thuật của sản phẩm, đôi khi chỉ cho riêng từng sai số trên mà không cho sai số tổng hợp.

4) Thời gian xác lập dòng, áp đầu ra

Thời gian xác lập ra là thời gian từ khi tín hiệu số được đưa vào đến khi dòng hoặc áp đầu ra đã ổn định. Cũng có tài liệu kĩ thuật của sản phẩm xem thời gian xác lập ra là thời gian cần thiết để mức đầu ra đạt đến số % quy định của mức đầu ra cực đại.

5) Các mức logic cao, thấp và điện trở, điện dung của đầu vào

6) Dải động, điện trở, điện dung của đầu ra

7) Hệ số nhiệt độ

Hệ số nhiệt độ là số % biến thiên mức đầu ra khi nhiệt độ tăng 1°C trong điều kiện mức đầu ra cực đại.

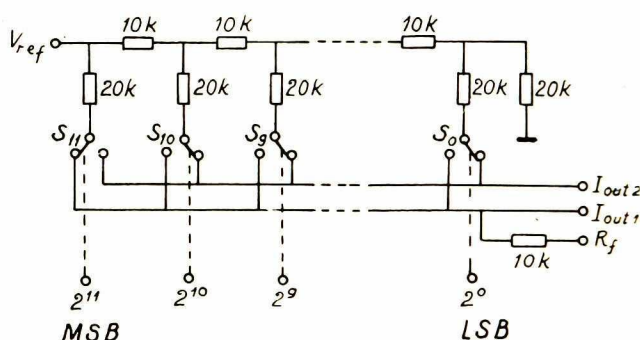
8) Tỉ số phụ thuộc nguồn

DAC chất lượng cao yêu cầu sự ảnh hưởng của biến thiên điện áp nguồn đối với điện áp đầu ra vô cùng nhỏ. (Nguồn xét để cung cấp cho chuyển mạch và khuếch đại thuật toán). Tỉ số phụ thuộc nguồn là tỉ số biến thiên mức điện áp đầu ra với biến thiên điện áp nguồn gây ra nó.

9) Công suất tiêu hao

8.2.3. Ví dụ IC 1 chip DAC

Hình 8-2-7 giới thiệu sơ đồ nguyên lí của IC AD7541. AD7541 là DAC 12 bit CMOS 1 chip, dùng mạng điện trở hình T đảo và chuyển mạch tương tự CMOS. Để



Hình 8-2-7. Sơ đồ nguyên lí của AD7541.

có DAC hoàn chỉnh cần phối ghép AD7541 với bộ khuếch đại thuật toán ngoài.

Trong hình 8-2-8, bộ khuếch đại thuật toán AD741 có biên độ điện áp ra $> \pm 10V$, R_1 là điện trở bù của mạng điện trở hình T đảo (điều chỉnh giá trị dòng đầu ra của mạng) R_2 là điện trở bù của điện trở hồi tiếp R_f (bù sai lệch của giá trị R_f).

Nếu $V_c = +15V$, $V_{ref} = +10V$

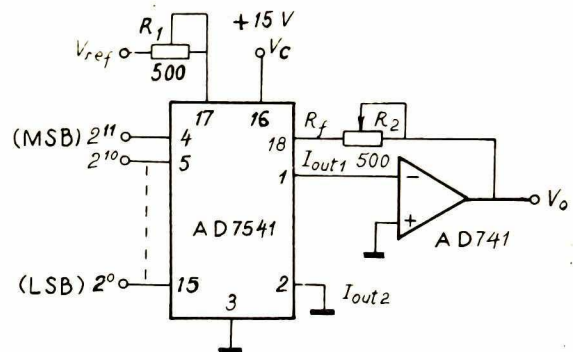
Thì :

Khi đầu vào là 111111111111, đầu ra là $V_o = -9,99975V$.

Khi đầu vào là 100000000000, đầu ra là $V_o = -5,00000V$.

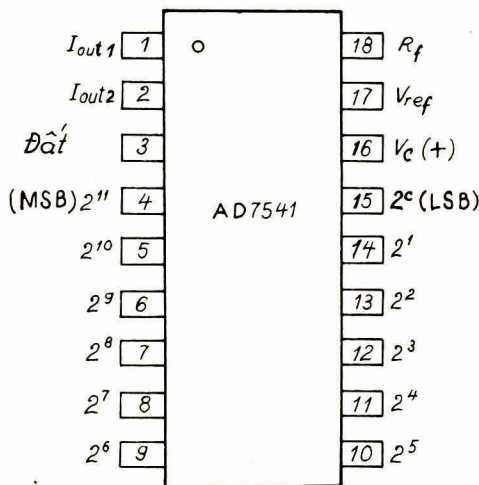
Khi đầu vào là 000000000000, đầu ra là $V_o = 0V$.

AD7541 đóng vỏ DIPS (hai hàng chân song song), có 18 chân, xem hình 8-2-9



Hình 8-2-8.

Nối ghép AD7541 với khuếch đại thuật toán.



Hình 8-2-9. Bố trí chân.

Tương tự AD7541, Trung Quốc sản xuất IC 1 chip DAC 5G7520. 5G7520 là DAC 10 bit, dùng mạng điện trở hình T đảo và chuyển mạch tương tự CMOS, có 16 chân ra, đóng vỏ DIPS.

Bảng 8-2-1

CHỈ TIÊU KỸ THUẬT CỦA AD7541 (Nói chung số liệu lấy với điều kiện

$$T_A = +25^{\circ}\text{C} ; V_C = +5\text{V} ; V_B = -15\text{V})$$

Tên tham số		Điều kiện đo lường	Chỉ tiêu
Độ phân giải			12
Sai số phi tuyến			$\leq \pm 0,02\% \text{FSR}^{**}$
Sai số hệ số tỉ lệ			$\leq \pm 0,3\% \text{FSR}$
Tỉ số phụ thuộc nguồn		$V_{DD} = 14,5\text{V} \sim 15,5\text{V}$	$\leq \pm 0,1\% \text{per}\%^{***}$
Dòng điện dò đầu ra		$V_{\text{ref}} = \pm 10\text{V}$	$\leq \pm 5\text{nA}$
Điện trở đầu vào chuẩn			$5 \sim 20\text{k}\Omega$
Mức tín hiệu số đầu vào	V_{IH}		$> 2,4\text{V}$
	V_{IL}		$< 0,8\text{V}$
Dòng dò đầu vào		$V_I = 0$	$\leq \pm 1\mu\text{A}$
Điện dung đầu vào			$\leq 8\text{pF}$
Mã tín hiệu số			
Điện dung đầu ra	C_{out1}	$V_I = V_{IL}$ (toàn bộ đầu vào)	$\leq 200\text{pF}$
	C_{out2}		$\leq 60\text{pF}$
	C_{out1}	$V_I = V_{IL}$ (toàn bộ đầu vào)	$\leq 60\text{pF}$
	C_{out2}		$\leq 200\text{pF}$
Thời gian xác lập			$\leq 1\mu\text{s}$
Điện áp nguồn			$5 \sim 16\text{V}$
Dòng điện nguồn			$\leq 2\text{mA}$

FSR – Full Scale Range Giá trị cực đại R_a *** Biến đổi mức đầu ra $\leq \pm 0,1\%$ khi nguồn V_{DD} biến đổi 1%.

8.3. BỘ BIẾN ĐỔI ADC

8.3.1. Các bước chuyển đổi AD và định lí lấy mẫu

Trong ADC, tín hiệu tương tự đầu vào là liên tục, tín hiệu số mã hóa ở đầu ra là rời rạc. Sự chuyển đổi AD đòi hỏi phải lấy mẫu đối với tín hiệu tương tự ở đầu vào ở những thời điểm quy định, sau đó chuyển đổi các giá trị mẫu đó thành lượng số đầu ra. Vậy quá trình chuyển đổi AD nói chung có 4 bước : lấy mẫu, nhớ mẫu, lượng tử hóa, mã hóa. Như chúng ta sẽ thấy sau đây, các bước trên đây luôn luôn kết hợp nhau trong một quá trình thống nhất. Ví dụ, lấy mẫu và nhớ mẫu là công việc liên tục của cùng một mạch điện, lượng tử hóa và mã hóa là công việc đồng thời thực hiện trong quá trình chuyển đổi với khoảng thời gian cần thiết là một phần của thời gian nhớ mẫu.

1) Định lý lấy mẫu

Người ta đã chứng minh rằng, đối với tín hiệu tương tự v_1 thì tín hiệu lấy mẫu v_s sau quá trình lấy mẫu có thể khôi phục trở lại v_1 một cách trung thực, nếu điều kiện sau đây được thỏa mãn

$$f_s \geq 2F_{\text{Imax}}$$

(8-3-1)

f_s là tần số lấy mẫu, F_{Imax} là giới hạn trên của dải tần tín hiệu tương tự. (8-3-1) là nội dung định lý lấy mẫu.

Nếu (8-3-1) được thỏa mãn, có thể dùng bộ lọc thông thấp để khôi phục v_1 từ v_s . Hình 8-3-2 biểu thị đặc tính tần số của bộ lọc thông thấp xét : hệ số truyền đạt điện áp $|A(f)|$ của bộ lọc trong phạm vi dải tần $< F_{\text{Imax}}$ cần giữ không đổi, còn trong phạm vi dải tần $f_s - F_{\text{Imax}}$ phải nhanh chóng giảm xuống 0. Vậy định lý lấy mẫu quy định cho chúng ta giới hạn dưới của tần số trong chuyển đổi AD.

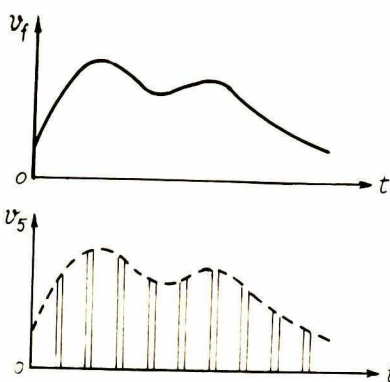
Vì mỗi lần chuyển đổi điện áp lấy mẫu thành tín hiệu số tương ứng đều cần một thời gian nhất định, nên phải nhớ mẫu một khoảng thời gian cần thiết sau mỗi lần lấy mẫu. Điện áp tương tự đầu vào được thực hiện chuyển đổi AD, trên thực tế là giá trị v_1 đại diện, giá trị này là kết quả của mỗi lần lấy mẫu.

2) Lượng tử hóa và mã hóa

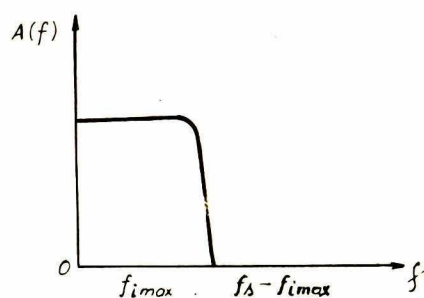
Ta đã biết, tín hiệu số không những là rời rạc trong thời gian, mà còn không liên tục trong biến đổi giá trị. Một giá trị bất kì của tín hiệu số đều phải biểu thị bằng bội số nguyên lần giá trị đơn vị nào đó, giá trị này là nhỏ nhất được chọn. Nghĩa là, nếu dùng tín hiệu số biểu thị điện áp lấy mẫu, thì tất phải bắt điện áp lấy mẫu hóa thân thành bội số nguyên lần giá trị đơn vị. Quá trình này gọi là lượng tử hóa. Đơn vị được chọn theo quy định này gọi là đơn vị lượng tử, kí hiệu là Δ . Rõ ràng, giá trị bit 1 của LSB tín hiệu số bằng Δ . Việc dùng mã nhị phân biểu thị giá trị tín hiệu số là mã hóa. Mã nhị phân có được sau quá trình trên chính là tín hiệu đầu ra của chuyển đổi AD.

Tín hiệu tương tự đã là liên tục thì không nhất thiết phải là bội số nguyên lần của Δ . Do đó ta không tránh khỏi sai số lượng tử hóa. Tồn tại những cách khác nhau phân chia các mức lượng tử dẫn đến sai số lượng tử hóa khác nhau.

Giả sử ta chuyển đổi tín hiệu điện áp tương tự $0 \div 1V$ thành tín hiệu số nhị phân 3 bit. Nếu chọn $\Delta = \frac{1}{8}V$, đồng thời quy định rằng điện áp tương tự trong



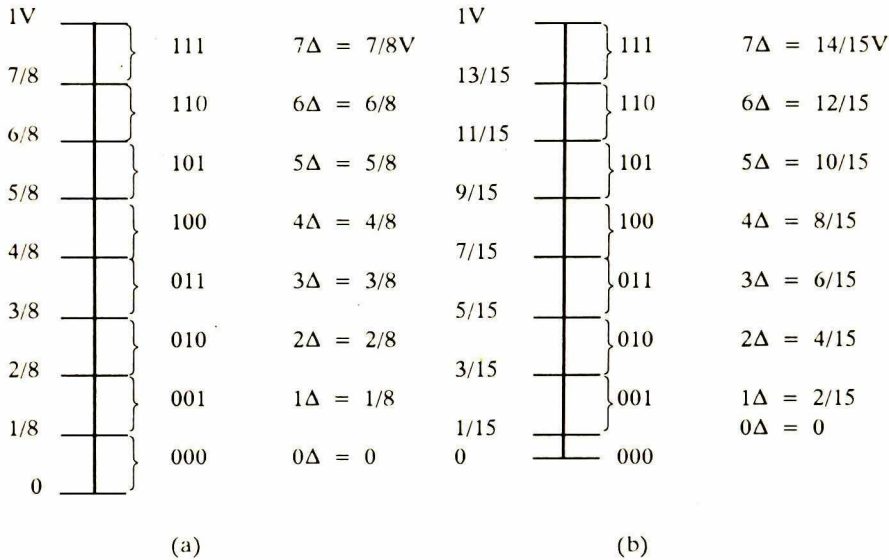
Hình 8-3-1. Lấy mẫu tín hiệu tương tự đầu vào.



Hình 8-3-2. Đặc tính tần số của bộ lọc khôi phục tín hiệu.

phạm vi $0 \div \frac{1}{8}V$ xem như là $0 \times \Delta$, thì tín hiệu số tương ứng là 000. Tương tự, điện áp tương tự $\frac{1}{8}V \div \frac{2}{3}V$ là $1 \times \Delta$ thì tương ứng với 001 v.v...

Theo cách phân chia mức lượng tử đó, ta có hình 8-3-3a, và sai số lượng tử cực đại là $\frac{1}{8}V$



Hình 8-3-3. Hai phương pháp phân chia mức lượng tử

Hình 8-3-3b chỉ ra phương pháp phân chia mức lượng tử có thể giảm nhỏ hơn sai số lượng tử. Chọn $\Delta = \frac{2}{15}V$.

Quy định điện áp tương tự $0 \div \frac{1}{15}V$ ($0 \div \frac{\Delta}{2}$) tương ứng 000

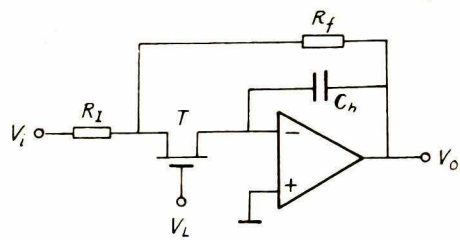
điện áp tương tự $\frac{1}{15}V \div \frac{3}{15}V$ tương ứng 001 v.v...

Sai số lượng tử cực đại của phương pháp này là $\frac{\Delta}{2} = \frac{1}{15}V$.

Chúng ta thấy sai số lượng tử của phương pháp này giảm nhỏ là nhờ cách phân chia mức đặc biệt, trong đó, giá trị quy định của điện áp tương tự mà mỗi tín hiệu số nhị phân đại biểu nằm ở giữa phạm vi giá trị điện áp tương tự có cùng giá trị lượng tử. (Điện áp tương tự trong phạm vi $\frac{1}{15}V \div \frac{3}{15}V$ đều có cùng giá trị lượng tử 001, mà 001 đại biểu cho giá trị đúng $\frac{2}{15}V$, nằm đúng giữa phạm vi trên.)

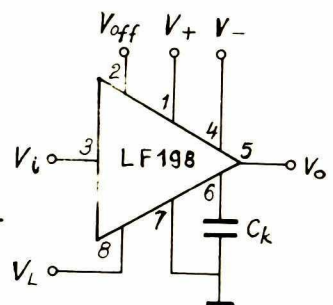
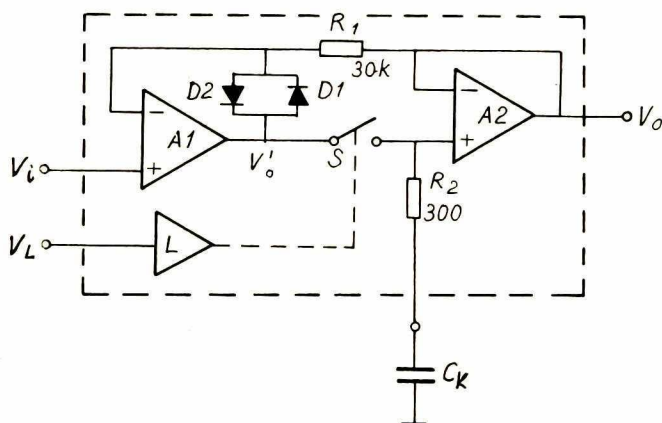
8.3.2. Mạch điện lấy mẫu - nhớ mẫu

Xem hình 8-3-4. Trong hình này, tranzito trường (MOS kênh N) là chuyển mạch lấy mẫu. Nếu V_L ở mức cao thì tranzito trường T thông, tín hiệu vào V_i nạp cho tụ điện C_h thông qua R_i và T.



Hình 8-3-4. Hình thức cơ bản của mạch lấy mẫu - nhóm mẫu.

Giả sử $R_i = R_f$, dòng điện đầu vào khuếch đại thuật toán bằng 0. Khi đó, sau quá trình nạp điện thì : $V_o = -V_i = V_c$. Nếu V_L về mức thấp rồi thì T ngắt. Do đó điện áp V_c trên C_h và V_o duy trì một thời gian. Thời gian duy trì này càng dài nếu C_h không dò và nếu trở kháng vào bộ khuếch đại thuật toán càng lớn. Nhược điểm của mạch hình 8-3-4 là tốc độ lấy mẫu thấp do C_h nạp điện qua R_i và T. Mặt khác R_i không thể quá nhỏ vì nó bảo đảm trở kháng vào mạch điện lấy mẫu đủ lớn.



Hình 8-3-5. Mạch điện và kí hiệu của IC lấy - giữ mẫu LF 198.

Hình 9-3-5 giới thiệu IC 1 chip LF198 lấy mẫu - giữ mẫu theo mạch cải tiến. Trong hình, A_1 và A_2 là hai khuếch đại thuật toán, S là chuyển mạch điện tử, L là mạch điều khiển S.

Khi $V_L = 1$ thì S nối, khi $V_L = 0$ thì S ngắt.

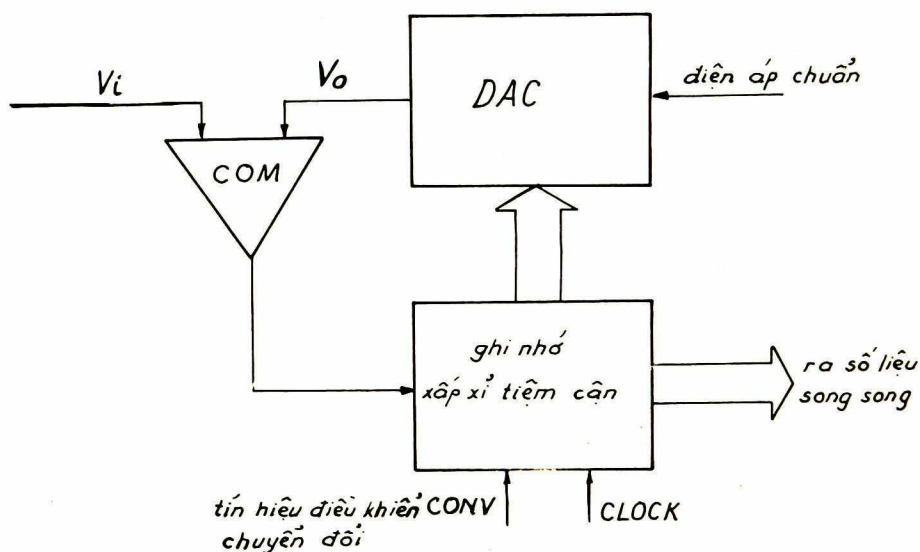
Nếu S nối, cả A_1 và A_2 công tác ở chế độ bộ lặp (hệ số khuếch đại điện áp bằng 1), nên $V_o = V_o' = V_i$. Tụ điện C_k bên ngoài mắc nối tiếp với R_2 thông xuống đất sẽ có điện áp bằng V_i . Khi $V_L = 0$ thì S ngắt, điện áp trên tụ, do đó, điện áp ra V_o cũng duy trì tiếp tục.

V_i có thể biến thiên đáng kể trước khi S được nối thông trở lại cho lần lấy mẫu kế tiếp. Do đó V_o có thể biến thiên rất lớn đến mức vượt quá khả năng chịu áp

của chuyển mạch điện tử S. Để phòng nguy hiểm này là mạch điện bảo vệ D_1 và D_2 . Nếu V_o quá chênh với V_i thì diốt thông, diốt thông sẽ ghim V_o trong phạm vi $V_i + V_D$, với V_D là điện áp rơi trên diốt. Còn khi S nối thông (lúc lấy mẫu) thì $V_o = V_i$, D_1 và D_2 đều hở mạch, mạch bảo vệ không có tác dụng gì (không ảnh hưởng đến việc lấy - giữ mẫu).

8.3.3. Bộ biến đổi ADC xấp xỉ tiệm cận (Successive - approximation ADC)

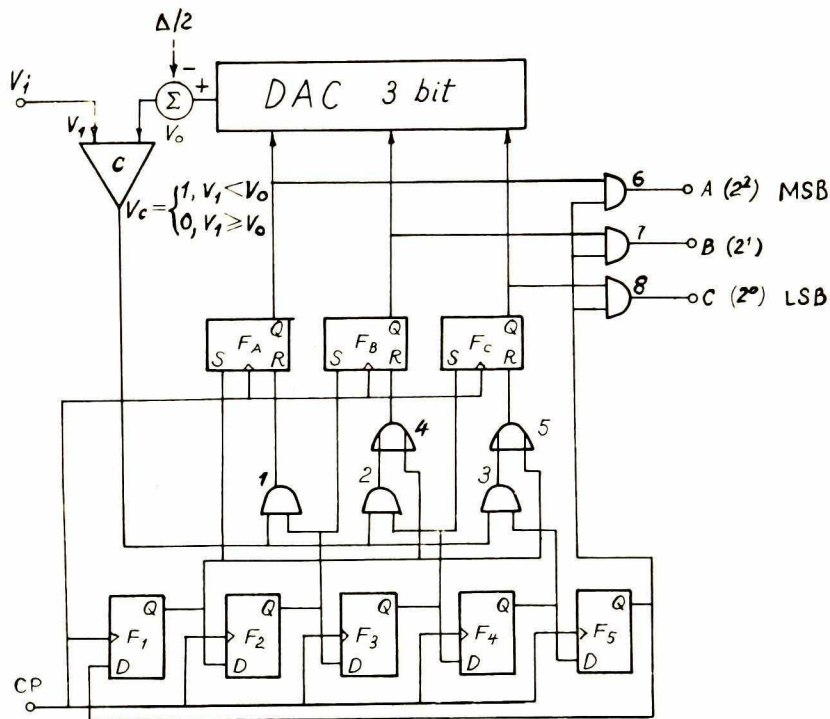
Hình 8-3-6.
ADC xấp xỉ tiệm cận.



Hình 8-3-6 là sơ đồ khối ADC xấp xỉ tiệm cận. Trong sơ đồ này có các khối sau : bộ so sánh (COM), DAC, điện áp chuẩn tham khảo, bộ nhớ xấp xỉ tiệm cận, logic điều khiển, tín hiệu đồng hồ (CLOCK) v.v... Trước khi thực hiện chuyển AD, bộ nhớ phải bị xóa về 0. Bắt đầu chuyển đổi, xung đồng hồ lập bit MSB trong bộ nhớ ở mức 1, số liệu ra của bộ nhớ là 100...0. Tín hiệu số này được DAC chuyển đổi thành điện áp tương tự tương ứng V_o . COM so sánh V_i và V_o . Nếu $V_o > V_i$, tín hiệu số quá lớn thì bit MSB bị xóa về 0. Nếu $V_o < V_i$, tín hiệu số vẫn còn bé thì bit MSB duy trì giá trị 1. Tiếp theo, cùng một phương pháp như trên, xung đồng hồ tiếp lập bit có trọng số bé hơn ở mức 1, sau khi so sánh, logic mạch xác định giá trị 1 này có duy trì hay không. Cứ thế tiếp tục mãi đến bit LSB thì xong. Sau quá trình so sánh tất cả các bit, dữ liệu trong bộ nhớ chính là tín hiệu số mong muốn.

Quá trình trên tương tự như quá trình cân một vật bằng cân bàn. Các quả cân được chọn lựa từ lớn đến bé, mỗi lần chọn lựa một quả cân bằng nửa quả cân của lần chọn lựa trước.

Hình 8-3-7.
Mạch điện ADC
xấp xỉ tiệm cận
3 bit.



Xét mạch
điện ADC xấp xỉ
tiệm cận 3 bit
hình 8-3-7.
 F_A, F_B, F_C là
bộ nhớ xấp xỉ
tiệm cận 3 bit.
 $F_1 \div F_5$ và các

cổng 1 ÷ 5 là mạch logic điều khiển. $F_1 \div F_5$ được đấu thành bộ ghi dịch vòng. Trước khi bắt đầu chuyển đổi thiết lập $Q_1 = Q_2 = Q_3 = Q_4 = 0, Q_5 = 1$. Xung đồng hồ CP thứ nhất đến : $Q_1 = 1, Q_2 = Q_3 = Q_4 = Q_5 = 0, Q_A = 1, Q_B = Q_C = 0$. Tín hiệu số đưa đến DAC là 100, đầu ra là điện áp tương tự V_o tương ứng. Bộ so sánh C so sánh V_o và V_i , nếu $V_i < V_o$ thì $V_c = 1$, nếu $V_i \geq V_o$ thì $V_c = 0$.

Trong nhịp đồng hồ thứ hai : bộ ghi dịch vòng dịch phải 1 bit, nghĩa là $Q_2 = 1, Q_1 = Q_3 = Q_4 = Q_5 = 0$. Nếu $V_c = 1$ thì cổng AND 1 thông, Reset $F_A, Q_A = 0$ (xóa MSB). Nếu $V_c = 0$ thì cổng AND1 vẫn ngắt, F_A duy trì trạng thái $Q_A = 1$. Đồng thời, $Q_2 = 1$ lập F_B ở 1, $Q_B = 1$.

Đến nhịp đồng hồ thứ ba : bộ ghi dịch vòng dịch phải 1 bit nữa, nghĩa là $Q_3 = 1, Q_1 = Q_2 = Q_4 = Q_5 = 0$. Kết quả F_C lập 1, $Q_C = 1$. Đồng thời cổng AND2 thông, tùy theo giá trị V_c đầu ra bộ so sánh C mà $Q_B = 0$ hay $Q_B = 1$.

Ở nhịp đồng hồ thứ tư : $Q_4 = 1, Q_1 = Q_2 = Q_3 = Q_5 = 0$. Kết quả so sánh V_c quyết định $Q_C = 0$ hay $Q_C = 1$.

Nhịp đồng hồ tiếp theo $Q_5 = 1, Q_1 = Q_2 = Q_3 = Q_4 = 0$. Kết quả chuyển đổi thể hiện ở trạng thái F_A, F_B, F_C được đưa ra đầu ra thông qua các cổng AND 6, 7, 8.

Bộ trừ Σ trên hình 8-3-7 làm giảm giá trị đầu ra DAC một lượng $\frac{\Delta}{2}$, với mục đích giảm sai số lượng tử. Hình 8-3-3b cho ta biết rằng, để sai số lượng tử không lớn hơn $\frac{\Delta}{2}$ thì mức so sánh thứ nhất không phải là Δ , mà là $\frac{\Delta}{2}$, còn đối với các mức so sánh khác phải chênh nhau Δ , nghĩa là cũng phải giảm đi $\frac{\Delta}{2}$. Nhờ bộ trừ mà tất cả các mức tín hiệu đầu ra DAC đều giảm bớt $\frac{\Delta}{2}$ trước khi đem so sánh với V_i .

Trong ví dụ này ta thấy một lần chuyển đổi AD cần 5 chu kì đồng hồ CP. Nếu số bit tăng thêm thì thời gian chuyển đổi cũng tăng lên theo. Hiện nay ADC xấp xỉ tiệm cận được ứng dụng rộng rãi.

8.3.4. Các chỉ tiêu kĩ thuật chủ yếu của ADC

1) Độ phân giải

Độ phân giải của ADC biểu thị bằng số bit của tín hiệu số đầu ra. Số bit càng nhiều thì sai số lượng tử càng nhỏ, độ chính xác càng cao.

2) Dải động, điện trở đầu vào

3) Mức logic của tín hiệu số đầu ra và khả năng chịu tải (nối vào đầu ra)

4) Độ chính xác tương đối

Nếu lí tưởng hóa thì tất cả các điểm chuyển đổi phải nằm trên một đường thẳng. Độ chính xác tương đối là sai số của các điểm chuyển đổi thực tế so với đặc tuyến chuyển đổi lí tưởng. Ngoài ra, nói chung còn yêu cầu ADC không bị mất bit trong toàn bộ phạm vi công tác.

5) Tốc độ chuyển đổi

Tốc độ chuyển đổi xác định bởi thời gian cần thiết hoàn thành 1 lần chuyển đổi AD. Thời gian này tính từ khi xuất hiện tín hiệu điều khiển chuyển đổi đến khi tín hiệu số đầu ra đã ổn định.

6) Hệ số nhiệt độ

Hệ số nhiệt độ là biến thiên tương đối tín hiệu số đầu ra khi nhiệt độ biến đổi 1°C trong phạm vi nhiệt độ công tác cho phép với điều kiện mức tương tự đầu vào không đổi (cũng có thể dùng biến thiên tuyệt đối).

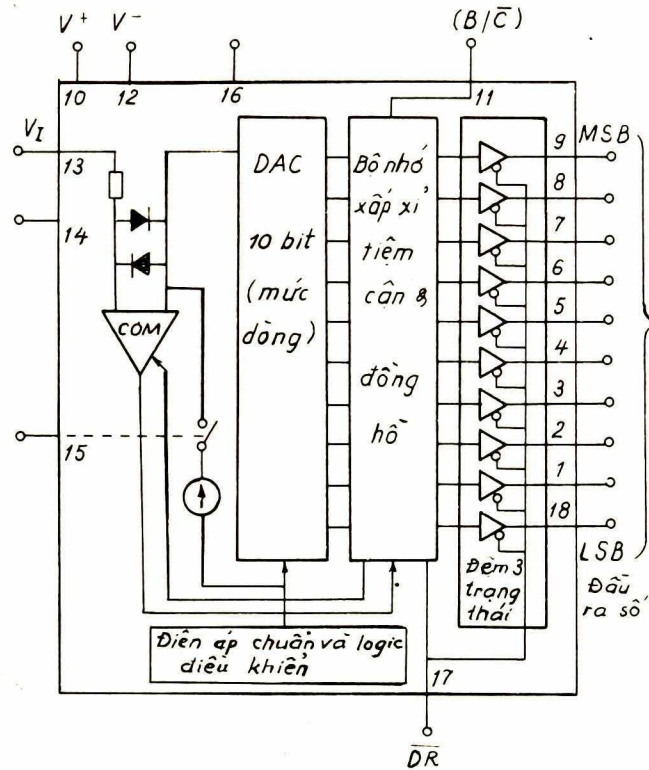
7) Tỉ số phụ thuộc nguồn

Giả sử điện áp tương tự đầu vào không đổi, nếu nguồn cung cấp cho ADC biến thiên mà ảnh hưởng đến tín hiệu số đầu ra càng lớn thì tỉ số phụ thuộc nguồn càng lớn. Vậy dùng biến thiên tuyệt đối đầu ra biểu thị.

8) Công suất tiêu hao

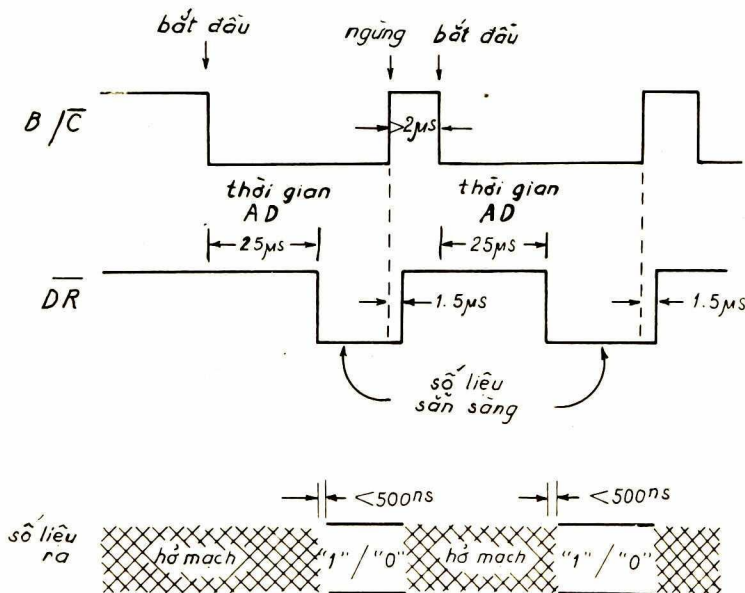
8.3.5. Ví dụ IC 1 chip ADC

AD571 là IC 1 chip ADC kiểu lưỡng cực. Nguyên lí công tác của nó là xấp xỉ tiệm cận. Đầu ra số nhị phân song song 10 bit. AD571 có toàn mạch trong 1 chip, sử dụng thiết kế và công nghệ tiên tiến, đạt đến độ chính xác rất cao và tốc độ chuyển đổi cao. Bộ nhớ xấp xỉ tiệm cận của nó dùng mạch I^2L . Hình 8-3-8 giới thiệu AD571 có 5 bộ phận chính là :

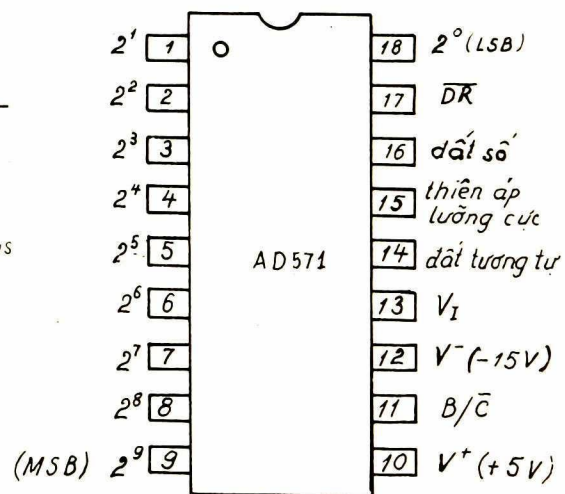


Hình 8-3-8. Mạch điện AD571.

- 1 - DAC (đầu ra dòng điện) 10 bit.
- 2 - Bộ nhớ xấp xỉ tiệm cận 10 bit (tương đương phần bộ nhớ và logic điều khiển hình 8-3-7) cùng đồng hồ nội bộ.
- 3 - Bộ đếm ra mạch 3 trạng thái.
- 4 - Bộ so sánh COM
- 5 - Nguồn điện áp chuẩn tham khảo có diốt ổn áp bù nhiệt độ và mạch điện điều khiển chuyển đổi DA.



Hình 8-3-9. Hình sóng của AD571.



Hình 8-3-10. Chân ra của AD571.

Hình 8-3-9 giới thiệu hình sóng của AD571 :

Khi tín hiệu điều khiển chuyển đổi $B/\overline{C}$ (BLANK/ $\overline{\text{CONVERT}}$) chuyển xuống mức thấp thì quá trình chuyển đổi AD bắt đầu. Quá trình chuyển đổi hoàn thành trong $25\ \mu\text{s}$. Kết quả chuyển đổi AD lưu giữ trong bộ nhớ xấp xỉ tiệm cận 10 bit. Đồng thời tín hiệu $\overline{\text{DR}}$ ($\overline{\text{DATA READY}}$) bật giờ xuống mức thấp. Sau thời gian trễ không quá 500ns , kể từ khi số liệu sẵn sàng thì kết quả chuyển đổi AD xuất hiện ở đầu ra song song 10 bit thông qua bộ nhớ đệm 3 trạng thái.

Khi $B/\overline{C}$ về mức cao, mạch điện bước vào trạng thái nghỉ. Sau đó chừng $1,5\ \mu\text{s}$ thì bộ nhớ đệm 3 trạng thái đầu ra trở thành trở kháng cao. Đồng thời bộ nhớ xấp xỉ tiệm cận bị xóa về 0, đưa toàn bộ mạch ADC về trạng thái sẵn sàng thực hiện lần chuyển đổi mới.

Theo hình sóng hình 8-3-9, ta thấy thời gian tín hiệu $B/\overline{C}$ ở mức logic thấp phải lớn hơn $25,5\ \mu\text{s}$, ở mức logic cao phải lớn $2\ \mu\text{s}$.

Hình 8-3-10 biểu thị chân ra của AD571, đóng vỏ kiểu DIPs, 18 chân.

Bảng 8-3-1 giới thiệu chỉ tiêu kĩ thuật chủ yếu của AD571JD. Các chỉ tiêu nói chung tương ứng điều kiện :

$$\begin{aligned}
 T_A &= 25^\circ\text{C} \\
 \text{Điện áp nguồn } V^+ &= +5\text{V} \\
 V^- &= -15\text{V}
 \end{aligned}$$

Bảng 8-3-1 : CHỈ TIÊU KỸ THUẬT CHỦ YẾU CỦA AD571JD.

Tên tham số	Điều kiện đo lường	Chỉ tiêu
Độ phân giải Độ chính xác tương đối Điện trở đầu vào tương tự		10 bit $\leq \pm 1\ \text{LSB}$ $5\text{k}\Omega$
Điện áp đầu vào tương tự	So với đất tương tự $\left\{ \begin{array}{l} \text{đơn cực} \\ \text{lưỡng cực} \end{array} \right.$	$0 \div 10\text{V}$ $-5 \div +5\text{V}$
Dầu ra số và Dầu ra $\overline{\text{DR}}$ $\left\{ \begin{array}{l} \text{dòng vào} \\ \text{dòng ra} \\ \text{dòng dò} \end{array} \right.$	$V_{\text{out}} = 0,4\ \text{V}$ $V_{\text{out}} = 2,4\ \text{V}$ $B/\overline{C} = 1$ (trạng thái nghỉ)	$\geq 3,2\ \text{mA}$ $\geq 0,5\ \text{mA}$ $\leq \pm 40\ \mu\text{A}$
Dòng điện đầu vào $B/\overline{C}$	$0 \leq V_{\text{IN}} \leq V^+$	$\leq \pm 40\ \mu\text{A}$
Điện áp đầu vào $B/\overline{C}$	BLANK mức logic 1 CONVERT mức logic 0	$> 2,0\ \text{V}$ $< 0,8\ \text{V}$
Tỉ số phụ thuộc nguồn	Nguồn dương $+4,5\text{V} \leq V^+ \leq +5,5\text{V}$ Nguồn âm $-16,5\text{V} \leq V^- \leq -13,5\text{V}$	$\leq \pm 2\ \text{LSB}$ $\leq \pm 2\ \text{LSB}$
Thời gian chuyển đổi Nhiệt độ làm việc Hệ số nhiệt độ		$25\ \mu\text{s}$ $0 \div +70^\circ\text{C}$ $\pm 2\ \text{LSB}$
Dòng điện tiêu thụ	$B/\overline{C} = 1$ $\left\{ \begin{array}{l} V^+ = +5\text{V} \\ V^- = -15\text{V} \end{array} \right.$ $B/\overline{C} = 0$ $\left\{ \begin{array}{l} V^+ = +5\text{V} \\ V^- = -15\text{V} \end{array} \right.$	$2\ \text{mA}$ $9\ \text{mA}$ $5\ \text{mA}$ $10\ \text{mA}$

8.4. VÍ DỤ ỨNG DỤNG ADC VÀ DAC

Hệ thống thu thập số liệu (Data Acquisition Systems)

Hệ thống thu thập số liệu là phần quan trọng trong các thiết bị đo lường, hiển thị, ghi và xử lý số v.v... hiện đại. Các đại lượng vật lý của đối tượng số liệu biến thành tín hiệu điện sau khi tác động vào các bộ cảm biến. Hệ thống thu thập số liệu sẽ thu thập các thông tin số liệu đầu ra bộ cảm biến để lưu trữ, hiển thị hoặc xử lý bằng máy vi tính. Vậy hệ thống thu thập số liệu rất cần dùng trong các thiết bị hiện đại của ngành điều khiển công nghiệp, dụng cụ đo lường, trang bị lâm sàng của y tế v.v.. ADC, DAC chính là hạt nhân của hệ thống thu thập số liệu. Trong tiết này, lấy làm một ví dụ về ứng dụng ADC, DAC, chúng ta sẽ tìm hiểu cấu trúc và nguyên lý làm việc cơ bản của hệ thống thu thập số liệu y tế theo dõi điện tim bệnh nhân nặng.

8.4.1. Tính năng kĩ thuật chủ yếu của hệ thống thu thập số liệu

Thiết bị theo dõi điện tim thực hiện việc giám sát điện tim bệnh nhân trong thời gian thực. Sau đây là ví dụ về tính năng kĩ thuật chủ yếu của hệ thống thu thập số liệu của thiết bị.

Khối đầu vào : đầu vào khuếch đại vi sai thả nổi không nối đất,
cách li an toàn điện áp +2500V

Khối chuyển đổi : Dải động đầu vào AD : $0 \div 5V$

Độ chính xác chuyển đổi : 8 bit

Tốc độ thu thập : đơn kênh $100\mu s$

Tần số lấy mẫu : 250Hz

Số kênh : $1 \div 4$.

Dung lượng bộ nhớ số liệu : Kênh điện tim 2 Kbyte

Thời gian nhớ số liệu 8s.

Đầu ra : điện áp tương tự $\pm 5V$.

8.4.2. Cấu trúc mạch điện và nguyên lý làm việc

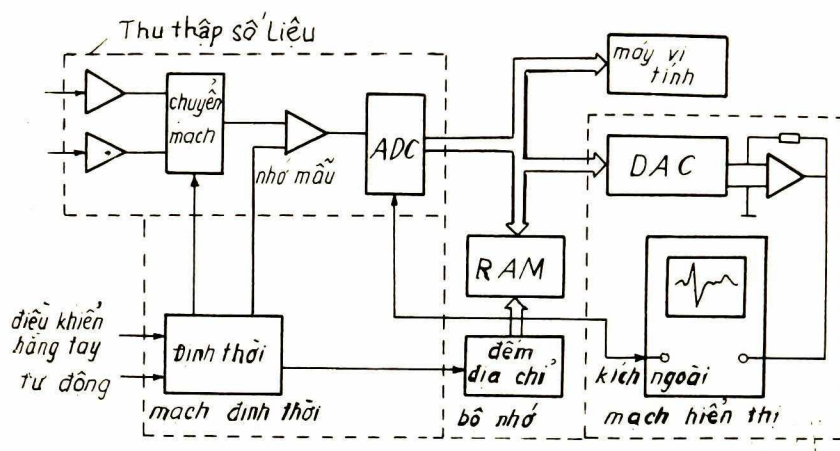
1) Cấu trúc mạch điện

Hình 8-4-1. Hệ thống có 5 bộ phận :

1 - Thu thập số liệu. Gồm các mạch cảm biến, khuếch đại, chuyển mạch nhiều kênh, ADC để thu thập và chuyển đổi AD đối với các tín hiệu điện tim ECG (Electro cardiograph), huyết áp BP (Blood pressure), hô hấp RP (Respire), thân nhiệt TP (Temperature)

2 - Bộ nhớ : lưu giữ các tin tức về bệnh nhân

3 - Hiển thị : hiển thị điện tâm đồ và các số liệu khác trên màn hình.



Hình 8-4-1. Sơ đồ khối hệ thống thu thập số liệu.

4 - Định thời : mạch điện tạo tín hiệu định thời và các tín hiệu điều khiển trình tự hoạt động trong hệ thống.

5 - Phối ghép với máy tính : khi cần thiết, các số liệu của bệnh nhân thông qua mạch phối ghép đưa vào máy vi tính để xử lí, làm cho hệ thống tự động và thông minh.

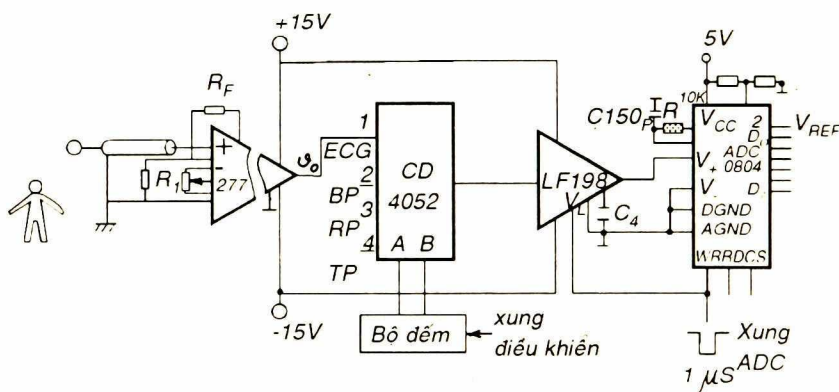
2) Nguyên lí làm việc

Để thuyết minh nguyên lí làm việc, chúng ta lấy ví dụ kênh điện tim.

a) Mạch thu thập số liệu (Hình 8-4-2).

Hình 8-4-2.

Mạch điện chuyển đổi - thu thập số liệu.



Tín hiệu điện tim từ bệnh nhân đưa đến bộ khuếch đại cách ly 277, chuyển tới đầu vào ECG của chuyển mạch nhiều kênh CD4052, sau đó được LF198 lấy và giữ mẫu, tín hiệu điện tim được chuyển đổi AD bằng ADC 0804.

Bộ khuếch đại thuật toán cách ly 277 mắc theo sơ đồ khuếch đại thuận. Tín hiệu điện tim đưa vào cực vào thuận +, tín hiệu đầu ra được phân áp và phản hồi đến cực vào đảo-.

Hệ số khuếch đại điện áp $A_v = \frac{R_1 + R_F}{R_1}$. Có thể điều chỉnh biên độ ra V_o trong dải động $0 \div \pm 5V$ theo yêu cầu ADC bằng cách thay đổi R_F và R_1 . Trong bộ khuếch đại sử dụng ghép biến áp để đầu ra cách li về điện với đầu vào. Do đó bảo đảm an toàn đối với bệnh nhân và khả năng chống nhiễu cao.

Chuyển mạch tương tự nhiều kênh CD4052 thực hiện chuyển mạch đối với các tín hiệu đầu vào. 4 kênh được chuyển mạch có thể là tương ứng với tín hiệu điện tim của 4 bệnh nhân, hoặc có thể là tương ứng với 4 tham số ECG, BP, RP, TP của 1 bệnh nhân. CD4052 là chuyển mạch tương tự CMOS chọn 1 trong 4, có ưu điểm tốc độ cao, điện trở thông mạch nhỏ. Điều khiển chọn kênh do bộ đếm đảm nhiệm. Xung điều khiển là xung đếm đầu vào bộ đếm. Đầu ra bộ đếm được nối vào đầu điều khiển A, B của CD 4052. Kênh được chọn quan hệ với mức logic A, B theo bảng chức năng 8-4-1.

Mạch điện lấy - giữ mẫu LF 198 bảo đảm lấy mẫu tín hiệu, sao cho trong thời gian thực hiện chuyển đổi AD thì biên độ tín hiệu tương tự đưa đến ADC0804 duy trì không (mặc dù tín hiệu đầu vào thay đổi với tốc độ nào đó).

Bảng 8-4-1 : BẢNG CHỨC NĂNG

A	B	Kênh được chọn
0	0	1
0	1	2
1	0	3
1	1	4

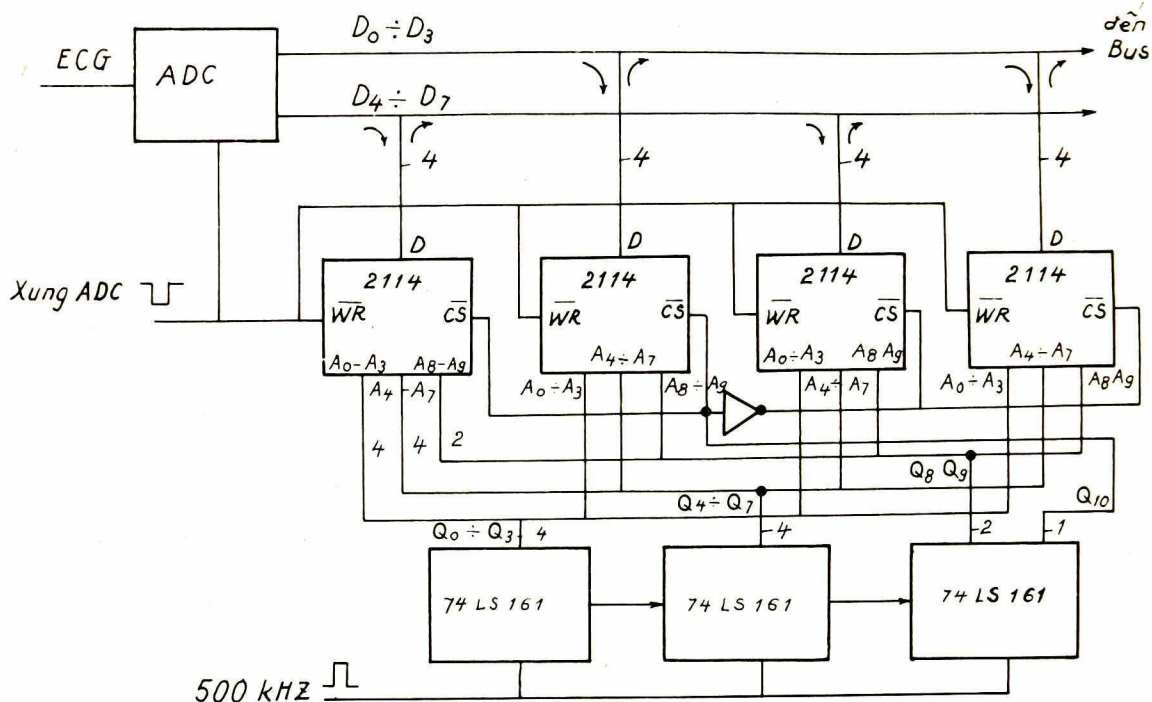
Xung điều khiển lấy mẫu V_L của LR198 phải đồng bộ với tín hiệu khởi động $\overline{WR}$ của ADC. Do đó tín hiệu khởi động đưa vào đầu $\overline{WR}$ cũng đưa đến đầu V_L (tích cực với mức logic cao).

ADC0804 là hạt nhân của hệ thống thu thập số liệu. Nó sẽ chuyển đổi đại lượng tương tự đầu vào thành tín hiệu số nhị phân phù hợp cho lưu trữ và xử lí. ADC 0804 là ADC xấp xỉ tiệm cận CMOS 8 bit ra song song. Khi tín hiệu khởi động ở chân $\overline{WR}$ đột biến xuống mức thấp, quá trình chuyển đổi bắt đầu và kết thúc sau $100\mu s$.

Trong lúc tín hiệu đọc ra $\overline{RD}$ xuống mức thấp, thì kết quả chuyển đổi qua bộ đệm 3 trạng thái đưa ra đầu ra $D_0 \div D_7$. Cần lưu ý rằng số liệu đọc ra lần này là kết quả chuyển đổi AD lần trước ; nên trang thiết bị này, đồng thời với khởi động quá trình chuyển đổi AD cũng tiến hành đọc ra (đọc ra với thời gian $1\mu s$) ; Vậy có thể dùng 1 tín hiệu (xung ADC âm $1\mu s$) đưa vào chân $\overline{WR}$, $\overline{RD}$ cho hai sự kiện trên. Tín hiệu đồng hồ do các mạch điện bên trong IC ADC 0804 và R, C mắc ngoài sinh ra. Trong hình 8 - 4 - 2, $R = 10k\Omega$, $C = 150pF$, tuy nhiên thay đổi giá trị R, C thì điều chỉnh tần số đồng hồ trong phạm vi nhất định. Điện áp chuẩn tham khảo V_{REF} có thể tạo ra bằng phân áp từ nguồn + 5V (nên có ổn áp thì tốt hơn).

b) Bộ nhớ

Xem sơ đồ khối bộ nhớ hình 8-4-3.



Hình 8-4-3. Mạch điện bộ nhớ.

Trong hình 8-4-3 có 4 RAM 2114 (CMOS) và 3 bộ đếm 4 bit ra song song 74LS161.

Dung lượng và cách đấu nối

Dung lượng của bộ nhớ phụ thuộc vào tốc độ chuyển đổi AD và lượng tin lưu trữ yêu cầu của hệ thống. Cụ thể, để hình sóng điện tim hiển thị trên màn hình không bị méo thì tần số lấy mẫu f_s phải đủ cao, $f_s = 250\text{Hz}$. Để có thể bao quát toàn bộ tình huống bất thường có thể của điện tim bệnh nhân một cách tin cậy, cần phải lưu trữ toàn bộ số liệu về điện tim đã thu nhập trong thời gian t vào bộ nhớ, $t = 8\text{s}$. Vì 1s lấy mẫu 250 lần, mỗi mẫu mã hóa bằng 1 byte (8bit), phải lưu trữ số liệu 8s, nên dung lượng cần thiết của bộ nhớ là $250 \times 8 = 2000$ byte. RAM 2114 có 1024 ô nhớ 4 bit (nửa byte), vậy cần 4RAM là đủ. Bộ nhớ chia làm 2 phần, mỗi phần 2RAM 2114, có $1024 \times 4 \times 2$ bit = 1024 byte.

Bộ đếm-địa chỉ là một bộ đếm nhị phân 11 bit, có 11 đầu ra $Q_{10} \div Q_0$; bộ đếm này cấu trúc từ 3IC 4bit 74LS161. Dung lượng bộ đếm là $N = 2^{11} = 2048$. Các đầu ra bộ đếm $Q_9 \div Q_0$ nối tương ứng vào các đầu vào địa chỉ $A_9 \div A_0$ của bộ nhớ. MSB Q_{10} được dùng làm tín hiệu chọn chip. Phần bên trái của bộ nhớ $\overline{CS} = Q_{10}$, phần bên phải của bộ nhớ $\overline{CS} = \overline{Q_{10}}$. Vậy phạm vi địa chỉ phần bộ nhớ bên phải là từ 00.000.000.000 đến 01.111.111.111, phạm vi địa chỉ phần bộ nhớ bên trái là từ 10.000.000.000 đến 11.111.111.111. Đầu số liệu ra của bộ nhớ, 4 bit cao của 2 RAM 2114 đầu song song và nối vào đường ra 4 bit cao tương ứng của ADC, 4 bit thấp của 2RAM 2114 đầu song song và nối vào đường ra 4 bit thấp tương ứng của ADC.

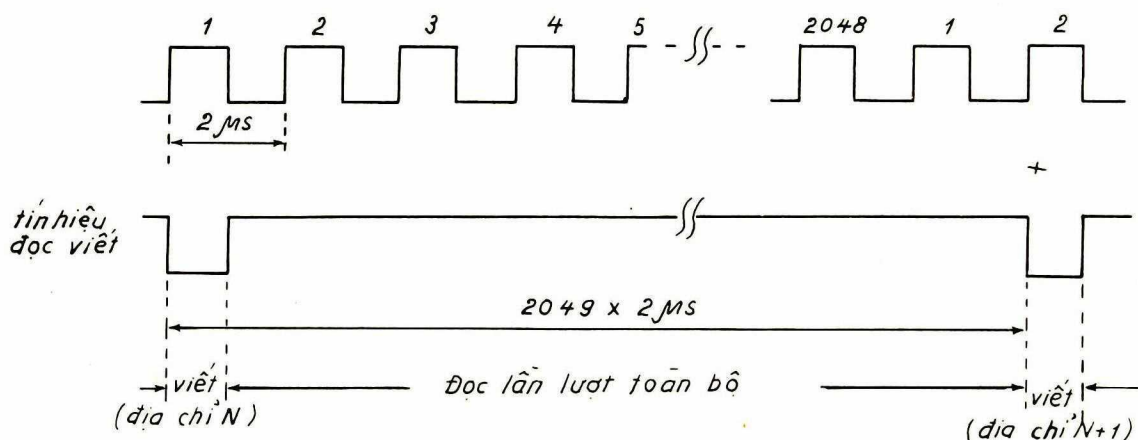
Tín hiệu điều khiển

Bộ đếm địa chỉ cung cấp địa chỉ để truy nhập truy xuất bộ nhớ. Đầu vào bộ đếm địa chỉ là xung đếm tần số 500kHz. Đầu ra là 11 bit mã nhị phân, cung cấp mã địa chỉ bộ nhớ tuần tự liên tục thay đổi. Thời gian đọc viết đối với mỗi địa chỉ bộ nhớ chính là chu kỳ xung đồng hồ

$$T_{cp} = \frac{1}{500\text{kHz}} = 2\mu\text{s} \text{ (Thời gian truy nhập truy xuất)}$$

của RAM 2114 là 450ns).

Tín hiệu đọc viết bộ nhớ là xung ADC. Khi $\overline{WR}$ ở mức thấp, đồng thời với quá trình chuyển đổi AD, RAM tiến hành viết vào kết quả chuyển đổi AD lần trước theo địa chỉ bộ đếm địa chỉ cung cấp. Khi $\overline{WR}$ ở mức cao, RAM tiến hành đọc ra theo địa chỉ bộ đếm địa chỉ cung cấp. Nội dung tồn trữ trong RAM tuần tự được đọc ra hết một lượt và được hiển thị trên màn huỳnh quang. Đồ thị dạng sóng xem hình 8-4-4



Hình 8-4-4. Dạng sóng đọc viết.

Để đổi mới nội dung của RAM theo yêu cầu theo dõi điện tim bệnh nhân, tuần tự các byte được viết vào số liệu mới (ví dụ, lần này viết vào địa chỉ 00.000.000.000, lần tiếp theo viết vào địa chỉ 00.000.000.001). Chu kỳ tín hiệu đọc / viết (xung ADC) chính xác bằng $(2048 + 1) \times 2\mu\text{s}$, vậy tần số lấy mẫu thực tế là

$$f_s = \frac{1}{2049 \times 2\mu\text{s}} \approx 244\text{Hz}.$$

Xung ADC do bộ đếm chia tần tạo ra từ xung đồng hồ ($\approx 500\text{kHz}$).

Thời gian lưu giữ

Số liệu điện tim trong RAM, cứ mỗi lần đổi mới nội dung 1byte thì đọc ra toàn bộ 2048 byte. Vậy thời gian lưu giữ một nội dung số liệu điện tim trong RAM là : $2048 \text{ byte} \times 2049 \times 2\mu\text{s} \approx 8\text{s}$, trong đó $2049 \times 2\mu\text{s}$ là chu kỳ của tín hiệu đọc viết (xem hình 8-4-4).

Trong một chu kỳ của tín hiệu đọc viết, chỉ viết một địa chỉ (1 byte nội dung), mà sự đổi mới nội dung là tuần tự lần lượt 2048 địa chỉ (2048 byte nội dung). Vậy thời gian giữa 2 lần đổi mới nội dung, tức là thời gian lưu giữ nội dung trong RAM là 2048 lần chu kỳ tín hiệu đọc viết, tức là 8s.

Điều khiển dừng hình (điện tâm đồ trên màn hình)

Khi tín hiệu điện tim bất thường, bác sĩ thường mong muốn có thể dừng hình sóng điện tim trên màn hình. Hình 8-4-5 giới thiệu mạch điện điều khiển dừng hình có thể thao tác bằng tay hay có thể tự động bằng máy tính.

Hình 8-4-5.

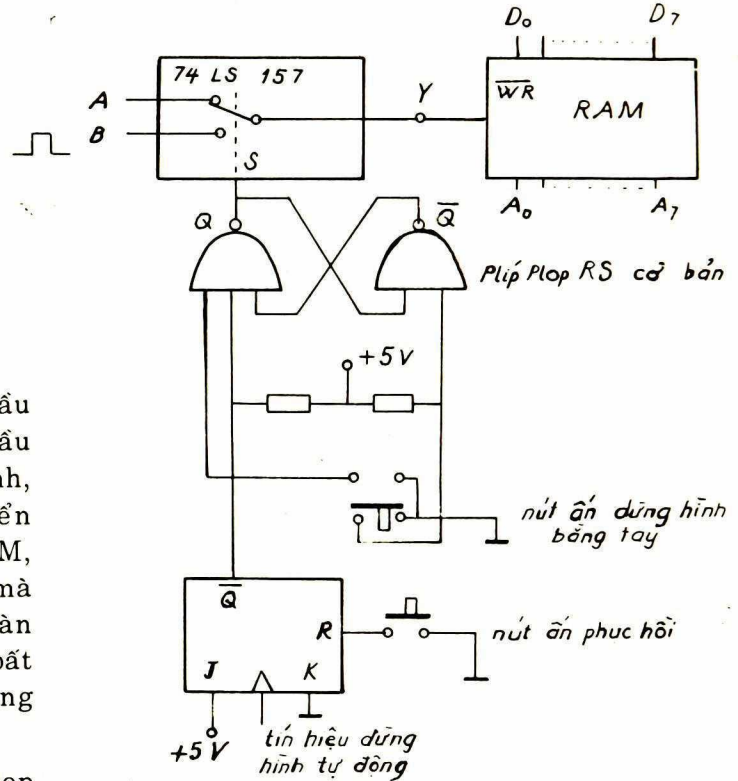
Logic điều khiển dừng hình

Flip Flop RS cơ bản :

Nút ấn dừng hình bằng tay ;

Nút ấn phục hồi ;

Tín hiệu dừng hình tự động.



Bình thường xung ADC từ đầu A qua chuyển mạch đưa đến đầu $\overline{WR}$ của RAM. Ở chế độ dừng hình, mức logic cao từ đầu B qua chuyển mạch đưa đến đầu $\overline{WR}$ của RAM, do đó RAM không được viết mà chỉ đọc liên tục. Kết quả trên màn hình hiện lên 8s điện tâm đồ bất thường của bệnh nhân dưới dạng ổn định của hình ảnh bị dừng.

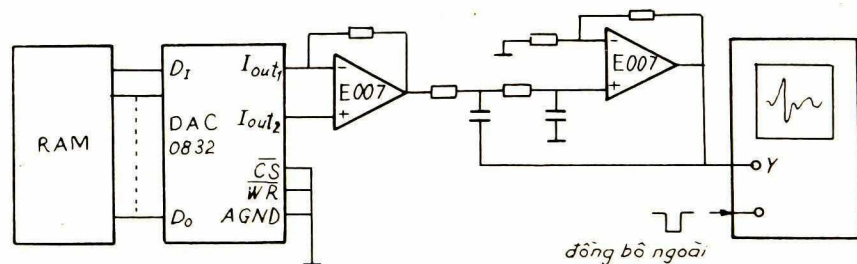
Tín hiệu dừng hình do Flip Flop RS cơ bản tạo ra. Đầu ra của nó điều khiển bộ chọn 1 trong 2 74LS 157, nếu $S = 1$ thì $\overline{WR} = Y = B = 1$ (nếu $S = 0$ thì $\overline{WR} = Y = A =$ xung ADC ở chế độ bình thường).

Khi tự động dừng hình, Flip Flop JK lập 1, mức logic 0 của đầu ra $\overline{Q}$ (của FEJK) làm Flip Flop RS cơ bản lập 1, $S = 1$, $Y = B = 1$, RAM chỉ đọc ra mà không viết vào. Khi dừng hình bằng tay, mức 0 qua nút ấn dừng hình vào đầu vào Flip Flop RS cơ bản khiến nó lập 1, kết quả $S = 1$, $Y = B = 1$. (Tay ấn liên tục trong thời gian dừng hình) để chuyển từ chế độ dừng hình về chế độ bình thường thì phải thả tay ấn nút ấn dừng hình nếu dừng hình bằng tay, hay phải ấn vào nút phục hồi nếu dừng hình tự động.

c) Mạch điện hiển thị

Hình 8-4-6.

Mạch điện hiển thị.

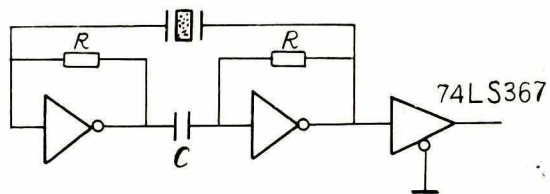


Xem hình 8-4-6, trong đó có DAC 0832, khuếch đại thuật toán F007, máy xem sóng. Số liệu điện tim được đọc từ bộ nhớ RAM ra, được biến đổi thành tín hiệu tương tự ở DAC, sau đó được khuếch đại bởi tầng đầu F007, tiếp theo được lọc thông thấp bởi bộ lọc tích cực bậc 2 (cấu trúc từ F007 tầng sau và RC), cuối cùng tín hiệu đưa tới máy xem sóng.

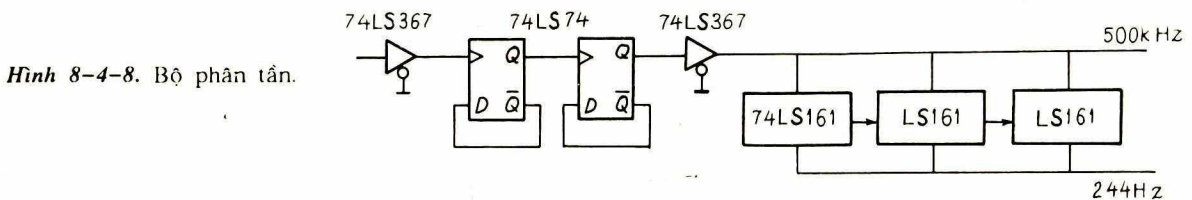
Quá trình đọc số liệu ra rất nhanh, trên màn hiển thị có thể quan sát hình sóng điện tim hoàn chỉnh. Ở chế độ bình thường (toàn bộ nội dung RAM đọc ra 1 lần kèm đổi mới 1 byte), hình sóng hiển thị di động chậm chạp. Ở chế độ dừng hình (không có viết, chỉ đọc) hình sóng hiển thị ổn định bất động.

d) Mạch xung đồng hồ

Xem hình 8-4-7 : mạch dao động đa hài thạch anh, ở đầu ra là mạch đệm 3 trạng thái. Tần số đồng hồ do bộ dao động tạo ra $f = 2\text{MHz}$ làm tín hiệu định thời cơ bản cho toàn hệ thống. Mạch 3 trạng thái 74LS367 bảo đảm tải cho bộ dao động, biên độ CP do đó đủ lớn, sườn xung đủ dốc. Các tần số chuẩn khác là do chia tần từ CP. Xem hình 8-4-8



Hình 8-4-7. Bộ dao động đồng hồ.



Hình 8-4-8. Bộ phân tần.

Tín hiệu đồng hồ $f = 2\text{MHz}$ được chia 4 nhờ cấp Flip Flop T' (cấu trúc từ Flip Flop D 74LS74). Tín hiệu điều khiển $f = 500\text{kHz}$ được khuếch đại bởi 74LS367 trở thành xung đếm đầu vào bộ đếm địa chỉ của bộ nhớ RAM. Xung tần số 500 kHz còn được chia tần 2049 lần nhờ bộ đếm chia tần. (3IC bộ đếm 4 bit 74LS161), kết quả là xung tần số : $f = \frac{500.000}{2049} \approx 244\text{Hz}$

Xung điều khiển tần số 244Hz có 3 công dụng sau :

- Đưa vào mạch lấy mẫu và chuyển đổi AD (gọi là xung ADC)
- Đưa vào đầu $\overline{\text{WR}}$ của RAM (gọi là tín hiệu đọc viết)
- Đưa vào đầu đồng bộ ngoài của máy xem sóng để kích mạch ở đó.

Tóm tắt toàn bộ quá trình thu thập tín hiệu điện tim đã trình bày trên đây như sau :

Tín hiệu điện tim của bệnh nhân đi qua bộ khuếch đại cách li đầu vào, qua chuyển mạch tương tự nhiều kênh, qua mạch lấy và giữ mẫu để đến ADC. Số liệu đầu ra ADC được lưu giữ trong bộ nhớ RAM. Số liệu về điện tim cất giữ trong RAM lại được đọc ra, lại chuyển đổi DA, đưa đến hiển hình trên màn hình hiển

sóng. Đồng thời với việc thu thập điện tim bệnh nhân trong thời gian thực, thì điện tâm đồ của bệnh nhân cũng hiển thị trên màn hiển sóng. Chỉ trong chế độ dừng hình, RAM không được nạp vào số liệu điện tim mới, mà được đọc ra số liệu điện tim đã lưu giữ, tạo thành hình sóng điện tim đứng im trên màn hiển sóng. Ngoài ứng dụng ADC, DAC ra, hệ thống trên đây còn là ví dụ về ứng dụng tổng hợp các mạch số khác. Từ ví dụ này, chúng ta bước đầu làm quen với việc sử dụng các phân tử mạch số khác nhau để cấu trúc nên một hệ thống số thực dụng.

TÓM TẮT

Đã và đang xuất hiện thêm nhiều chủng loại ADC, DAC. Chúng ta đã nghiên cứu chủ yếu những vấn đề chung về chuyển đổi AD, chuyển đổi DA mà không thể giới thiệu tỉ mỉ tất cả các chủng loại ADC, DAC.

Đối với DAC, chúng ta chỉ nghiên cứu loại sử dụng rộng rãi nhất hiện nay là DAC điện trở hình T. Đối với ADC, chúng ta chỉ xem xét loại sử dụng nhiều nhất hiện nay là ADC xấp xỉ tiệm cận.

Để giúp cho độc giả làm quen với các IC đơn chip ADC, DAC và biết chọn dùng chúng hợp lí, chương này đã giới thiệu một số IC quan trọng. Đối với các ví dụ đó, chúng ta cần chú ý tìm hiểu đặc tính, cách dùng và chỉ tiêu kĩ thuật của các IC.

Độ chính xác và tốc độ chuyển đổi là chỉ tiêu chủ yếu của ADC, DAC ; Đó cũng là căn cứ để chọn dùng chúng. Thông thường, muốn có độ chính xác và tốc độ chuyển đổi cao, không những cần IC chất lượng cao tương ứng mà còn phải chọn mạch điện phức tạp. Điều này dẫn tới giá thành cao, độ tin cậy thấp. Cho nên cần suy nghĩ tổng hợp khi chọn phương án, không nên chỉ đơn thuần mong muốn độ chính xác và tốc độ cao quá mức cần thiết.

BÀI TẬP

- 8-1. Trong mạch điện hình 8-2-1, cho $d_3d_2d_1d_0 = 0110$, $V_{ref} = 10V$. Hãy tính điện áp ra V_o .
- 8-2. Nếu số bit tín hiệu số đầu vào mạch DAC điện trở hình T (hình 8-2-1) tăng đến 10bit, để bảo đảm sai số đầu ra nhỏ hơn $\frac{1}{2}$ LSB, hãy tính :
 - 1- Điện áp rơi cực đại cho phép trên chuyển mạch tương tự tương ứng MSB.
 - 2- Sai số tương đối cực đại cho phép của điện trở $2R$ tương ứng MSB.
 Cho $V_{ref} = 10V$.
- 8-3. Bạn có thể phán đoán nguyên nhân sai số căn cứ vào tính chất biến đổi của đường cong đặc tính đầu vào - đầu ra của DAC.
- 8-4. Đặc điểm nổi bật của DAC hình T đảo là gì ? Tại sao ? Nếu giả thiết trong hình 8-2-6, $d_3d_2d_1d_0 = 1010$, hãy tính giá trị điện áp ra V_o tương ứng. Cho $V_{ref} = 10V$.
- 8-5. Hãy nói rõ nguyên nhân và cách giảm nhỏ sai số lượng tử của ADC.

- 8-6. Khi chọn tụ điện nối ngoài C_h trong mạch lấy - giữ mẫu hình 8-3-4, cần suy nghĩ đến nhân tố nào.
- 8-7. Trên cơ sở ADC xấp xỉ tiệm cận hình 8-3-7, nếu bây giờ làm việc với độ phân giải 10 bit, tần số đồng hồ 1MHz. Hãy tính thời gian cần thiết để hoàn thành một lần chuyển đổi.
- 8-8. Trong hệ thống thu thập số liệu hình 8 - 4 - 1, nếu yêu cầu lưu giữ 16s số liệu điện tim vào bộ nhớ thì cần phải bao nhiêu chip RAM2114 (tham khảo mạch hình 8-4-3).

PHỤ LỤC I

Tiêu chuẩn quốc gia nước Cộng hòa nhân dân Trung Hoa

UDC 621.3.049

. 75-181.4

: 001.4

GB 3430-82

PHƯƠNG PHÁP ĐẶT TÊN, KÍ HIỆU MẠCH ĐIỆN TÍCH HỢP BÁN DẪN

(The rule of type designation for semiconductor integrated circuits)

có hiệu lực từ ngày 01 tháng 10 năm 1983.

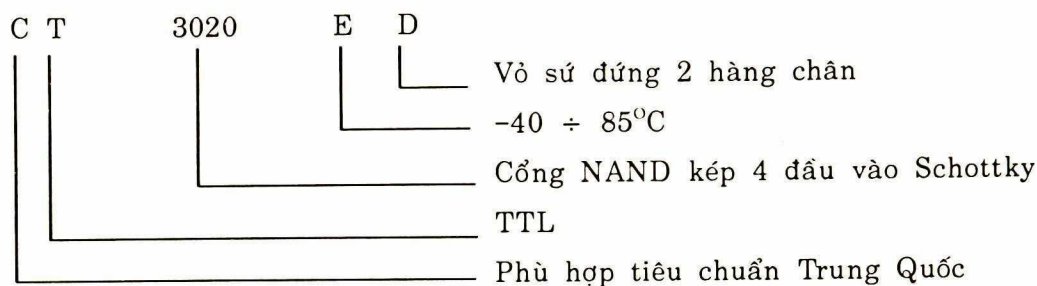
1) Cấu trúc của kí hiệu

Kí hiệu của IC có 5 phần

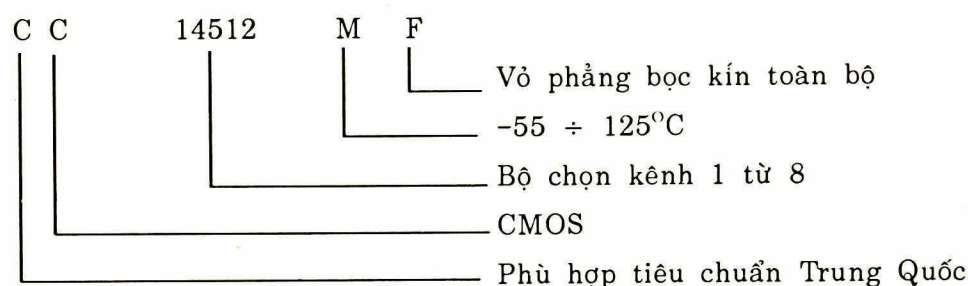
Phần 0		Phần 1		Phần 2	Phần 3		Phần 4	
Dùng chữ cái biểu thị tiêu chuẩn quốc gia		Dùng chữ cái biểu thị loại hình của IC		Dùng chữ số biểu thị chủng loại sản xuất	Dùng chữ cái biểu thị phạm vi nhiệt độ công tác		Dùng chữ cái biểu thị đóng gói	
Kí hiệu	Ý nghĩa	Kí hiệu	Ý nghĩa		Kí hiệu	Ý nghĩa	Kí hiệu	Ý nghĩa
C	Trung Quốc chế tạo	T	TTL		C	$0 \div 70^{\circ}\text{C}$	W	Vỏ sứ phẳng
		H	HTL		E	$-40 \div 85^{\circ}\text{C}$	B	Vỏ nhựa phẳng
		E	ECL		R	$-55 \div 85^{\circ}\text{C}$	F	Vỏ phẳng bọc kín
		C	CMOS		M	$-55 \div 125^{\circ}\text{C}$	D	Vỏ sứ đứng
		F	Bộ khuếch đại tuyến tính		:		P	Vỏ nhựa đứng
		D	Mạch điện nghe nhìn				J	Vỏ sứ đen đứng
		W	Ổn áp				K	Vỏ kim loại hình thoi
		J	Mạch đầu vào				T	Vỏ kim loại hình tròn
		B	Mạch phi tuyến					
		M	Bộ nhớ					
		μ	Mạch điện máy siêu nhỏ					
		:						

2) Ví dụ :

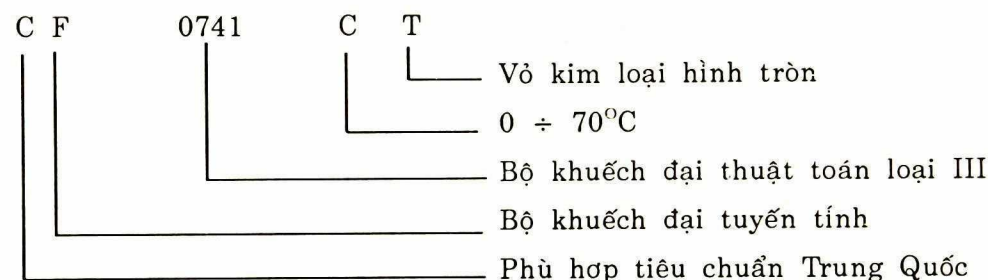
2-1. Cổng NAND kép 4 đầu vào TTL schottky



2-2. Bộ chọn kênh 1 từ 8 CMOS



2-3. Bộ khuếch đại thuật toán thông dụng



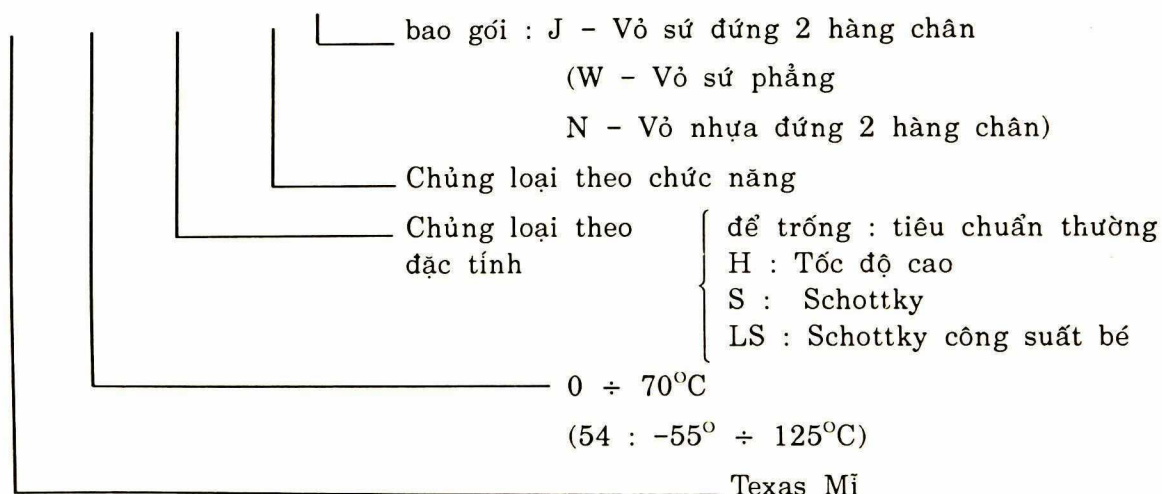
Đối chiếu kí hiệu của Trung Quốc và Quốc tế về ICTTL.

Các ICTTL của Trung Quốc và Quốc tế sản xuất là có thể thay thế lẫn nhau được. Hai hệ thống kí hiệu có sự tương ứng :

CT 4010 CJ và SN 74LS10J

CT 4010 MF và SN 54LS10W

SN 74 LS 10 J



CT	4	010	C	J	J : Vỏ sứ đen đúng $\approx$ J Texas
					└─ Bao gói F : vỏ phẳng bọc kín $\approx$ W Texas
					D : Vỏ sứ đúng $\approx$ J Texas
					P : Vỏ nhựa đúng $\approx$ N Texas
					└─ C : $0^{\circ} \div 70^{\circ}\text{C} \approx 74$ Texas
					(M : $-55^{\circ} \div 125^{\circ}\text{C} \approx 54$ Texas)
					└─ Chủng loại theo chức năng
					└─ Chủng loại theo đặc tính
					4 : Schottky công suất bé
					1 : Tốc độ trung bình
					2 : Tốc độ cao
					3 : Schottky
					ICTTL phù hợp tiêu chuẩn Trung Quốc

PHỤ LỤC II

HỆ ĐẾM VÀ CHUYỂN ĐỔI

I - CÁC HỆ ĐẾM THƯỜNG DÙNG

1 - Hệ thập phân

Hệ thập phân là hệ đếm thường dùng nhất trong sinh hoạt và công tác của chúng ta. Trong hệ này, có 10 chữ số $0 \div 9$ để mã hóa số 0 và 9 số tự nhiên đầu tiên. Vậy cơ số hệ thập phân là 10. Từ số lớn hơn 9, nhờ cách ghi số theo vị trí, trong đó số có vị trí bất kì có trọng số gấp mười lần số có vị trí bên phải kế nó ; ta có thể dùng 10 chữ số để biểu diễn mọi con số. Ví dụ :

$$143,75 = 1 \times 10^2 + 4 \times 10^1 + 3 \times 10^0 + 7 \times 10^{-1} + 5 \times 10^{-2}$$

Một số dương S bất kì trong hệ thập phân có thể khai triển thành

$$S = \sum k_i 10^i \quad (\text{II} - 1)$$

i là thứ tự vị trí của số tính từ dấu phân cách nguyên - phân ($i = 0$) k_i là hệ số của số có vị trí (thứ tự vị trí của số) i , $k_0 = 0 \div 9$, nếu phần nguyên có n chữ số thì tương ứng $i = n - 1 \div 0$. Nếu phần phân có m chữ số thì tương ứng $i = -1 \div -m$. Dùng N thay cho cơ số 10, biểu thức (II - 1) có dạng tổng quát cho mọi hệ đếm

$$S = \sum k_i N^i \quad (\text{II} - 2)$$

2 - Hệ nhị phân

Hệ nhị phân được dùng rộng rãi nhất trong mạch số. Trong hệ nhị phân, mỗi vị số (bit) chỉ có hai khả năng lấy giá trị : 1 và 0. Có số đếm của hệ nhị phân $N = 2$.

Triển khai số nhị phân bất kì theo dạng (II - 2), ta có :

$$S = \sum k_i 2^i \quad (\text{II} - 3)$$

với $k_i = 0, 1$

Ví dụ :

$$101,11 = 1 \times 2^2 + 0 \times 2^1 + 1 \times 2^0 + 1 \times 2^{-1} + 1 \times 2^{-2}$$

3 - Hệ đếm cơ số 8

Trong hệ này, mỗi vị số có 8 mã số là $0 \div 7$, cơ số là 8.

Dạng tổng quát của số đếm hệ cơ số 8 là :

$$S = \sum k_i 8^i \quad (\text{II} - 4)$$

với $k_i = 0, 1, 2, 3, 4, 5, 6, 7$

Ví dụ :

$$37,41 = 3 \times 8^1 + 7 \times 8^0 + 4 \times 8^{-1} + 1 \times 8^{-2} .$$

Cùng một con số, dạng biểu thị trong hệ đếm cơ số 8 gọn hơn dạng biểu thị trong hệ đếm nhị phân. Như sau này sẽ rõ, sự chuyển đổi lẫn nhau của hai hệ này lại cực dễ dàng, nên trong các sách viết về trình tự máy tính hay dùng hệ đếm cơ số 8.

4 - Hệ đếm cơ số 16

Trong hệ này, mỗi vị số có 16 mã số. Đó là 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A(10), B(11), C(12), D(13), E(14), F(15).

Dạng tổng quát của số đếm hệ cơ số 16 là :

$$S = \sum k_i 16^i$$

với $k_i = 0 \div F$

Ví dụ :

$$\begin{aligned} 2A, 7F &= 2 \times 16^1 + A \times 16^0 + 7 \times 16^{-1} + F \times 16^{-2} \\ &= 2 \times 16 + 10 \times 1 + \frac{7}{16} + \frac{15}{16^2} \\ &= 42,4961 \end{aligned}$$

Hiện nay trong máy vi tính, đa số dùng từ mã nhị phân 8 bit, 16 bit. Những từ mã này có thể biểu thị gọn rõ bằng số trong hệ đếm 16 với 2, 4 vị số tương ứng. Vậy trong các sách viết về trình tự máy tính càng hay dùng hệ đếm cơ số 16. Sự chuyển đổi lẫn nhau của hệ nhị phân và hệ đếm cơ số 16 cũng cực kì dễ dàng. Nên ứng dụng hệ đếm cơ số 16 còn rộng rãi hơn hệ đếm cơ số 8.

II - CHUYỂN ĐỔI LẦN NHAU GIỮA CÁC HỆ ĐẾM

1 - Hệ nhị phân và hệ thập phân

Từ nhị phân sang thập phân : viết số nhị phân dưới dạng (II - 3) triển khai ; cộng tất cả các số hạng theo giá trị số thập phân, tổng số là dạng thập phân của số nhị phân đã cho. Ví dụ :

$$\begin{aligned} 1011,01_{(2)} &= 1 \times 2^3 + 0 \times 2^2 + 1 \times 2^1 + 1 \times 2^0 + 0 \times 2^{-1} + 1 \times 2^{-2} \\ &= 8 + 0 + 2 + 1 + 0 + 0,25 \\ &= 11,25_{(10)} \end{aligned}$$

Lưu ý : chúng ta dùng chữ số trong ngoặc viết thấp để chỉ cơ số hệ đếm của con số xét.

Từ thập phân sang nhị phân :

a - Phần nguyên :

Trong các đẳng thức dưới đây, vế phải là số nhị phân, vế trái là số thập phân :

$$\begin{aligned} S_{(10)} &= k_n 2^n + k_{n-1} 2^{n-1} + \dots + k_1 2^1 + k_0 \\ &= 2(k_n 2^{n-1} + k_{n-1} 2^{n-2} + \dots + k_1) + k_0 \end{aligned}$$

vì $k_i = 0,1$ đồng phân với số 0, 1 trong hệ thập phân, nên ta có :

$$\begin{aligned}\frac{S_{(10)} - k_0}{2} &= k_n 2^{n-1} + k_{n-1} 2^{n-2} + \dots + k_1 \\ &= 2(k_n 2^{n-2} + k_{n-1} 2^{n-3} + \dots + k_2) + k_1\end{aligned}$$

Nhận xét các biểu thức trên, ta thấy :

bit đầu tiên của số nhị phân là k_0 bằng số dư khi chia $S_{(10)}$ cho 2.

bit tiếp theo của số nhị phân là k_1 bằng số dư khi chia thương số của phép chia trước cho 2.

Tương tự như vậy để tìm toàn bộ các bit của số nhị phân. Ví dụ :

173	2	dư 1	k_0	Vậy $173_{(10)} = 10101101_{(2)}$
86	2	dư 0	k_1	
43	2	dư 1	k_2	
21	2	dư 1	k_3	
10	2	dư 0	k_4	
5	2	dư 1	k_5	
2	2	dư 0	k_6	
1	2	dư 1	k_7	
0				

b - Phần phân :

Trong các đẳng thức dưới đây, vế phải là số nhị phân, vế trái là số thập phân :

$$S_{(10)} = k_{-1} 2^{-1} + k_{-2} 2^{-2} + k_{-3} 2^{-3} + \dots + k_{-m} 2^{-m}$$

Nhân 2 vế với 2, ta có :

$$2S_{(10)} = k_{-1} + (k_{-2} 2^{-1} + k_{-3} 2^{-2} + \dots + k_{-m} 2^{-m+1})$$

k_{-1} trở thành phần nguyên của vế phải. Phần phân còn lại là :

$$2S_{(10)} - k_{-1} = k_{-2} 2^{-1} + k_{-3} 2^{-2} + \dots + k_{-m} 2^{-m+1}$$

Nếu tiếp tục nhân 2 vế với 2, ta lại được k_{-2} là phần nguyên của vế phải (của tích số lần thứ 2) :

$$2[2S_{(10)} - k_{-1}] = k_{-2} + (k_{-3} 2^{-1} + \dots + k_{-m} 2^{-m+2})$$

Tương tự như vậy, ta tìm được toàn bộ các bit của số nhị phân. Ví dụ :

Quá trình chuyển đổi từ $0,8128_{(10)}$ sang $0,1101_{(2)}$ như sau :

$$0,8128 \times 2 = 1,6256 = 0,6256 + 1 \quad (k_{-1})$$

$$0,6256 \times 2 = 1,2512 = 0,2512 + 1 \quad (k_{-2})$$

$$0,2512 \times 2 = 0,5024 = 0,5024 + 0 \quad (k_{-3})$$

$$0,5024 \times 2 = 1,0048 = 0 + 1 \quad (k_{-4})$$

Quá trình kết thúc khi phần phân của tích số bằng 0.

2 – Hệ nhị phân và hệ đếm cơ số 8

Từ nhị phân sang hệ 8

Vì $2^3 = 8$, mỗi vị số của hệ 8 tương ứng với một nhóm 3 bit của số nhị phân, bắt đầu từ bit 2^0 . Muốn chuyển đổi từ nhị phân sang hệ 8, đầu tiên ta phân nhóm 3 bit, sau đó dùng 8 chữ số của hệ 8 thay cho 8 mã số tương ứng của 3 bit.

Đối với phân phân, chia nhóm 3 bit bắt đầu từ 2^{-1} .

Ví dụ : $10110101, 00111101_{(2)} = 265,172_{(8)}$

Quá trình như sau :

Chia nhóm	010	110	101,	001	111	010
-----------	-----	-----	------	-----	-----	-----

Chuyển mã	2	6	5,	1	7	2
-----------	---	---	----	---	---	---

Từ hệ 8 sang nhị phân :

Thay một chữ số trong số hệ 8 bằng nhóm 3 bit nhị phân

Ví dụ :

5	1	2	,	3	0	4 ₍₈₎
=	101	001	010	,	011	000 100 ₍₂₎

3 – Hệ nhị phân và hệ đếm cơ số 16

Từ nhị phân sang hệ 16.

Vì $2^4 = 16$, mỗi vị số của số hệ 16 tương ứng với một nhóm 4 bit của số nhị phân, bắt đầu từ bit 2^0 . Muốn chuyển đổi từ nhị phân sang hệ 16, đầu tiên ta phân nhóm 4 bit, sau đó dùng 16 chữ số của hệ 16 thay cho 16 mã số tương ứng của 4 bit.

Đối với phân phân, chia nhóm 4 bit bắt đầu từ 2^{-1} .

Ví dụ : $0101 1110, 1011 0010_{(2)} = 5E, B2_{(16)}$

Quá trình như sau :

Chia nhóm	0101	1110 ,	1011	0010
-----------	------	--------	------	------

Chuyển mã	5	E ,	B	2
-----------	---	-----	---	---

Từ hệ 16 sang nhị phân :

Thay một chữ số trong số hệ 16 bằng nhóm 4 bit nhị phân.

Ví dụ :

8	F	A ,	C	6 ₍₁₆₎
=	1000	1111	1010 ,	1100 0110

PHỤ LỤC III

PHƯƠNG PHÁP BIỂU THỊ SỐ NHỊ PHÂN TRONG MÁY TÍNH

1 – Số trong máy tính và giá trị thực

Trong mạch số, giá trị 0 và 1 của 1 bit đều biểu thị bằng 2 trạng thái của một phần tử logic cơ bản (mức điện cao, thấp của cổng hay của Flip Flop). Vậy dấu âm, dương của số được biểu thị bằng cách nào. Rõ ràng, dấu cũng chỉ biểu thị bằng hai trạng thái logic, tức là dùng 0 hay 1 biểu thị. Phương pháp đơn giản nhất là, cho thêm 1 bit dấu đằng trước : giá trị 0 của bit dấu biểu thị số dương, giá trị 1 của bit dấu biểu thị số âm. Ví dụ, đối với số nhỏ hơn 1 về giá trị tuyệt đối, số +0,1011 trong máy tính được biểu thị là 0,1011, và số -0,1011 trong máy tính được biểu thị là 1,1011. Tức là dùng giá trị 0 và 1 của phần nguyên biểu thị dấu dương và âm của số nhị phân nhỏ hơn 1 về giá trị tuyệt đối. Trong ví dụ trên, +0,1011 và -0,1011 là giá trị thực của số 0,1011 và 1,1011 tương ứng trong máy tính.

Dưới đây giới thiệu 3 dạng thường gặp của số trong máy tính : mã gốc, mã bù và mã đảo.

Trong máy tính nhỏ và thiết bị điều khiển số nói chung đều áp dụng phép toán dấu phẩy cố định. Mã gốc, mã bù và mã đảo được giới thiệu tiếp theo đây là tương ứng với phép toán dấu phẩy cố định. Khi đó, giả định rằng trong toàn bộ phép toán, giá trị tuyệt đối của mọi số đều nhỏ hơn 1. Dấu phẩy đặt trước bit cao nhất. (2^{-1}) Nếu như giá trị tuyệt đối của số thực tế lớn hơn 1 thì phép toán vẫn tiến hành như quy ước trên nhờ quá trình chuyển đổi thuận nghịch tỉ lệ giá trị.

2 – Mã gốc

Trong mã gốc, bit dấu đặt trước dấu phẩy của phân số (số có giá trị tuyệt đối nhỏ hơn 1). Số dương tương ứng giá trị 0 của bit dấu. Số âm tương ứng giá trị 1 của bit dấu. Vậy số dương có mã gốc trùng với giá trị thực, số âm có mã gốc bằng giá trị thực cộng 1, tức là :

$$[x]_{\text{mã gốc}} = \begin{cases} x & x \geq 0 \\ 1 + |x| & x \leq 0 \end{cases}$$

Vậy số 0 có hai hình thức mã gốc :

$$[0]_{\text{mã gốc}} = \begin{cases} 0,0000 \\ 1,0000 \end{cases}$$

Mã gốc có ưu điểm là trực quan, đơn giản, rất tiện trong phép nhân. Tích số có phần giá trị tuyệt đối và phần dấu. Giá trị tuyệt đối của tích số bằng tích các giá trị tuyệt đối của thừa số. Dấu của tích theo quy tắc logic : các thừa số cùng dấu thì tích số dương, các thừa số khác dấu thì tích số âm. Quy tắc logic này rất dễ thực hiện.

Nhưng chúng ta sẽ gặp khó khăn nếu làm phép cộng trừ với số mã gốc. Ví dụ, khi cộng đại số, đầu tiên phải xét dấu các số hạng, sau đó mới quyết định về cộng trừ các giá trị tuyệt đối. Khi trừ, còn phải so sánh giá trị tuyệt đối, từ đó mới định hướng lấy gì trừ cho gì, cuối cùng xác định dấu của hiệu số. Mỗi một bước

như vậy đều bắt máy tính phải thao tác, vậy tất sẽ làm cho máy tính phức tạp lên và thời gian làm tính kéo dài.

Để tránh khó khăn trên trong phép cộng trừ, hiện nay máy tính dùng rộng rãi mã bù trong phép cộng trừ.

3 - Mã bù

Để dễ dàng hiểu về mã bù, xin đọc giả hãy xét một ví dụ liên quan trong cuộc sống đời thường sau đây. Giả sử lúc 06h00 sáng bạn phát hiện đồng hồ bị chết với kim đồng hồ ở vị trí 11h00. Bạn có 2 cách để chỉnh kim đồng hồ từ vị trí 11h00 đến vị trí 06h00 : cách thứ nhất đưa kim ngược chiều 5 khoảng giờ ($11-5 = 6$), cách thứ hai đưa kim thuận chiều 7 khoảng giờ ($11 + 7 = 18$) ; vì mặt đồng hồ có 12 khoảng giờ thôi, cứ vượt quá 12 thì lại bắt đầu từ 0, nên đưa kim thuận chiều 7 khoảng giờ thì kim cũng đến vị trí 06h00. Điều đó chứng tỏ rằng, nếu xét riêng một vị số (mà không chuyển vị từ vị số bên phải liền kề sang) thì $11-5$ và $11 + 7$ trong hệ đếm cơ số 12 có cùng một kết quả là 6. Tổng của $5 + 7 = 12$. Ta gọi 7 là mã bù của 5 trong hệ 12. $7 = 12 - 5$.

Tương tự, trong phép trừ nhị phân, việc trừ đi một số nhị phân trở thành việc cộng mã bù trong hệ nhị phân của số đó.

Ví dụ : $a = 0,1011$; $b = -0,1001$ thì

$$\begin{array}{r} 0,1011 \\ -0,1001 \\ \hline \end{array}$$

$$a + b = 0,0010$$

Chúng ta đi đến cùng kết quả trên bằng cách : tìm mã bù trong hệ nhị phân (cơ số 2) của b là :

$$[b]_{\text{mã bù}} = 10 - 0,1001 = 1,0111$$

Thực hiện cộng với mã bù, bỏ chuyển vị :

$$\begin{array}{r} 0,1011 \\ 1,0111 \\ \hline \end{array}$$

Bỏ chuyển vị

$$a + [b]_{\text{mã bù}} = 10,0010$$

$$\xrightarrow{\hspace{1cm}} 0,0010$$

↑

Chúng ta viết biểu thức tổng quát mã bù 2 của số x nhị phân :

$$[x]_{\text{mã bù}} = \begin{cases} x & \text{nếu } x \geq 0 \\ 2 + x & \text{nếu } x \leq 0 \end{cases}$$

$$\text{Ví dụ : } x = -0,1011 \quad [x]_{\text{mã bù}} = 10 - 0,1011 = 1,0101$$

$$x = -0,0001 \quad [x]_{\text{mã bù}} = 10 - 0,0001 = 1,1111$$

$$x = -0,0000 \quad [x]_{\text{mã bù}} = 10 - 0,0000 = 0,0000$$

4 - Mã đảo

Mã đảo của số nhị phân x là chính nó khi $x \geq 0$:

$$[x]_{\text{mã đảo}} = x$$

Còn khi $x \leq 0$ thì giá trị của mỗi bit phải đảo từ 0 sang 1 và từ 1 sang 0.
Ví dụ :

$$x = -0,0110 \quad [x]_{\text{mã đảo}} = 1,1001$$

$$x = -0,0001 \quad [x]_{\text{mã đảo}} = 1,1110$$

Xét đặc tính mã đảo qua ví dụ sau :

$$x = -0,0110 \quad [x]_{\text{mã đảo}} = 1,1001$$

$$-x + [x]_{\text{mã đảo}} = 0,0110 + 1,1001 + 1,1111$$

$$-x + [x]_{\text{mã đảo}} + 0,0001 = 10,0000$$

$$10 + x = [x]_{\text{mã đảo}} + 0,0001.$$

Vậy, một số nhị phân âm bất kì, nếu lấy giá trị tuyệt đối của nó cộng với mã đảo của chính nó, ta luôn được 1,1111.

Nếu đem tổng số đó (giá trị tất cả các bit đều là 1) cộng với 1 ở bit cuối (tức cộng thêm 2^{-n}) thì kết quả luôn bằng 2.

Do đặc tính này, chúng ta ứng dụng mã đảo để tìm mã bù của một số nhị phân. Dưới dạng số thập phân, ta có :

$$2 + x = [x]_{\text{mã đảo}} + 2^{-n}$$

$$\text{mà} \quad 2 + x = [x]_{\text{mã bù}} \quad (\text{theo định nghĩa, khi } x \leq 0)$$

Vậy :

$$[x]_{\text{mã bù}} = [x]_{\text{mã đảo}} + 2^{-n}$$

với n là số bit sau dấu phẩy của số nhị phân

Ví dụ :

$$x = -0,1011 \quad [x]_{\text{mã bù}} = 1,0100 + 0,0001 = 1,0101$$

$$x = -0,0001 \quad [x]_{\text{mã bù}} = 1,1110 + 0,0001 = 1,1111$$

$$x = -0,0000 \quad [x]_{\text{mã bù}} = 1,1111 + 0,0001 = 0,0000$$

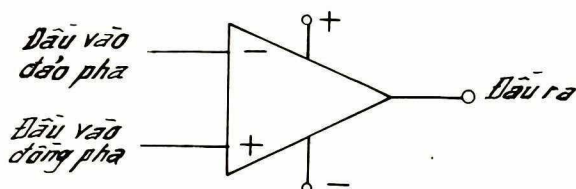
Vậy áp dụng phương pháp này, khi tìm mã bù của số nhị phân âm, ta không phải làm phép trừ như trên (theo định nghĩa).

PHỤ LỤC IV

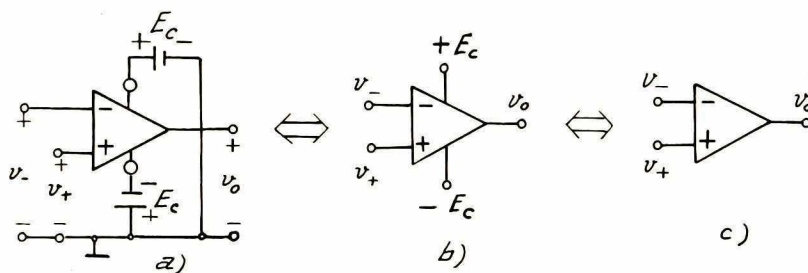
BỘ KHUẾCH ĐẠI THUẬT TOÁN

Bộ khuếch đại thuật toán là phần quan trọng trong DAC và ADC. Với điện trở đầu vào vô cùng lớn, điện trở đầu ra vô cùng bé, hệ số khuếch đại điện áp cực lớn, kèm theo mạch phản hồi thích hợp thì bộ khuếch đại thuật toán dùng để xử lý tín hiệu vừa chính xác, lại tin cậy.

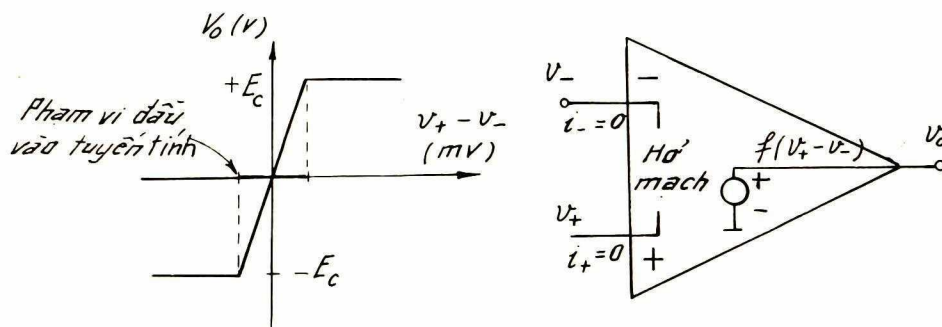
8.1.1. Kí hiệu và đặc tính của bộ khuếch đại thuật toán



Trên kí hiệu bộ khuếch đại thuật toán, dấu - kí hiệu đầu vào đảo pha (gọi tắt là đầu đảo), dấu + kí hiệu đầu vào đồng pha (gọi tắt là đầu thuận). Ngoài ra còn có đầu ra và các đầu nối với nguồn một chiều.



Tuy sự cần thiết, chúng ta sẽ vẽ đầy đủ như sơ đồ a) hay đơn giản như sơ đồ b), hoặc chỉ lưu ý đến tín hiệu như sơ đồ c).



Để xét đặc tính của bộ khuếch đại thuật toán, chúng ta hãy giả thiết lí tưởng hóa nó (thực tế giả thiết này không đưa tới sai số đáng kể nào). Bộ khuếch đại thuật toán lí tưởng có điện trở đầu vào vô cùng lớn, điện trở đầu ra bằng 0.

Trong phạm vi tuyến tính

$$|v_o| < |E_c| \quad (IV - 1)$$

$$v_o = A_o (v_+ - v_-) \quad (IV - 2)$$

$$|v_+ - v_-| = \left| \frac{v_o}{A_o} \right| < \left| \frac{E_c}{A_o} \right| \quad (IV - 3)$$

A_o là hệ số khuếch đại điện áp trong khu vực tuyến tính, số trị điển hình của $A_o = 10^4 \div 10^6$. Giả sử $E_c = 10 \div 15V$, $A_o = 10^6$. Ta thấy điện áp đầu vào trong khu vực tuyến tính chỉ cỡ vài μV . Một cách gần đúng, đặc tính truyền đạt điện áp lí tưởng hóa của bộ khuếch đại thuật toán $A_o = \infty$ như sau :

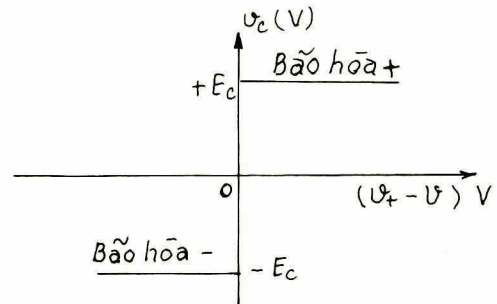
Kết luận về đặc tính bộ khuếch đại thuật toán như sau :

1 - Dòng điện đầu vào bằng 0

$$i_+ = i_- = 0$$

2 - $v_+ = v_-$

$$|v_+ - v_-| = \left| \frac{v_o}{\infty} \right| = 0$$



Nếu bộ khuếch đại thuật toán công tác trong khu vực bão hòa thì $v_+ \neq v_-$. Khi $v_+ > v_-$, ta có bão hòa +, $v_o = +E_c$ khi $v_+ < v_-$, ta có bão hòa -, $v_o = -E_c$. Dòng điện đầu vào khi này cũng vẫn bằng 0.

Trở lại đặc tính truyền đạt với phạm vi đầu vào tuyến tính hữu hạn, ta thấy : v_o tăng theo v_+ , v_o đồng pha với v_+ . v_o giảm khi v_- tăng, v_o ngược pha với v_- .

8.1.2. Các sơ đồ bộ khuếch đại thuật toán

1 - Bộ khuếch đại đảo

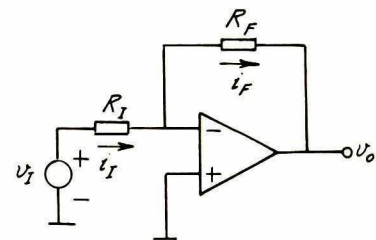
Bộ khuếch đại thuật toán mắc thành bộ khuếch đại đảo như sau : đầu thuận nối đất. Điện áp đầu vào v_I đưa vào đầu đảo qua R_I , điện áp ra v_o phản hồi đến đầu đảo qua R_F .

Vì $v_+ = v_- = 0$, nên

$$i_I = \frac{v_I}{R_I} \quad (IV - 4)$$

$$i_F = i_I \quad (IV - 5)$$

$$v_o = -i_F R_F = -i_I R_F = -\frac{R_F}{R_I} v_I \quad (IV - 6)$$



Biểu thức (IV - 6) chứng tỏ khi v_I tăng thì v_o giảm, v_I giảm thì v_o tăng. Hệ số khuếch đại của bộ khuếch đại đảo bằng $A_v = -\frac{R_F}{R_I}$ không phụ thuộc bản thân bộ khuếch đại thuật toán, A_v chỉ phụ thuộc thông số R_F , R_I của mạch ngoài.

2 - Bộ khuếch đại thuận

Bộ khuếch đại thuật toán mắc thành bộ khuếch đại thuận như sau : điện áp đầu vào v_I đưa tới đầu thuận qua R_I , điện áp đầu ra v_O qua phân áp R_1, R_2 đưa tới đầu đảo.

$$\text{vì } v_+ = v_-$$

$$(IV - 7)$$

$$\text{và } i_+ = i_- = 0, \text{ nên}$$

$$v_- = \frac{v_O}{R_1 + R_2} R_2 = v_I$$

từ đó, ta có

$$v_O = \frac{R_1 + R_2}{R_2} v_I = A_V v_I \quad (IV - 9)$$

Biểu thức (IV-9) chứng tỏ khi v_I tăng thì v_O cũng tăng, v_I giảm thì v_O giảm theo. Hệ số khuếch đại của bộ khuếch đại thuận là :

$$A_V = \frac{R_1 + R_2}{R_2} \quad (IV - 10)$$

A_V cũng chỉ phụ thuộc thông số mạch ngoài (R_1, R_2).

3 - Bộ khuếch đại lặp

Bộ khuếch đại lặp là bộ khuếch đại thuận đặc biệt : đầu ra nối vào đầu đảo. Vậy $v_O = v_I$.

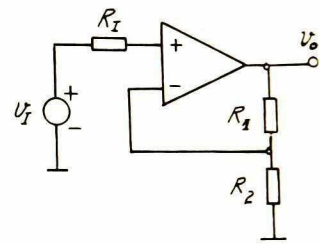
Bộ khuếch đại lặp thường dùng để kích tải (yêu cầu dòng đáng kể).

8.1.3. Bộ so sánh và Trigơ Smit

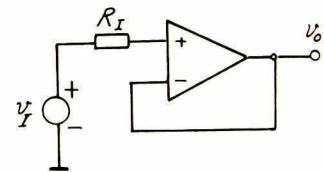
1 - Bộ so sánh

Hình bên là bộ so sánh 0. Vì $A_O = \infty$ nên khi $v_+ = v_I > v_- = 0$ thì $v_O = +E_C$. Khi $v_+ = v_I < v_- = 0$ thì $v_O = -E_C$. Bộ so sánh có thể làm nhiệm vụ giám sát 0.

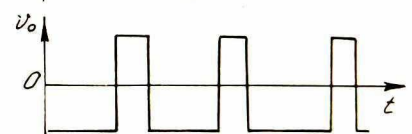
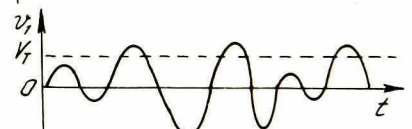
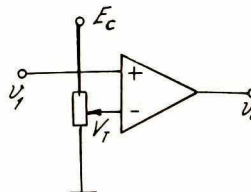
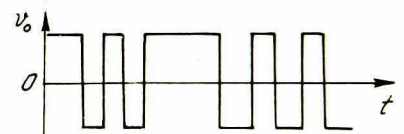
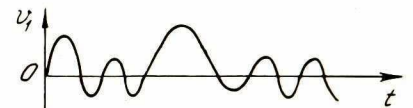
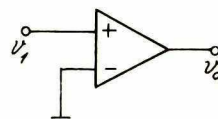
Hình bên là bộ so sánh ngưỡng V_T . Vì $A_O = \infty$ nên khi $v_I > v_T$ thì $v_O = +E_C$, khi $v_I < v_T$ thì $v_O = -E_C$. Điều chỉnh chiết áp làm thay đổi ngưỡng v_T .



(IV - 8)



(IV - 11)



2 - Trigr Smit

Hình bên là sơ đồ Trigr Smit dùng bộ khuếch đại thuật toán.

Vì $i_+ = i_- = 0$

nên

$$v_+ = \frac{R_2}{R_1 + R_2} v_o \quad (\text{IV-12})$$

Khi v_I tương đối âm, bộ khuếch đại công tác ở vùng bão hòa +,

$$v_o = +E_c$$

Vậy mức ngưỡng trên là :

$$V_{T+} = + \frac{R_2}{R_1 + R_2} E_c, \quad v_o = +E_c \text{ khi } v_I < v_{T+}.$$

Khi v_I tăng đến ngưỡng v_{T+} thì v_o đột biến từ $+E_c$ sang $-E_c$, bộ khuếch đại làm việc ở vùng bão hòa -, tương ứng với mức ngưỡng dưới $V_{T-} = - \frac{R_2}{R_1 + R_2} E_c$, tiếp theo nếu $v_I > v_{T-}$ thì $v_o = -E_c$.

Đến khi nào v_I giảm đến ngưỡng dưới v_{T-} thì lại có đột biến mới. Hiệu các điện áp ngưỡng

$$\Delta V = V_{T+} - V_{T-} = \frac{R_2}{R_1 + R_2} E_c - \left(- \frac{R_2}{R_1 + R_2} E_c \right) = \frac{2R_2}{R_1 + R_2} E_c \quad (\text{IV - 13})$$

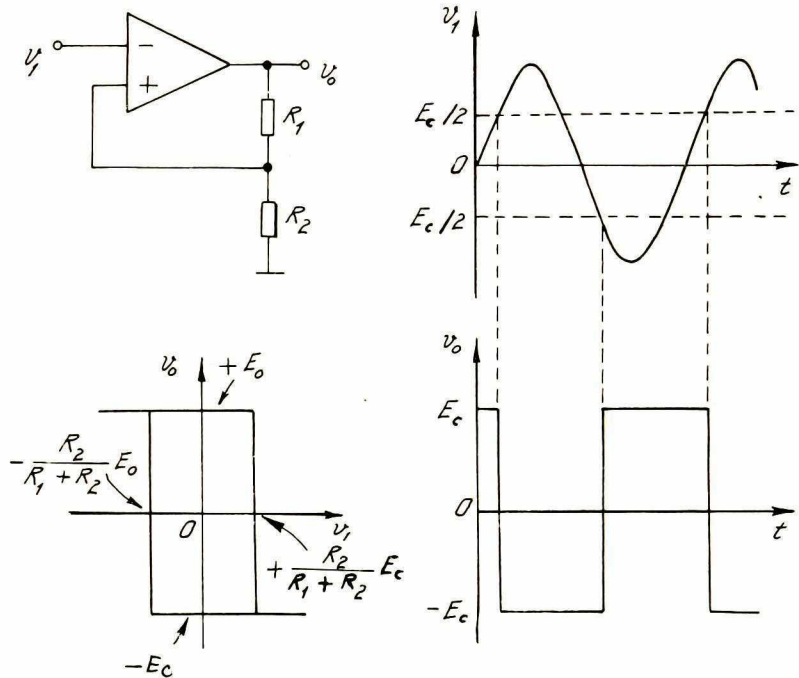
Thay đổi giá trị R_1, R_2 thì điều chỉnh được ΔV .

$$\text{Nếu } R_1 = R_2 \text{ thì } \Delta V = E_c \quad (\text{IV - 14})$$

Sự phân tích phạm vi công tác của Trigr Smit, tóm lại như sau :

Trạng thái v_o	Phạm vi v_I
$+E_c$	$v_I < \frac{R_2}{R_1 + R_2} E_c$
$-E_c$	$v_I > - \frac{R_2}{R_1 + R_2} E_c$

So với Trigr Smit đã giới thiệu ở chương 7, Trigr Smit cấu trúc từ khuếch đại thuật toán càng ưu việt, vì vậy nó được ứng dụng rất rộng rãi.



MỤC LỤC

	Trang
Lời giới thiệu	3
Chương 1 : NHỮNG KIẾN THỨC CƠ BẢN VỀ CẤU KIỆN BÁN DẪN	
1.1. Các kiến thức cơ bản về vật liệu bán dẫn	5
1.1.1. Vật liệu dẫn điện, cách điện và bán dẫn	5
1.1.2. Hiện tượng dẫn điện trong vật liệu bán dẫn sạch	5
1.1.3. Hiện tượng dẫn điện trong bán dẫn pha tạp	7
1.2. Điốt bán dẫn	8
1.2.1. Đặc tính của chuyển tiếp PN	8
1.2.2. Cấu trúc điốt và đặc tuyến Von-ampe	10
1.2.3. Hiệu ứng điện dung của điốt bán dẫn	12
1.2.4. Đặc tính đóng mở (chuyển mạch) của điốt bán dẫn	13
1.2.5. Các tham số cơ bản của điốt bán dẫn	15
1.2.6. Điốt ổn áp	15
1.3. Tranzito	17
1.3.1. Tác dụng khuếch đại và sự phân phối dòng điện trong tranzito	18
1.3.2. Đặc tính đầu vào và đặc tính đầu ra của tranzito	19
1.3.3. Đặc tính chuyển mạch của tranzito	20
1.3.4. Các tham số cơ bản của tranzito	22
1.3.5. Ảnh hưởng của nhiệt độ đến các tham số của tranzito	24
1.4. Bóng bán dẫn trường (FET – Field Effect Transistor)	26
1.4.1. IGFET	26
1.4.2. Tranzito hiệu ứng trường chuyển tiếp PN (JFET)	31
1.4.3. So sánh FET và tranzito lưỡng cực	33
Tóm tắt	35
Bài tập	35
Chương 2 : MẠCH ĐIỆN CỔNG	
2.1. Mạch điện các cổng riêng rẽ	38
2.1.1. Ba loại quan hệ logic cơ bản nhất	38
2.1.2. Mạch AND và mạch OR dùng điốt bán dẫn	39
2.1.3. Cổng NOT	43
2.1.4. Cổng NAND và cổng NOR (cổng VÀ-DẢO, cổng HOẶC DẢO)	48
2.2. Mạch điện cổng TTL	49
2.2.1. Cổng NAND TTL	50
2.2.2. Các loại mạch cổng TTL khác	65
2.2.3. Các mạch cổng tranzito khác	69
2.3. Mạch cổng MOS	69
2.3.1. Cổng NOT họ MOS	70

2.3.2. Cổng NAND và NOR họ MOS	76
2.3.3. Cổng tuyến dẫn và chuyển mạch tương tự họ CMOS	78
Tóm tắt	79
Bài tập	79
Chương 3 : CƠ SỞ ĐẠI SỐ LOGIC	
3.1. Khái niệm cơ bản, công thức và định lý	89
3.1.1. Phép toán logic và hàm logic cơ bản	89
3.1.2. Công thức và định lý	90
3.2. Các phương pháp biểu thị hàm logic	98
3.2.1. Bảng chân lý	98
3.2.2. Biểu thức hàm số	99
3.2.3. Bảng Karnaugh	104
3.2.4. Sơ đồ logic	108
3.3. Phương pháp tối thiểu hóa hàm logic	109
3.3.1. Khái niệm về tối thiểu hóa	109
3.3.2. Phương pháp tối thiểu hóa bằng công thức	111
3.3.3. Phương pháp tối thiểu hóa bằng hình vẽ	112
3.3.4. Chuyển đổi biểu thức OR – AND tối thiểu thành biểu thức tối thiểu các dạng NAND – NAND, NORAND, NOR-NOR	117
3.4. Sự tối thiểu hóa hàm logic ràng buộc	119
3.4.1. Khái niệm ràng buộc, điều kiện ràng buộc.	119
3.4.2. Tối thiểu hóa hàm logic ràng buộc	120
Tóm tắt	124
Bài tập	125
Chương 4 : MẠCH LOGIC TỔ HỢP	
4.1. Đặc điểm cơ bản và phương pháp thiết kế của mạch logic tổng hợp	133
4.1.1. Phương pháp biểu thị và phân tích đặc điểm cơ bản và chức năng logic của mạch logic tổ hợp	133
4.1.2. Phương pháp thiết kế logic mạch tổ hợp	134
4.2. Bộ mã hóa	136
4.2.1. Khái niệm mã hóa	136
4.2.2. Bộ mã hóa nhị phân	137
4.2.3. Bộ mã hóa nhị – thập phân	139
4.2.4. Bộ mã hóa ưu tiên	140
4.2.5. Vi mạch cỡ vừa (MSI) bộ mã hóa ưu tiên	142
4.2.6. Một số mã thông dụng	143
4.3. Bộ giải mã	147
4.3.1. Bộ giải mã nhị phân	147
4.3.2. Bộ giải mã (BCD) – thập phân	149
4.3.3. Bộ giải mã của hiển thị ký tự	152
4.4. Bộ so sánh	156
4.4.1. Bộ so sánh bằng nhau	156
4.4.2. Bộ so sánh	158
4.4.3. ICMSI bộ so sánh 4 bit	160
4.5. Bộ cộng	162
4.5.1. Bộ cộng nửa	162
4.5.2. Bộ cộng đủ	163
4.5.3. Bộ cộng có nhớ nối tiếp	164

4.6. Bộ chọn kênh	165
4.7. ROM (Bộ nhớ chỉ đọc – Read Only Memory)	166
4.7.1. Bộ nhớ cố định chỉ đọc (ROM)	166
4.7.2. Bộ nhớ chỉ đọc có thể ghi trình tự (PROM)	168
4.7.3. Bộ nhớ chỉ đọc có thể viết lại (EPROM)	168
4.8. Mạng logic lập trình (PLA)	169
4.9. Nguy hiểm chạy đua trong các mạch tổ hợp	171
4.9.1. Nguyên nhân sinh ra hiện tượng nguy hiểm chạy đua	172
4.9.2. Phương pháp trừ bỏ nguy hiểm chạy đua	173
Tóm tắt	175
Bài tập	176

Chương 5 : MẠCH FLIP – FLOP

5.1. Một số cấu trúc mạch thường gặp của Flip Flop	180
5.1.1. Flip Flop RS cơ bản	180
5.1.2. Flip Flop RS đồng bộ	183
5.1.3. Flip Flop RS master slave	184
5.1.4. Flip Flop JK master slave	186
5.1.5. Flip Flop JK kích bằng sườn xung (Edge triggered FF)	189
5.1.6. Flip Flop D (mạch chốt D cải tiến để giải quyết vấn đề điều khiển trực tiếp)	190
5.1.7. Flip Flop CMOS	192
5.2. Phân loại Flip Flop theo chức năng, sự chuyển đổi lẫn nhau	194
5.2.1. Phân loại Flip Flop theo chức năng	195
5.2.2. Sự chuyển đổi lẫn nhau của các loại Flip Flop định thời theo CP	200
5.3. Đặc tính công tác xung và chỉ tiêu chủ yếu của Flip Flop	205
5.3.1. Đặc tính công tác xung của Flip Flop	205
5.3.2. Các chỉ tiêu chủ yếu của vi mạch (IC) Flip Flop.	207
Tóm tắt	210
Bài tập	210

Chương 6 : MẠCH DÂY

6.1. Đại cương về mạch dây	216
6.1.1. Đặc điểm và phương pháp miêu tả chức năng	216
6.1.2. Phương pháp cơ bản phân tích chức năng logic mạch dây	217
6.2. Bộ đếm	218
6.2.1. Đặc điểm và phân loại bộ đếm	218
6.2.2. Bộ đếm đồng bộ	219
6.2.3. Bộ đếm dị bộ	231
6.2.4. Bộ đếm IC cỡ trung (MSI)	238
6.3. Bộ nhớ	244
6.3.1. Bộ nhớ cơ bản	244
6.3.2. Bộ ghi dịch	246
6.3.3. Ví dụ về ứng dụng bộ nhớ	249
6.4. Bộ tạo xung tuần tự	255
6.5. Bộ nhớ RAM và dụng cụ ghép điện tích CCD	257
6.5.1. Bộ nhớ RAM (Random Access Memory – bộ nhớ đọc / viết)	257
6.5.2. Dụng cụ ghép điện tích CCD (Charge Coupled Device)	264

6.6. Thiết kế mạch dây	267
6.6.1. Thiết kế bộ đếm đồng bộ	267
6.6.2. Thiết kế bộ đếm dị bộ	276
6.6.3. Thiết kế mạch dây	284
Tóm tắt	287
Bài tập	288
Chương 7 : PHÁT XUNG VÀ TẠO DẠNG XUNG	
7.1. Bộ phát xung	292
7.1.1. Bộ dao động đa hài cơ bản cổng NAND TTL	292
7.1.2. Bộ dao động đa hài vòng RC	294
7.1.3. Bộ dao động đa hài thạch anh	297
7.1.4. Bộ dao động đa hài CMOS	298
7.2. Trigon Smit	300
7.2.1. Trigon Smit IC TTL	300
7.2.2. Trigon Smit CMOS	304
7.3. Mạch đa hài dợt	304
7.3.1. Mạch đa hài dợt CMOS	305
7.3.2. Đa hài dợt họ TTL	307
7.4. IC định thời	309
7.4.1. IC định thời họ CMOS	309
7.4.2. Ví dụ ứng dụng IC định thời	311
Tóm tắt	313
Bài tập	314
Chương 8 : BIẾN ĐỔI SỐ – TƯƠNG TỰ VÀ BIẾN ĐỔI TƯƠNG TỰ – SỐ	
8.1. Giới thiệu chung	316
8.2. Bộ biến đổi DAC	316
8.2.1. Bộ biến đổi DAC điện trở hình T	316
8.2.2. Các chỉ tiêu kĩ thuật chủ yếu của bộ biến đổi DAC	321
8.2.3. Ví dụ IC 1 chip DAC	322
8.3. Bộ biến đổi ADC	324
8.3.1. Các bước chuyển đổi AD và định lí lấy mẫu	324
8.3.2. Mạch điện lấy mẫu – nhớ mẫu	327
8.3.3. Bộ biến đổi ADC xấp xỉ tiệm cận (Successive – approximation ADC)	328
8.3.4. Các chỉ tiêu kĩ thuật chủ yếu của ADC	330
8.3.5. Ví dụ IC 1 chip ADC	330
8.4. Ví dụ ứng dụng ADC và DAC	333
8.4.1. Tính năng kĩ thuật chủ yếu của hệ thống thu thập số liệu	333
8.4.2. Cấu trúc mạch điện và nguyên lí làm việc	333
Tóm tắt	340
Bài tập	340
Phụ lục I : Phương pháp đặt tên, kí hiệu mạch điện tích hợp bán dẫn	342
Phụ lục II : Hệ đếm và chuyển đổi	345
Phụ lục III : Phương pháp biểu thị số nhị phân trong máy tính	349
Phụ lục IV : Bộ khuếch đại thuật toán	352
Mục lục	356

Chịu trách nhiệm xuất bản :

Chủ tịch HĐQT kiêm Tổng Giám đốc NGÔ TRẦN ÁI
Phó Tổng Giám đốc kiêm Tổng biên tập NGUYỄN QUÝ THAO

Biên tập lần đầu và tái bản :

TRẦN ĐỨC CHÍNH

Trình bày bìa :

ĐOÀN HỒNG

Sửa bản in :

BÌNH MINH

Chế bản :

PHÒNG CHẾ BẢN (NHÀ XUẤT BẢN GIÁO DỤC)

CƠ SỞ KỸ THUẬT ĐIỆN TỬ SỐ

Mã số: 7B306y9 – DAI

In 1.000 bản (QĐ : 02), khổ 19 x 27 cm. In tại Công ty Công ty In – Thương mại TTXVN.

Địa chỉ : Số 70/342 Đường Đình, Hạ Đình, Thanh Xuân, Hà Nội.

Số ĐKKH xuất bản : 04 – 2009/CXB/108 – 2117/GD.

In xong và nộp lưu chiểu tháng 1 năm 2009.

